
CE-CPSK 변조된 디지털 지연동기루프의 설계 및 성능 분석

김 성 철*, 송 인 근*

Design and performance of a CE-CPSK modulated digital delay locked tracking loop

Seong-Cheol Kim, IN-Keun Song

요 약

본 논문에서는 송신기의 전력효율을 고려하여 C급 전력증폭기를 사용함에 있어서 기존의 대역제한된 BPSK 변조의 경우 증폭기의 비선형성으로 인해 출력 스펙트럼의 측대파가 증폭기를 통과하기 전보다 증가 되는 현상이 발생하는데 이를 줄여주기 위해 일정 진폭특성을 갖는 CE-CPSK 변조 직접대역확산 송수신기를 제안하였다. 직접대역확산 수신기의 동기 추적루프의 성능을 분석하기 위해 두경로 레일리 페이딩 채널로 모델링하였다.

동기추적 장치는 아날로그 지연동기루프의 단점인 조,만 간의 이득 불균형을 개선한 디지털 지연동기루프로 구현하였다. 동기 추적 과정인 디지털 지연동기 루프의 성능은 칩당 샘플링의 수가 증가할수록 신호 대 잡음비가 증가할수록 전압 제어 발진기의 최대주파수 편차가 작을수록 좋아짐을 볼 수 있다.

Abstract

In this paper, CE-CPSK(Constant Envelope Continuous Phase Shift Keying) modulated DS/SS(Direct Sequence Spread Spectrum) transceiver with 908 MHz carrier frequency and 1.5 MHz PN clock rate is proposed. To overcome the effect of non-linear power amplifier, CE-CPSK modulation method which has the constant envelope and continuous phase characteristics is proposed. To analyze the DS/SS receiver performance

* 우송대학교 컴퓨터전자정보공학부

접수일자 : 1999년 11월 17일

with respect to code tracking loop, multipath fading channel is characterized as a two-ray Rayleigh fading channel. To compensate the demerit of analog delay locked loop, digital delay locked loop is employed for code tracking loop. Simulation and experimental examination has been carried out in AWGN(Additive White Gaussian Noise) and Rayleigh fading channel environment in order to prove validity of the proposed method.

1. 서론

현재의 이동 통신 서비스는 궁극적인 무선 통신 방법으로 마이크로 셀룰러 무선 통신 시스템에 기반을 둔 IMT-2000(FPLMTS등)의 개발이 급속도로 진행되고 있다. 또한 정보화 사회가 진전되면서 미래의 정보통신 서비스형태는 현재의 음성서비스 뿐 아니라 초고속 데이터 및 화상통신 등과 같은 멀티미디어 시대로의 요구가 강하게 대두되고 있다. 이러한 디지털 이동통신 환경에서 사용 가능한 주파수 대역폭과 송신전력은 일반적으로 제한되어 있으며, 이 두 요소는 신호품질 및 가입자 수용용량과 직결되는 사항이다.

RF 측면에서 보면 주파수대역의 효율을 고려할 경우 선형 전력 증폭기를 사용해야 하는데 이 경우 낮은 전력소비, 단말기의 소형화 등을 만족시키기에는 부적합하다. 이와 같은 요구를 만족시키기 위해서는 전력 증폭기의 효율을 높여 주어야 하는데 전력 증폭기의 효율을 높이면 증폭기의 특성이 비선형성을 가지게 된다^[1]. 이러한 비선형 특성으로 인해 셀룰라 및 개인 휴대 통신 시스템에 있어서 상호변조왜곡으로 인한 co-channel 간섭, 이웃채널 간섭 등과 측대파 재생 등의 현상을 초래한다. 이러한 비선형 왜곡을 보상해 주기 위한 연구가 많이 진행되었으며 지금도 많은 연구가 진행되고 있다. 가장 널리 연구되고 있는 방법은 Cartesian 변환 방법과 Pre-distortion 방법이다^{[2]-[4]}.

앞의 기술은 비용과 크기, 성능등을 고려할 경우 이점이 없고 뒤의 기술은 비용 면에서는 장점이 있지만 더 많은 DSP 처리과정과 온도, 전원의 변화 등에 대한 보상이 힘들다는 것이다.^[4] 그래서 RF대역에서 효율을 높이기 위해 C급과 같은 비선형 증폭기를 사용하게 된다. 한편 일반적인 PSK 변조 신호를 대역 제한할 경우 진폭의 변화를 가져오게 되는데 이러한 신호가 비선형 증폭기에 인가되면

AM-AM, AM-PM 의 특성으로 인해 스펙트럼이 확산 혹은 측면 스펙트럼의 재생과 같은 현상으로 인한 인접채널에 영향을 미치게 된다.^{[5],[6]}

이러한 문제를 극복하기 위한 여러가지 변조 방법들 중의 하나로서 일정 진폭을 갖는 BPSK 변조 방법들이 많이 제안되었다.^[5] 이러한 연구들에 있어서의 문제점으로는 일정진폭을 갖기 위해 첨가된 신호가 직류성분을 가지게 되므로 출력 스펙트럼상에 선 스펙트럼으로 나타나게 된다. 이러한 선 스펙트럼은 다른 시스템에 간섭으로 작용할 뿐만 아니라 원 신호와 첨가된 신호간의 간섭으로 인해 복조과정이 어려워진다.

본 논문에서는 이러한 문제를 해결하기 위해 CE-CPSK(Constant Envelope Continuous Phase Shift Keying)변조방법을 제안하였다. 이 방법은 변조된 신호가 일정 진폭 특성을 유지하도록 하기 위해 보조신호를 첨가하였다. 또한 이 보조 신호의 양과음의 발생 확률이 동일하게 되도록 함으로서 첨가된 보조신호로 인한 선 스펙트럼을 제거하였다. 이와같이 변조된 신호가 비선형 증폭기를 통과 시 측면 스펙트럼의 재생 현상이 줄어든다.

이러한 특성을 갖는 CE-CPSK 변조 방식을 직접 대역 확산 스펙트럼 송수신기의 플랫폼에서의 성능 분석을 위해 908 MHz 에서의 CE-CPSK 변 복조 플랫폼을 구성하여 성능 분석을 하였다.

대역 확산 통신시스템의 성능은 반드시 송신 PN 부호와 수신기의 국부 PN 부호간에 만족할 만한 동기가 계속 유지되어야 한다. 이와 같은 동기 추적을 위해 이용되는 대표적인 방법으로는 지연 동기루프(DLL)와 타우 진동루프(TDL)가 있다. 기존의 아날로그 방식 지연동기루프의 가장 큰 난점은 두 상관 채널간의 이득을 정확하게 유지해야 한다는데 있다. 이러한 난점을 해결하기 위해 이용되는 다른 방법이 타우진동루프이며 이 방법에서는 한 개의 상관기만을 이용하기 때문에 DLL의

단점을 해결할 수는 있지만 잡음 성능면에서 약 3dB 정도의 성능저하를 보인다. 본 논문에서는 위와 같은 아날로그 DLL의 단점을 보완하고, 성능향상을 이루기 위해 디지털 DLL을 설계하고 무선 채널 환경하에서 성능을 분석하였다.

이러한 목적을 위해 제 II장에서는 비선형 증폭기를 사용함에 있어서 나타나는 문제점을 극복하기 위한 CE-CPSK 변조부에 대한 개념을 설명하였고 제 III장은 디지털 지연동기루프에 대한 성능분석을 하였고 제 IV장에서는 본 논문에서 제안한 CE-CPSK 플랫폼을 설계, 구현하고 구현된 시스템의 특성을 측정하고 결과를 제시하였으며 최종적으로 제 V장에서 본 논문의 결론을 맺었다.

II. CE-CPSK 변조

부드러운 위상 전위는 위상벡터가 90° 위상 상태에서 180°로 변할 때 일정한 진폭을 가지고 변한다면 변조전 여파를 가진 BPSK 변조에서도 실현할 수 있다. 이것은 90° 시프트된 성분의 소스가 원하는 결과를 얻기 위해서 필요하다 하는 것을 암시해 준다. 이 성분은 단지 데이터가 전위되는 동안 필요하게 되는데 그것의 이상적인 진폭은 식 (1)과 같다.

$$Y(t) = \pm \sqrt{A^2 - X^2(t)} \quad \dots\dots\dots (1)$$

여기서 X(t)는 동상 채널의 멀티플라이어에 입력되는 여파된 데이터이고, Y(t)는 일정 진폭 생성을 위한 보조신호이고, A는 |X(t)|의 첨두 진폭이다. X(t)가 첨두값을 가질때 즉, X(t) = ±A 일때 Y(t)=0이 되는데, 이것은 90°의 위상 성분이 필요 없고 0°와 180°의 위상상태만 있음을 알수있다. X(t)가 0이 되는 것 처럼 전위되는 동안 Y(t)는 90°를 지날때 위상 벡터 변화를 주는 A값을 갖는다. 이러한 기능을 위한 CE-CPSK 변조기의 블럭도는 그림 1과 같다. 출력은 식 (2)와 같다.

$$Z(t) = X(t) \cos \omega_0 t + Y(t) \sin \omega_0 t \quad \dots\dots\dots (2)$$

식 (2)는 식 (3)과 같이 쓸 수 있다.

$$Z(t) = B(t) \cos(\omega_0 t - \phi(t)) \quad \dots\dots\dots (3)$$

여기서

$$B(t) = \sqrt{X^2(t) + Y^2(t)} \quad \dots\dots\dots (4)$$

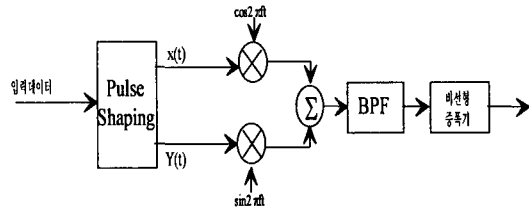


그림 1 CE-CPSK 변조기의 블럭도
Fig. 1 Block diagram for CE-CPSK modulator

이고

$$\phi(t) = \tan^{-1} \frac{Y(t)}{X(t)}, \quad 0 \leq \phi \leq \pi \quad \dots\dots\dots (5)$$

이다.

식 (3)과 식 (4)에서 보면 알 수 있듯이 신호의 포락선이 일정하기 위해서는 식 (4)의 값이 일정해 지도록 하여야 한다. 이를 위하여 데이터 신호를 정현이 되게 파형 성형을 하여주고 이 신호를 이용하여 보조신호인 Y(t) 신호를 만들면, 즉 식 (6)과 같이 신호를 발생시켜 주면 된다.

$$X(t) = A \cos \omega_p t, \quad Y(t) = A \sin \omega_p t \quad \dots\dots\dots (6)$$

이를 위해서 transversal 여파기를 이용하여 원 신호를 파형 성형하며 이 과정에서 발생하는 신호를 디지털 논리회로를 이용하여 보조신호 Y(t)를 생성하였다.

III. 디지털 지연동기루프의 이론적 고찰

3.1 디지털 지연동기루프

이 절에서는 디지털 지연동기루프의 시스템 구조 및 동작특성에 대한 이론적인 분석을 다루었다.

그림 2는 디지털 지연동기루프의 블럭도이다. 수신된 신호는 조(early) 채널과 만(late) 채널로 분주되고 각각은 PN 칩율의 M배의 주파수를 갖는 마스터 클럭에 의해 구동되는 샘플러에 의해 샘플링되고, 샘플링된 데이터는 국부 기준 PN 신호에 대

해 일정한 시간만큼 지연되고 지연된 조 채널과 만 채널로 입력되어 샘플링된 신호와 비교기를 거쳐 로직 신호로 전환된다. 수신 로직 신호와 국부 로직 신호 두 신호의 부호가 일치하면 0의 값을 갖고 일치하지 않으면 1의 값을 갖게 된다. D/A 변환기의 입력은 조·만 채널 각각의 비교기 출력의 차이(difference)로서 0,1,2 세가지 값을 갖는 디지털 신호이고 이 신호는 VCO를 구동하기에 적당한 아날로그 신호로 변환된다.

VCO 출력은 계수기(counter)로 입력되어 계수기 클럭으로 사용되고 M만큼 계수될 때마다 국부 PN 부호발생기로 한개의 클럭이 입력된다. 이러한 과정을 거쳐 발생된 국부 기준 PN 신호는 수신된 확산신호의 역확산을 위해 이용된다.

아날로그 지연동기루프가 신호 전력레벨의 상관으로 부터 위상정보를 얻는 반면 디지털 지연동기 루프는 신호의 부호(sign) 상관으로 부터 위상정보를 얻기 때문에 아날로그 시스템에서 요구되는 조·만 상관채널간의 이득균형유지가 불필요하다는 장점을 갖는다.

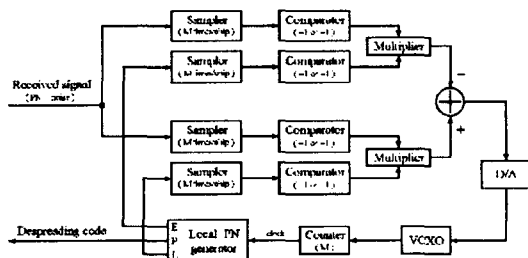


그림 2 디지털 지연동기루프의 블럭도
Fig. 2 Block diagram of digital delay locked loop

3.2 잡음레벨 제한과 잡음상쇄 효과

본 논문의 디지털 지연동기루프는 잡음레벨 제한 및 잡음상쇄 효과를 갖는다.

[1] 잡음제한 효과

DDLL의 조, 만 상관채널 각각의 출력은 샘플링 데이터의 부호에만 관계된다. 따라서, 수신되는 신호에 부가되는 잡음중 신호진폭보다 작은 레벨의 것은 잡음으로서의 효과를 갖지 못한다. 즉, 신호

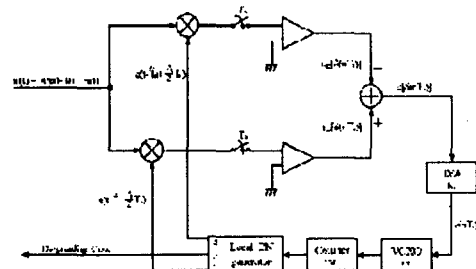
크기인 $+\sqrt{P}$ 보다 작은 잡음과, $-\sqrt{P}$ 보다 큰 잡음은 수신 PN 신호의 부호를 변화시키지 않으므로 잡음으로 작용하지 못한다.

[2] 잡음상쇄 효과

Early 신호비교기와 Late 신호에서 발생하는 오류의 갯수가 동일할 경우 PN 부호의 주파수에는 아무런 변화가 없으며, 단지 양단의 오류발생 갯수의 차(difference)만이 PN 부호 위상오차의 원인으로 작용하게 된다.

3.3 시스템 방정식

그림 3은 그림 2의 디지털 지연동기루프의 등가 블럭도를 그린 것이다.



$K_c = D/A$ 이득, $K_v = VCO$ 이득 (Hz/volt)
 $M =$ 계수기 상수

그림 3 디지털 지연동기루프의 등가 블럭도
Fig. 3 Equivalent block diagram of digital delay locked loop

그림 3의 등가회로로부터

$$\epsilon_E[\delta(nT_s)] = \text{sgn}\left\{[\sqrt{P}c(nT_s - T_d) + N(nT_s)] \cdot c(nT_s - \hat{T}_d + \frac{\Delta}{2} T_d)\right\} \dots (7a)$$

$$\epsilon_L[\delta(nT_s)] = \text{sgn}\left\{[\sqrt{P}c(nT_s - T_d) + N(nT_s)] \cdot c(nT_s - \hat{T}_d - \frac{\Delta}{2} T_d)\right\} \dots (7b)$$

이고, 여기서

$$\delta(t) = \frac{T_d(t) - \hat{T}_d(t)}{T_c}$$

$T_c =$ 칩 주기, $T_d =$ 수신된 신호의 지연
 $\hat{T}_d =$ 수신기의 수신신호 지연 추정치,
 $n = 0, 1, 2, 3, \dots$

이다. VCXO를 구동하기 위한 위상정보 신호는 다음과 같이 식 (7)의 두 신호의 차로써 정의된다.

$$\epsilon[\delta(nT_s)] = \epsilon_L[\delta(nT_s)] - \epsilon_R[\delta(nT_s)] \dots\dots\dots (8)$$

디지털 지연동기 루프의 평균적인 동작 특성은 식 (8)의 평균값에 의해 결정된다. 즉 루프의 위상 판별기 곡선은 다음과 같이 식 (8)의 평균으로 정의된다.

$$\begin{aligned} D_d[\delta(nT_s)] &= E\{\epsilon[\delta(nT_s)]\} \\ &= E\{\epsilon_L[\delta(nT_s)] - \epsilon_R[\delta(nT_s)]\} \\ &= E\{\epsilon_L[\delta(nT_s)]\} - E\{\epsilon_R[\delta(nT_s)]\} \\ &\dots\dots\dots (9) \end{aligned}$$

식(7)으로 부터

$$\begin{aligned} E\{\epsilon_R[\delta(nT_s)]\} &= E\{\text{sgn}[\sqrt{P}c(nT_s - T_d) + M(nT_s)]c(nT_s - \hat{T}_d + \frac{A}{2}T_c)\} \\ &= E\{\text{sgn}[\sqrt{P}c(nT_s - T_d) + M(nT_s)]\text{sgn}[c(nT_s - \hat{T}_d + \frac{A}{2}T_c)]\} \\ &= \frac{1}{MNT_s} \sum_{n=0}^{M-1} \text{sgn}[\sqrt{P}c(nT_s - T_d) + M(nT_s)]c(nT_s - \hat{T}_d + \frac{A}{2}T_c) \\ &\dots\dots\dots (10) \end{aligned}$$

여기서, N은 n단 PN 발생기에 대해 $N=2n-1$ 로 정의되는 PN 부호 주기이고 M은 칩당 샘플링 갯수이며, T_s 는 샘플링 주기이다. M을 매우 크게 하면 아날로그 근사화가 가능하며 이때 식 (10)은 다음과 같이 쓸 수 있다.^{[28][29]}

$$E\{\epsilon_R[\delta(t)]\} = \frac{1}{T} \int_T \text{sgn}[\sqrt{P}c(nT_s - T_d) + M(nT_s)]c(nT_s - \hat{T}_d + \frac{A}{2}T_c) dt \dots\dots\dots (11)$$

이제, 수신 PN 부호와 국부 PN 부호 사이의 교차상관에 대해 살펴보도록 하자. 비교기를 거친 수신부호와 국부부호의 교차상관은 다음과 같이 정의된다.

$$R_{cc}(t) = \frac{1}{T} \int_T \text{sgn}[\sqrt{P}c(t) + N(t)]\text{sgn}[\sqrt{P}c(t-t)] dt \dots\dots\dots (12)$$

여기서, $T=2^N-1$ 는 N단 PN발생기의 부호 주기이고, $\sqrt{P}c$ 은 국부 PN 부호의 칩 진폭이다. 식 (12)는 다음과 같이 전개된다.

$$\begin{aligned} R_{cc}(t) &= \frac{1}{T} \int_T c(t)[1-2Q(\sqrt{P})]c(t-t) dt \\ &= [1-2Q(\sqrt{P})] \frac{1}{T} \int_T c(t)c(t-t) dt \\ &= [1-2Q(\sqrt{P})]R_c(t) \\ &\dots\dots\dots (13) \end{aligned}$$

여기서

$$R_c(t) = \frac{1}{T} \int_T c(t)c(t-t) dt$$

로서, PN 부호의 자기상관 함수이다.

식 (11)에 식 (12)과 식 (13)의 관계를 이용하면 다음과 같은 결과를 얻을 수 있다.

$$E\{\epsilon_R[\delta(t)]\} = [1-2Q(\sqrt{P})]R_d[(\delta(t) + \frac{A}{2})T_c] \dots\dots\dots (14a)$$

$$E\{\epsilon_L[\delta(t)]\} = [1-2Q(\sqrt{P})]R_d[(\delta(t) - \frac{A}{2})T_c] \dots\dots\dots (14b)$$

식 (9)와 식 (14)으로 부터 다음과 같은 위상판별식을 얻을 수 있다.

$$D_d(\delta) = [1-2Q(\sqrt{P})]\{R_d[(\delta - \frac{A}{2})T_c] - R_d[(\delta + \frac{A}{2})T_c]\} \dots\dots\dots (15)$$

동기추적지터가 작은 경우 위상판별기의 출력은 동기추적오류에 대한 선형함수로 볼 수 있으며, 이 경우에 대해 다음과 같은 식을 얻게된다.

$$\frac{\hat{T}_d}{T_c} = \frac{K_v}{M} \int_0^T K_2(1 + \frac{1}{N})[1-2Q(\sqrt{P})] \frac{T_d(\lambda) - \hat{T}_d(\lambda)}{T_c} d\lambda \dots\dots\dots (16)$$

식 (16)의 양변을 Laplace 변환하면

$$\frac{\hat{T}_d(s)}{T_c} = K_D K_v \frac{1}{s} \left[\frac{T_d(s) - \hat{T}_d(s)}{T_c} \right] \dots\dots (17)$$

여기서,

$$K_D = -\frac{K_c}{M} 2(1 + \frac{1}{N})[1 - 2Q(\sqrt{P})]$$

이다. 식 (17)을 $\hat{T}_d(s) / T_d(s)$ 에 대해 정리하면 다음과 같은 시스템 전달함수를 구할 수 있다.

$$\frac{\hat{T}_d(s)}{T_d(s)} = \frac{K_D K_v}{s + K_D K_v} \equiv H(s) \dots\dots\dots(18)$$

식 (18)을 다시 $[\hat{T}_d(s) - T_d(s)] / T_c$ 에 대하여 정리하면

$$\frac{T_d(s) - \hat{T}_d(s)}{T_c} = \frac{T_d(s)}{T_c} \left[\frac{s}{s + K_D K_v} \right] \dots\dots(19)$$

가 되며, 이 식은 루프의 부호추적 오류에 대한 방정식이다.

V. 시뮬레이션 및 실험 측정 결과

4.1 CE-CPSK 변조기의 특성 측정

2장에서 설계한 CE-CPSK 변조기의 각부의 파형에 대해 특성을 측정 하였다. 먼저 그림 4는 파형 성형된 기저 대역의 동상(In-phase)의 신호와 보조신호를 나타낸것이다. 파형에 나타낸것과 같이 동상신호의 부호가 변하는 부분에 보조신호가 발생이되며 이 신호의 평균신호는 0이 된다.^[43]

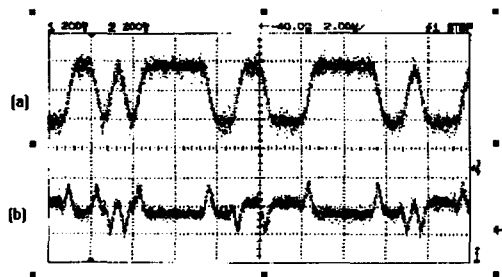


그림 4 파형 성형된 기저 대역 신호 (a)동상신호 (b) 보조신호

Fig. 4 Pulse shaped wavefrom of base band signal (a) Inphase (b) complementary

그림 5는 그림 4의 신호에 의해 변조된 신호이다. 그림 5 (a), (b)는 각각 PN 데이터 신호와

CE-CPSK 변조된 시간영역에서의 중간 주파수 신호 파형이다. 파형을 보면 알수 있듯이 데이터의 부호가 변하는 점에서의 진폭이 거의 일정함을 알 수 있다. 그림 6 (a), (b)는 각각 PN데이터와 동상 신호에 의해 변조된 즉 BPSK 변조된 시간축에서의 중간 주파수 신호 파형을 나타낸 것이다. 그림에서 보면 알 수 있듯이 데이터가 변하는 점에서 진폭이 0이 됨을 알 수있다.

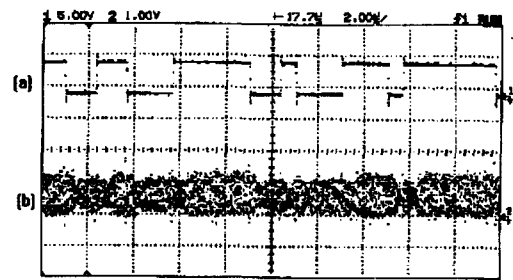


그림 5 CE-CPSK 신호의 시간영역에서의 파형(a) 기저대역 신호 (b) 변조된 신호

Fig. 5 Waveforms of CE-CPSK modulated signal (a) baseband (b) modulated

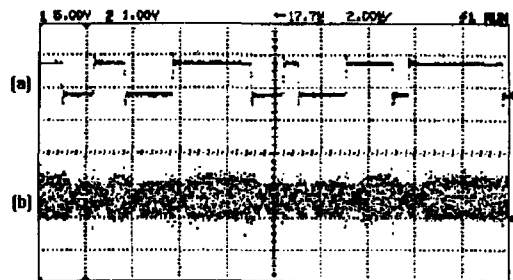
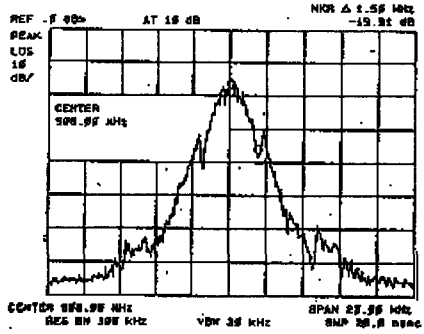


그림 6 BPSK 신호의 시간영역에서의 파형 (a)기저대역 신호 (b)변조된 신호

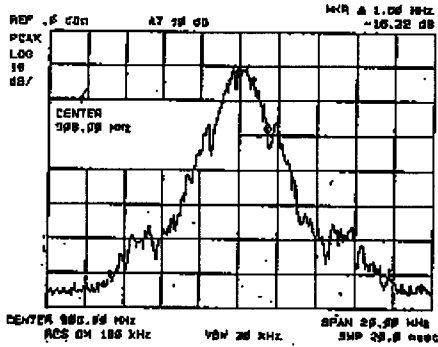
Fig. 6 Waveforms of BPSK modulated signal (a) baseband (b) modulated

그림 7은 CE-CPSK 변조 RF 출력 스펙트럼을 나타낸다. (a) 그림은 전력 증폭기를 통과하기 전의 출력 스펙트럼이고 (b) 그림은 전력 증폭기를 통과한 후의 출력 스펙트럼이다. 파형을 보면 알 수 있듯이 전력 증폭기를 통과한 신호의 측면 스

펙트럼의 재생율이 상당히 작음을 알 수 있다.



(a) 증폭기 입력에서의 스펙트럼



(b) 증폭기 통과후의 스펙트럼

그림 7 CE-CPSK 변조 RF 출력 스펙트럼
Fig. 7 Output RF power spectrum of CE-CPSK signal

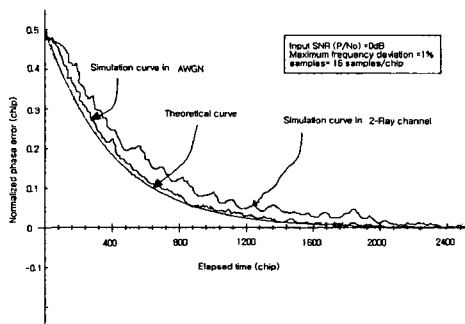


그림 8 DDLL의 과도응답
Fig. 8 Transition response of DDLL

4.2 DDLL의 시뮬레이션결과

4.2.1 과도응답

그림 8은 AWGN과 2-Ray Rayleigh 페이딩 채널에서의 DDLL의 과도응답을 보인 것이다. PN 부호의 최대 주파수 편차는 중심주파수의 $\pm 1\%$ 이고, 한 칩당 16번의 샘플링을 한 경우에 대한 결과이다.

초기동기가 이루어진 시점에서의 수신 부호와 국부 기준 부호와의 위상차는 $0.5T_c$ 로 가정하였으며, 초기동기가 이루어진 부호의 위치는 임의로 정하였다. 그림에서 시뮬레이션 결과는 이론적인 결과를 따라 랜덤하게 변화하는 것을 알 수 있다.

4.2.2 칩당 샘플링 개수에 따른 평균 위상오차

그림 9는 입력 신호대 잡음비를 변화시켜 가면서 시뮬레이션한 칩당 샘플링 개수에 따른 평균 위상오차에 대한 결과이다. 신호대 잡음비가 증가함에 따라 평균 위상오차는 지수함수적으로 감소하는 결과를 보인다. 그림의 결과에서 보는 바와 같이 입력 SNR이 -30dB 인 매우 낮은 신호전력에 서도 대략 $0.3T_c$ 이내의 위상오차를 나타내어 잡음 성능면에서 매우 우수함을 알 수 있다. 이것은 앞서 설명한 잡음레벨 제한 및 잡음상쇄 효과에 기인한다. 칩당 샘플링 개수에 대해서는 샘플링 개수가 많을 수록 보다 좋은 성능을 나타낸다. 또한 SNR이 충분히 큰 경우의 위상오차는 2-Ray 채널의 경우가 AWGN 보다 훨씬 커짐을 볼 수 있다.

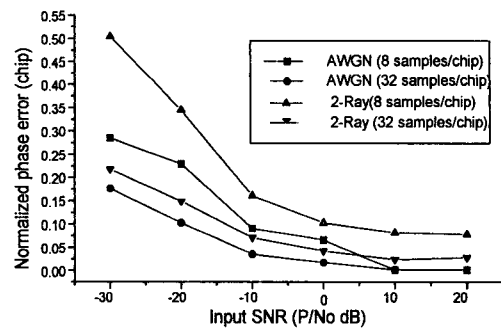


그림 9 잡음레벨과 칩당 샘플링 개수에 따른 위상 오차

Fig. 9 Phase error according to noise level and number of samples per chip

오류가 한번 발생할 때마다 PN 부호의 주파수는 Df/M 만큼씩 변한다. 여기서 Df 는 PN 부호의 최대 주파수 편차이다. 칩당 샘플링 갯수가 증가할수록 오류발생 빈도도 따라서 증가하지만 4.1절에서 설명한 잡음 상쇄 효과에 의해 상쇄되는 오차 역시 따라서 증가한다. 또한, 샘플링 갯수가 클수록 한번의 오류에 의해 발생하는 주파수 오차는 감소한다. 결과적으로 샘플링 갯수와 오차 사이에는 다음과 같은 함수관계가 있음을 알 수 있다.^[30]

$$\text{위상 오차} = C \frac{Df}{M} \dots\dots\dots (28)$$

여기서, C 는 비례상수이다. 즉 위상오차는 샘플링 갯수에 반비례한다.

4.2.3 국부 PN 부호의 최대 주파수 편차에 따른 위상오차

그림 10은 입력 신호대 잡음비를 변화시켜 가면서 PN 부호의 최대 주파수 편차에 따른 위상오차를 시뮬레이션한 결과이다. 최대 주파수 편차가 작을수록 성능이 좋아짐을 알 수 있다. 앞서 그림 9의 결과와 비교할 때 칩당 샘플링 갯수는 낮은 신호대 잡음비에서 높은 신호대 잡음비에 걸쳐 대체로 고른 영향을 미치는 반면, 최대 주파수 편차는 낮은 신호대 잡음비에서 매우 큰 영향을 미치며 신호대 잡음비가 증가할수록 그 영향이 감소하는 결과를 나타낸다.

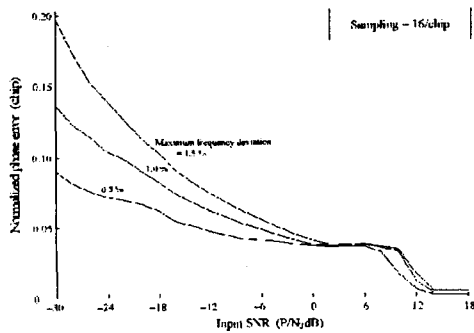


그림 10 잡음레벨과 최대 부호주파수 편차에 따른 위상오차

Fig. 10 Phase error according to noise level and maximum code frequency deviation

4.3 동기 추적 회로의 특성 측정

그림 11은 동기동기가 이루어진 후 동기 추적회로에서 PN 신호의 추적을 위한 국부 PN 발생기에서 발생한 PN 조(early: PN_E), 만(late: PN_L) 신호와 수신 PN 신호(RX_PN)와의 상관 과정을 나타낸 것이다. 파형을 보면 알 수 있듯이 수신 PN 신호와 국부 PN 신호가 한칩 이내에 정렬되어 있음을 알 수 있다. 이 그림에서의 비교기 출력(CP_OUT)은 수신 신호와 만 신호와의 비교 출력을 나타낸다. 그림12는 오류 경보의 경우를 나타낸다. 그림에서 보면 알 수 있듯이 동기획득이 이루어 졌음을 알리는 신호(ACQ)가 발생이 되었으

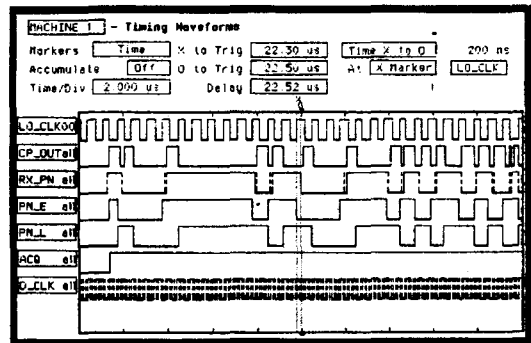


그림 11 동기 추적 과정의 수신 PN 신호와 국부 PN 신호의 파형

Fig. 11 Waveform of received and local PN signal in tracking mode

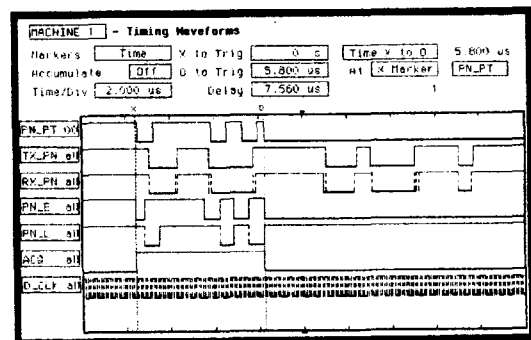


그림 12 오류 경보의 경우

Fig. 12 Waveform of received and local PN signal in false alarm case

나 수신 신호와 국부 신호의 데이터가 다를 수 있다.

일정 시간동안 동기추적을 하다가 오류 경보일 경우 다시 초기 동기과정을 수행하기 위해 동기 획득 신호는 다시 초기화 됨을 알 수 있다.

IV. 결론

본 논문에서는 일정 진폭특성을 갖는 CE-CPSK 변조방식에 대해 제안하였다. 이 방식에 대한 직접 대역 확산 송수신기의 플랫폼에서의 성능 분석을 위해 908MHz에서의 CE-CPSK 변복조 플랫폼을 설계하여 성능 분석을 하였다. PN 신호 발생주기는 1.5MHz로 하였다.

송신기의 전력효율을 고려하여 C급 전력증폭기를 사용함에 있어서 기존의 대역제한된 BPSK 변조의 경우 증폭기의 비선형성으로 인해 출력 스펙트럼의 측대파가 증폭기를 통과하기 전보다 증가 되는 현상이 발생하는데 이를 줄여주기 위해 일정 진폭특성을 갖는 CE-CPSK 변조 방법을 이용하여 변조부를 설계하였다. 이때 일정 진폭 특성을 갖도록 하기 위한 보조신호는 양과 음의 발생확률을 균일하게 함으로서 먼저 제안된 일정진폭 BPSK의 경우 나타나는 출력 스펙트럼에서의 선 스펙트럼 성분에 의한 간섭을 제거하였다. 실험을 통하여 측정된 출력 스펙트럼을 보면 본 논문에서 제안한 일정 진폭의 특성으로 인하여 C급 비선형 증폭기를 통과한 후의 스펙트럼의 측대파의 재생율이 현저히 줄어들었음을 볼 수 있다.

동기 추적 과정인 디지털 지연동기 루프의 성능은 칩당 샘플링의 수가 증가할수록 신호 대 잡음비가 증가할수록 전압 제어 발진기의 최대주파수 편차가 작을수록 좋아짐을 볼 수 있다.

참 고 문 헌

[1] A.A.M. Saleh, "Frequency independent and Frequency dependent nonlinear models of TWT Amplifiers," IEEE Trans. on Communications, vol. COM29, no.4, pp.1715-1720, Nov.1981.

[2] A.A.M. Saleh and J. Salz, "Adaptive linearization of power amplifiers in digital radio systems," Bell syst. Tech J., vol. 62, no. 4, pp.1091-1033, April 1983.

[3] Michael Faulkner and Mats Johansson, "Adaptive linearization using predistortion -experimental results," IEEE Trans. on VTC., vol. 43, no. 2, pp.323-332, May 1994.

[4] James K. Cavers, "The effect of Quadrature Modulator and Demodulator Errors on adaptive digital predistorters for amplifier linearization," IEEE Trans. on VTC., vol. 46, no. 2, pp.456-466, May 1997. pp. 1715-1720, Nov. 1981.

[5] Hoosmand Yazdani et al., "Constant Envelope Bandlimited BPSK Signal," IEEE trans. Commun., vol. COM-28, no. 6, pp. 889-897, June 1980.

[6] Douglas H. Morais and Kamilo Feher, "The Effect of Filtering and Limiting on The Performance of QPSK, Offset QPSK, and MSK systems," IEEE trans. Commun., vol. COM-28, no. 12, pp. 1999-2009, Dec. 1980.



김 성 철(Seong-Cheol Kim)
 1987년 2월 고려대학교 전자공학과(공학사)
 1989년 2월 고려대학교 전자공학과(공학석사)
 1989년 4월~1994년 삼성전자(주) 1997년 고려대학교 전자공학과(공학박사)
 1997년 3월 ~현재 우송대학교 컴퓨터전자정보공학부 조교수

*주 관심분야 : CDMA 이동통신, 통신이론



송 인 근(In-Keun Song)

1978년 2월 고려대학교 전자공
학과(공학사)

1983년 2월 고려대학교 전자공
학과(공학석사)

1999년 2월 명지대학교 전자공

학과(공학박사)

1984년 3월 ~1995년 2월 한국전자통신연구원

1995년 3월 ~현재 우송대학교 컴퓨터전자정보공학
부 부교수

*주관심분야 : 이동통신, 컴퓨터통신