
Hemispherical Grain Silicon에 의한 정전용량 확보 및 공정조건 특성에 관한 연구

정양희*, 정재영*, 이승희**, 강성준***, 이보희****, 유일현****, 최남섭*

A Study on Capacitance Enhancement by Hemispherical Grain Silicon and Process Condition Properties

Yang-Hee Joung, Jae-Young Choung, Seung-Hee Lee, Seong-Jun Kang,
Bo-Hee Lee, Il-Hyun You, Nam-Sup Choi

Abstract

The box capacitor structure with HSG-Si described here reliably achieves a cell capacitance of 28fF with a cell area of a $0.482\mu\text{m}^2$ for 128Mbit DRAM. An HSG-Si formation technology with seeding method, which employs Si₂H₆ molecule irradiation and annealing, was applied for realizing 64Mbit and larger DRAMs. By using this technique, grain size controlled HSG-Si can be fabricated on in-situ phosphorous doped amorphous silicon electrodes. The HSG-Si fabrication technology achieves twice the storage capacitance with high reliability for the stacked capacitors.

1. 서 론

최근 반도체 소자의 고집적화, 초소형화의 경향과 더불어 제한된 면적에서의 충분한 캐패시턴스

확보를 위해 저장전극 면적의 향상을 위한 많은 연구가 이루어지고 있다[1]. 캐패시터의 정전용량 증대를 위한 표면 확장방법으로는 캐패시터 하부 전극 폴리실리콘 표면을 이온반응 에칭이나 열산

* 여수대학교 전기공학과
** 현대반도체 공정기술팀
*** 여수대학교 반도체·응용물리학과
**** 세명대학교 전기공학과
***** 세명대학교 물리학과

화막 성장후 grain에 따른 선택적 에칭등이 있다. 그러나 이와같은 방법은 공정의 신뢰성과 대량생산 특히 웨이퍼의 대구경화에 따른 균일한 캐패시턴스를 얻는데 한계가 있어 최근 HSG-Si 형성기술에 관한 매우 많은 관심이 집중되고 있다[2-4]. 따라서 본 논문에서는 Low Pressure Chemical Vapor Deposition(LPCVD)를 이용, amorphous doped 폴리실리콘을 증착하고 Si₂H₆를 조사한후 진공에서 annealing을 통하여 HSG-Si를 형성하는 기술을 [5-10] 128Mbit DRAM에 적용하여 기존의 simple stacked와의 셀 캐패시턴스를 비교, 분석하고 Amorphous 실리콘의 인농도와 HSG-Si의 두께가 셀 캐패시턴스에 미치는 영향을 평가하였다. 또한 인농도의 변화가 저장폴리의 etch profile과 HSG-Si의 형성에 미치는 영향을 비교 조사였고, 같은 인농도에서의 HSG-Si의 두께 관리에 대한 균일성을 조사하였다.

2. 시료제작 및 실험 방법

본 실험에 사용되어진 시료는 비저항이 9~10Ω·cm인 p-type 8인치 웨이퍼로 셀 사이즈가 0.482 μm²이며 캐패시터 구조는 box형을 이용하였다. 실험에 적용된 128Mbit DRAM의 개략적인 구성도는 그림 1과 같다.

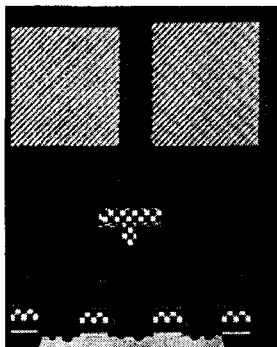


Fig. 1. The cross section of capacitor

그림 1에서 캐패시터의 제작과정은 저장폴리 증착 전세정 실시후 K.E사의 LPCVD(model : DJ-835V)를 이용하여 온도와 압력을 각각 530℃,

133Pa로 하고, SiH₄/PH₃을 1000/99sccm으로한 in-situ doped amorphous 실리콘을 11300 Å 증착하였다. 저장폴리 증착후 사진식각과 건식각을 통하여 box형의 저장폴리를 형성하였다. HSG-Si의 형성 조건으로는 온도를 730℃에서 10sccm의 Si₂H₆를 100초간 주입하고 10⁻⁷ Torr의 진공상태에서 100초동안 어닐링하였다. HSG가 형성된 시료는 자연산화막 제거를 위해 1:500HF처리후 유전막으로 질화막을 약 80 Å 성장시킨후 약 700 Å의 in-situ doped plate poly를 증착하여 캐패시터를 제작하였다. 캐패시터의 개략적인 제조과정은 그림 2에 나타내었다.

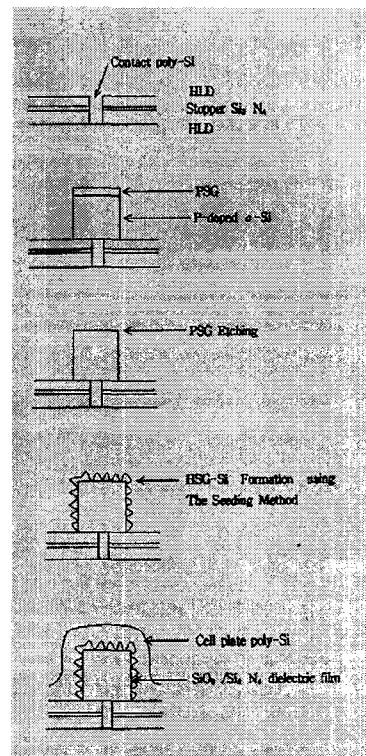


Fig. 2. Process flow for making HSG-Si capacitor

실험방법으로는 HSG-Si가 없는 기존의 simple stacked capacitor와 기존의 시료에 HSG-Si를 형성한 시료에 대하여 각각 셀 캐패시턴스(Cs)를 측정하였다. 이때 캐패시턴스의 측정은 Keithley S-475를 이용하였다. 또한 HSG-Si형성에 있어 amorphous 실리

큰 인농도가 HSG-Si형성에 미치는 영향을 조사하기 위하여 2.5~5.0E19 atoms/cm²으로 변화하여 HSG-Si를 관찰하였고, HSG-Si의 두께가 Cs에 미치는 영향을 조사 분석하였다. HSG-Si의 두께 측정에는 Nanometrics사의 nano-8000을 이용하였다. 이와 같이 형성된 HSG-Si의 전기적인 신뢰성의 측정 방법으로는 캐패시터에 대한 절연과피 전기장을 측정하였다.

또한 캐패시터 형성과정에서 저장폴리의 인농도의 변화에 따른 storage poly의 형상에 미치는 영향과 이와 관련된 HSG-Si의 형성을 SEM을 통하여 비교 분석하였으며, 인농도의 관리치에 따른 HSG-Si 형성의 의존성을 비교조사하였다.

3. 결과 및 논의

캐패시터의 확보를 위해 HSG가 적용된 box형 저장폴리의 형상은 그림 3과 같다.

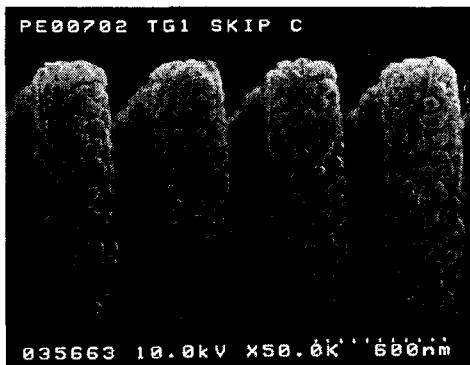


Fig. 3. SEM micrograph of electrodes after HSG-Si formation

그림 3은 doped amorphous 실리콘 증착후 진공에서의 어닐링을 통한 HSG-Si의 모양을 Scanning electron microscope(SEM)을 통하여 관찰한 사진으로 기존에 일반적으로 사용되어진 Stacked capacitor의 저장 폴리 형상과는 달리 저장폴리의 표면이 반구의 형태로 형성되어 있어 표면적의 증가를 확인할 수 있고, 여기에 증착되는 절연막의 형태는 저장폴리의 형태를 이루기 때문에 캐패시터의 증가효

과를 예상할 수 있다. 따라서 simple stacked capacitor와 여기에 HSG-Si를 형성한 Capacitor의 셀 캐패시터를 측정하여 그림 4에 나타내었다.

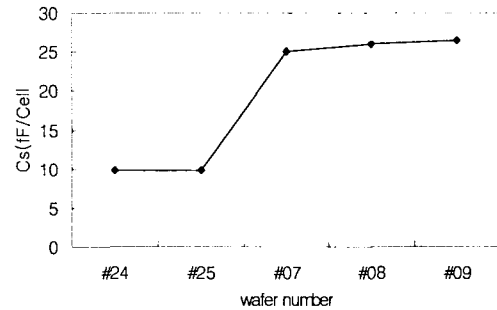


Fig. 4. Cell capacitance for simple and HSG-Si capacitor

그림 4에서 #24, 25는 simple stacked capacitor의 셀 캐패시터이고, 나머지 웨이퍼는 HSG-Si가 형성된 시료에 대한 셀 캐패시터를 비교하여 나타낸 것이다. 그림에서와 같이 HSG-Si가 적용된 웨이퍼의 경우는 simple stacked capacitor 대비 셀 캐패시터가 최소 약 2.0배가량 높은 28fF/cell을 나타내고 있어 HSG-Si에 의해 표면적의 증대가 있음을 명확히 확인할 수 있고 이는 최근 반도체 소자의 고집적화, 초소형화에 따른 면적의 한계를 극복할 수 있는 유용한 프로세스 기술이라 사료된다.

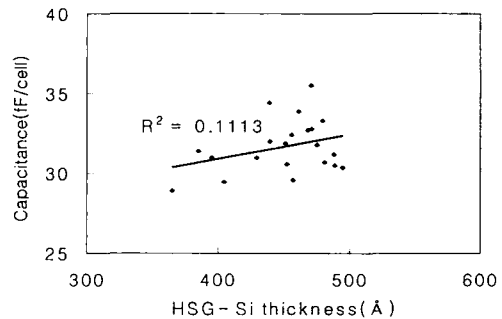


Fig. 5. Relationship of cell capacitance HSG-Si thickness

또한 HSG형성 두께가 셀 캐패시턴스에 미치는 영향을 조사하기 위하여 각각의 시료에서 nano-8000을 이용하여 HSG의 두께를 구분하고 이 시료에 대한 Cs를 조사 비교한 결과를 그림 5에 나타내었다. 그림 5에서 보는바와 같이 HSG-Si의 두께가 약 400~500Å의 범위에 있는데 이는 Batch type LPCVD 장치내의 zone에 따른 공정조건의 영향에 기인된 것으로 판단되고 HSG의 크기가 증가됨에 따라 표면적의 증대로 셀 캐패시턴스도 증가하는 것으로 확인되었다. 그러나 HSG가 500Å 이상으로 과도하게 성장하는 경우 이들 grain이 떨어져 전극간의 short를 유발하는 불량을 발생시켜 불량율이 증가됨을 알수 있었다. 이를 그림 6에 나타내었다.

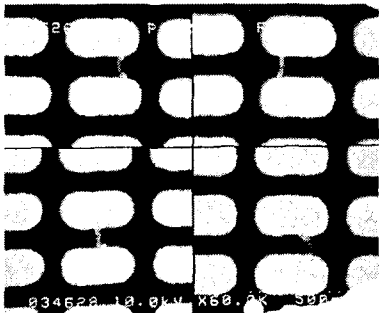


Fig. 6. HSG-Si node to node short by SEM

또한 인농도가 HSG-Si 두께에 미치는 영향을 평가하기 위하여 동일한 공정 조건에서 인농도의 변화에 따른 HSG-Si의 두께를 조사한 결과를 그림 7

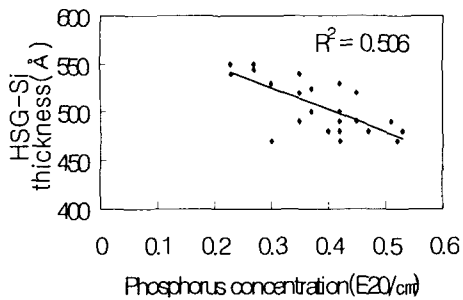


Fig. 7. HSG-Si thickness versus phosphorous concentration

에 나타내었다. 그림 7에서 보는바와 같이 인농도의 증가에 따라 HSG-Si의 두께가 감소하는 것으로 나타났는데 이는 고진공에서의 열처리과정에서 인농도가 높을 때 열에너지에 의한 out diffusion으로 진공도의 저하에 기인한 것으로 해석할 수 있다[11].

또한 인농도를 0.2 - 0.5E20atoms/cm²으로 변화할 때 etch profile과 HSG-Si의 형성을 그림 8, 9에 나타내었다.



Fig. 8. Storage poly etch profile by SEM

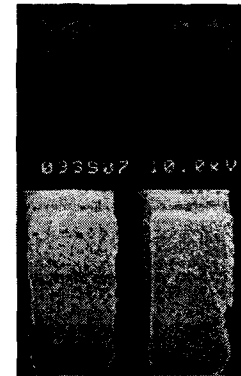


Fig. 9. Storage poly HSG-Si formation by SEM

그림 8, 9에서 보는바와 같이 인농도가 높을 때 etch profile과 HSG-Si의 형성이 정상적으로 이루어지지 않은 것으로 나타났는데 이는 인농도가 높을 때 폴리실리콘의 결정화가 촉진되어 플라즈마 에칭시에 결정의 부분적인 이탈 현상으로 단면이상이 발생한 것으로 해석되며, HSG-Si의 불량은 앞서 논의한 바와같이 인농도의 과다로 HSG-Si 형

성시에 높은 열에너지에 의한 out-diffusion으로 vacuum level이 떨어져 고진공이 유지되지 못한 것으로 판단된다.

부가적으로 인농도의 관리치에 대한 HSG-Si의 형성 균일성을 조사한 결과를 그림 10, 11에 나타내었다.

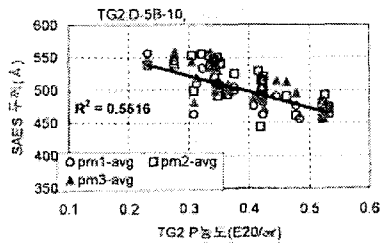


Fig. 10. HSG-Si Thickness as function of P concentration(500 ± 50 Å)

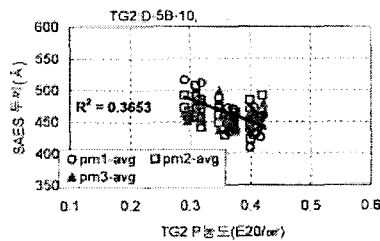


Fig. 11. HSG-Si Thickness as function of P concentration(450 ± 50 Å)

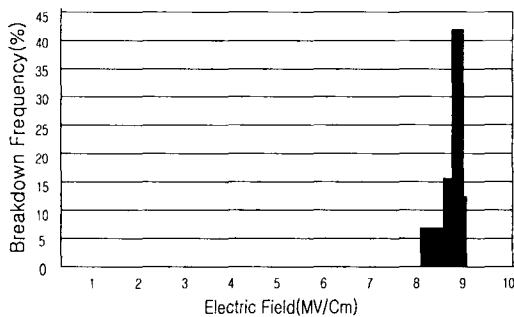


Fig. 12. Breakdown field distribution of HSG-Si capacitor

그림 10, 11에서 보는바와 같이 HSG-Si의 관리

치를 50정도 낮게 관리함으로써 500Å이상의 크기에서 over migration에 의한 불량을 억제할 수 있는 공정 조건을 얻을 수 있었다.

이들 시료에 대한 전기적 신뢰성 특성을 평가하기 위해 진행된 절연파괴 전기장을 조사하여 그림 12에 나타내었다.

그림 8에서 보는바와 같이 절연파괴 전기장이 약 8~9 MV/cm으로 기존의 캐패시터에서와 같이 낮은 전기장에서의 빈도가 거의 나타나지 않으면서 집중되어 있다. 이는 HSG-Si box형 캐패시터의 결함밀도가 낮음을 의미하기 때문에 이로서 HSG를 형성하더라도 소자의 전기적 특성의 변화에는 문제가 없음을 확인할 수 있다.

4. 결 론

HSG-Si의 형성으로 저장전극의 표면적을 증가시켜 기존의 캐패시터보다 약 2배가량의 셀캐패시턴스 향상을 확보할수 있음을 확인하였고, 인농도가 변화가 HSG의 grain크기에 밀접하게 관계됨을 알 수 있었다. 또한 HSG의 두께에 따라 Cs는 증가하는 것으로 나타났지만 500Å이상으로의 과도한 형성은 전극간을 연결시키는 가교불량이 유발 됨을 확인하였다. 인농도가 정도에 따라 저장폴리의 형상과 이와연계된 HSG-Si의 형성에 민감한 영향을 미치는 것으로 확인되었다. 또한 이들 시료에 대한 절연파괴전기장을 측정된 결과 8~9MV/cm에 집중적으로 분포되어있는 것으로 보아 결함밀도에도 문제가 없는 것으로 사료된다. 이상의 결과로 64Mbit DRAM급 이상의 고집적화 반도체 소자 개발에 있어 캐패시터에 HSG-Si의 적용은 캐패시턴스의 확보라는 측면에서 대단히 유리하다고 판단되나 HSG-Si의 형성이 여러 가지 공정조건에 민감하므로 대량생산라인에의 적용시 균일성있는 HSG-Si의 형성 공정 조건에 대한 최적화가 추후 과제로 남아있다.

감사의 글

본 연구는 과학기술부, 한국과학재단지정 여수대학교 설비자동화 및 정보시스템 연구개발 센터에

의해 지원되었으며 이에 감사드립니다.

참고문헌

[1] Y. Kawamoto, T. Kaqa, "A 1.28 μ m² bit-line shielded memory cell technology for 64Mb DRAM," in Proc. Symp. VLSI Technol., 1990, pp. 13-14.

[2] T. Ema, S. Kawanago, and T. Nishida, "3-dimensional stacked capacitor cell for 16M and 64M DRAM's," in IEDM Tech. Dig., 1988, pp. 592-595.

[3] S. Inoue, A. Nitayama and Horiguchi, "A new stacked capacitor cell with thin box structured storage node," Proc. 21st Solid-State Devices and Materials Conf., 1989, pp. 141-144.

[4] W. Wakamiya, Y. Tanaka, and H. Kimura, "Novel stacked capacitor cell for 64Mb DRAM," Proc. Symp. VLSI Technol., 1989, pp. 69-70.

[5] H. Watanabe, N. Aoto, S. Adachi and K. Terada, "A new stacked capacitor structure using hemispherical-grain poly-silicon electrodes," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 873-876.

[6] Y. Hayashide, and H. Miyatake, "Fabrication of storage capacitance-enhanced capacitors with a rough electrode," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 869-872.

[7] M. Sakao, N. Kasai, T. Ishijima, and E. Ikawa, "A capacitor-over-bit-line cell with a hemispherical grain storage node for 64Mb DRAM," IEDM Tech. Dig., 1990, pp. 655-658.

[8] M. Yoshimaru, J. Miyano, and M. Ino, "Rugged surface poly-Si electrode and low temperature deposition Si₃N₄ for 64Mbit and STC DRAM cell," IEDM Tech. Dig., 1990, p. 659.

[9] H. Watanabe, and N. Aoto, "New stacked capacitor structure using hemispherical grain polycrystalline-silicon electrodes," Appl. Phys. Lett., vol. 58, 1991, pp. 251-253.

[10] H. Watanabe, S. Adachi and N. Aoto, "Device application and structure observation for hemispherical grained Si," J. Appl. Phys., vol. 71, 1992, p.3538.

[11] H. watanabe, T. tatsumi, "HSG-Si formation on in-situ Phorphous doped amorphous-Si Electrode for 256Mb DRAM's capacitor," IEEE Tran. on ED., vol. 42, no. 7, 1995



정 양 희(Yang-Hee Joung)

1983년 2월 단국대학교 응용물리학과 졸업(공학사)

1985년 8월 인하대학교 응용물리학과 졸업(공학석사)

1993년 8월 인하대학교 전자재료공학과 졸업(공학박사)

1998-1995년 LG반도체 선임연구원

1995-현재 여수대학교 전기공학과 조교수

관심분야 : VLSI 공정 및 반도체 물성

정 재 영(Jae-Young Choung)

여수대학교 전기공학과 대학원 재학중

이 승 희(Seung-Hee Lee)

현대반도체 책임연구원

강 성 준(Seong-Jun Kang)

1989년 2월 인하대학교 응용물리학과 졸업(공학사)

1994년 8월 인하대학교 전자재료공학과 졸업(공학석사)

1999년 2월 인하대학교 전자재료공학과 졸업(공학박사)

현재 여수대학교 반도체.응용물리학과 전임강사

관심분야 : VLSI materials, 강유전체박막

이 보 희(Bo-Hee Lee)

1985년 2월 인하대학교 전자공학과 졸업(공학사)
1992년 8월 인하대학교 기계공학과 졸업(공학석사)
1996년 8월 인하대학교 기계공학과 졸업(공학박사)
현재 세명대학교 전기공학과 조교수

유 일 현(II-Hyun You)

1979년 2월 인하대학교 응용물리학과 졸업(공학사)
1982년 2월 인하대학교 응용물리학과 졸업(공학석사)
1991년 2월 인하대학교 응용물리학과 졸업(공학박사)
현재 세명대학교 컴퓨터응용과학과 조교수



최 남 섭(Nam-Sup Choi)

1987년 2월 고려대학교 전기공학과 졸업
1989년 2월 KAIST 전기및전자공학과 졸업(공학석사)
1994년 2월 KAIST 전기및전자공학과 졸업(공학박사)
1994년 2월~1995년 3월 KAIST 정보전자연구소 연구원
1995년 3월~현재 국립여수대학교 전기 및 반도체공학과 교수
1999년 3월~2000년 2월 미국 Wisconsin-Madison 주립대학 방문교수
관심분야 : 전력전자회로 모델링 및 해석, 멀티레벨 컨버터 설계 및 응용