

論文2000-37SD-1-9

개선된 조건 합 가산기를 이용한 54×54-bit 곱셈기의 설계

(Design of a 54×54-bit Multiplier Based on a Improved Conditional Sum Adder)

李榮喆*, 宋敏圭*

(Young Chul Rhee and Min Kyu Song)

요약

개선된 조건 합 가산기를 이용한 저전력 고속 54×54-bit 곱셈기를 설계했다. 지연시간을 감소시키기 위해, Booth's Encoder 없이 높은 압축율을 갖는 압축기들과 Carry 발생블록을 분리시킨 108-bit 조건 합 가산기를 제안하였다. 또한, 지연시간과 전력소모를 최적화하기 위해 패스 트랜지스터로직을 사용한 설계기법을 제안하였다. 제안된 곱셈기는 기존 곱셈기구조에 비해 약 12%의 지연시간과 5%의 전력소모가 감소하였으며, 0.65 μ m CMOS(Single-poly, triple-metal)공정을 사용하여 6.60×6.69mm²의 칩 크기와 공급전압 3.3V에서 13.5ns의 지연시간을 갖는다.

Abstract

In this paper, a 54×54-bit multiplier based on a improved conditional sum adder is proposed. To reduce the multiplication time, high compression rate compressors without Booth's Encoding, and a 108-bit conditional sum adder with separated carry generation block, are developed. Furthermore, a design technique based on pass-transistor logic is utilized for optimize the multiplication time and the power consumption. The proposed multiplier reduces multiplication time by about 12% and power consumption by about 5% compared to that of conventional one. With 0.65 μ m, single-poly, triple-metal CMOS process, its chip size is 6.60×6.69 mm² and the multiplication time is 13.5ns at a 3.3V power supply.

I. 서론

적은 전력소모로 고속의 연산수행을 하는 곱셈기는 디지털 신호 프로세서(DSP)등의 핵심 블록으로서 그 필요성이 커지고 있으며 지금까지 많은 연구가 이루어져 왔다.^{[1]-[3]} 그러나 대부분의 곱셈기가 기존의 CMOS 직을 이용함에 따라 저전력, 고속 동작특성에 한계를

보이고 있다.^{[4][5]} 이런 문제점을 해결하기 위해 1990년 처음으로 Pass-transistor Logic(이하, PTL)이 제안되었다.^[6]

그 이후에 PTL은 전력소모가 적고 구조가 간단하다는 특성 때문에 저전력 고속 디지털회로에 널리 쓰이고 있지만, 출력 레벨을 복원시켜 주는 Level Restoration Block(이하, LRB)가 필수적이며, 이를 만족하기 위해 고속동작과 저전력 특성을 갖는 많은 LRB가 제안되어져 왔다.^{[7]-[10]} 따라서 현재 이런 PTL을 이용한 저전력 고속 곱셈기설계가 활발히 연구중이다.^{[11][2]}

곱셈기의 구성은 입력을 부호화 시키는 Encoder블록과 부호화 된 일렬 데이터를 압축시켜주는 Wallace's Tree블록, 그리고 압축된 데이터를 가산하는 가산기를

* 正會員, 東國大學 敎 半導體科學科

(Dongguk Univ., Dept. of Semiconductor Science)

※ 본 연구는 동국대학교 전문학술지 논문게재 연구비

지원으로 이루어졌습니다. 지원에 감사드립니다.

接受日字:1999年5月17日, 수정완료일:1999年11月11日

록을 기본 구성으로 한다.^[2] 제안하는 곱셈기는 Encoder 블록의 빠른 부호화를 위해 Direct Encoder를 적용했고 대신 부분합의 압축시간을 더욱 향상시키기 위해 9-2와 6-2 압축기와 같은 높은 압축 데이터 율을 갖는 압축기를 사용하였다.^[2] 또한 가산기는 기존 조건 합 가산기(Conditional Sum Adder, 이하 CSA)에서, 고속 동작을 위해 Carry발생 블록을 분리시킨 Modified 108-bit CSA를 제안한다. 제안된 곱셈기의 성능을 비교하기 위하여 Booth's Encoder와 4-2압축기, 108-bit 가산기로 구성된 기존 54×54-bit 곱셈기^[1]와 제안하는 곱셈기를 각각 설계하였으며 적절한 PTL과 CMOS 로직을 사용하여 설계했다.

II장에서는 본 곱셈기의 전체 구성을, III장에서는 각 블록의 회로설계 및 동작원리를 설명하고, IV장에서는 실험결과를 기술하였으며 마지막으로 V장에서는 결론에 대해 논한다.

II. 전체 구조

기존 54×54-bit 곱셈기의 구조는 그림 1에 나타냈듯이 Modified Booth's Encoder와 4-2압축기로만 구성된 압축블록, 마지막으로 가산기를 사용한 반면에, 제안된 곱셈기는 직접 피승수의 값을 승수에 의해 출력해주는 Direct Encoder 블록, 그리고 최대 54-bit의 일렬 데이터를 9-2와 6-2압축기와 같은 높은 압축 율을 갖는 압축기에 의해 압축되는 Wallace's Tree블록, 마지막으로 고속 Carry 발생기를 갖춘 108-bit 조건 합 가산기 블록의 형태로 구성되어 있다. 제안된 곱셈기의 구조를 그림 2에 나타냈다.

제안된 곱셈기의 입력이 Direct Encoder에 의해 코드화 되면 최대 54-bit의 일렬 데이터가 제안된 압축기에 의해 9-2압축기에서 6-2압축기로, 6-2압축기에서 4-2압축기로 압축된다. 연쇄적으로 연결된 데이터 압축 블록의 지연시간은 III장에서 논하겠지만 Full Adder 9개의 지연시간과 같다. 마지막으로 압축된 108-bit 데이터를 고속 가산하기 위하여 Carry 발생의 블록을 따로 갖는 제안된 조건 합 가산기에 의해서 곱셈의 출력이 나오게 된다. 이 가산기는, 역시 III장에서 논하겠지만 기존의 가산기에 비해 2개 Multiplexer(이하, MUX) 지연시간 정도 짧아지게 된다.

각 블록들의 구성은 적절한 PTL과 CMOS Logic을 저 전력과 고속동작을 위해 적용하여 구성하였다.

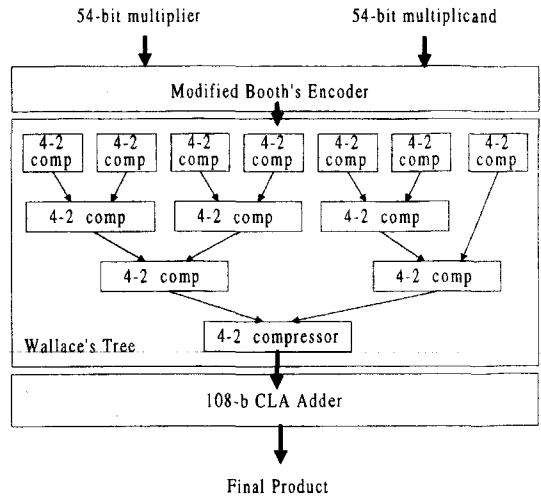


그림 1. 기존 54×54-bit 곱셈기의 구조
Fig. 1. Conventional 54×54-bit Multiplier.

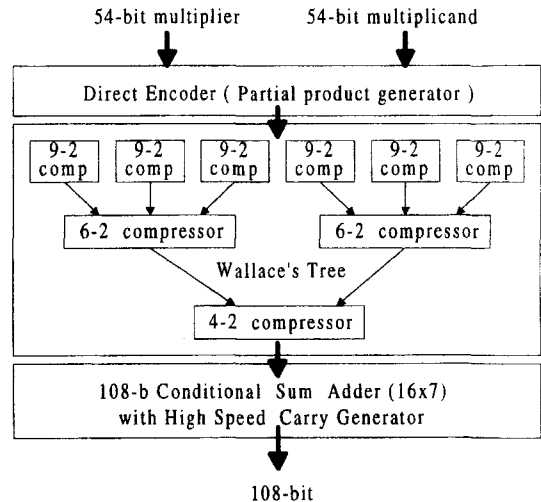


그림 2. 제안된 구조의 54×54-bit 곱셈기
Fig. 2. Proposed 54×54-bit Multiplier.

III. 회로 설계

1. Direct encoder(Partial product generator)

제안된 구조에서는 높은 압축 율을 갖는 데이터 압축기를 사용하여, 기존의 Modified Booth's Encoder없이 직접 데이터(승수)값에 의해 피승수의 값을 출력해주는 Direct Encoder를 사용하였다.

기존의 Modified Booth's Encoder는 최소한 5MUX의 지연시간을 갖고 면적 면에 있어서 손해를 보지만,^[1] 압축기 면에서 볼 때 탁월한 성능을 가지고 있다. 이러

한 장단점을 이용하여 multi-bit를 처리하고 곱셈시간을 단축하고자, 9-2와 6-2 압축기 같은 높은 압축율을 갖는 데이터 압축기를 사용하여서 직접 MUX 하나만을 거쳐 출력해 주는 Direct Encoder를 구성하였다.^[2]

그림 3에 Direct Encoder의 회로를 보였으며 지연시간은 MUX 하나의 지연시간과 같다

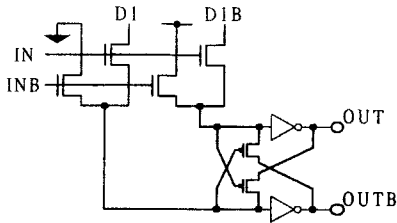


그림 3. Direct Encoder 회로도
Fig. 3. Direct Encoder Scheme.

이 Direct Encoder는 곱셈기의 1-bit 데이터가 '0' 일 때는 '0' 을, '1' 일 때는 피승수의 값을 Encoder의 출력으로 내보내며, Direct Encoder의 구성은 MUX와 출력레벨을 복원해주는 LRB가^[10] 하나로 구성된 기본 cell들로 구성되었다.

2. Wallace's Tree

Multi-bit 곱셈기를 설계 할 때 압축기의 선택은 속도, 집적도, 전력 등을 고려하여야 한다. 4-2압축기만을 사용한 기존 압축블록과는 반면, 본 곱셈기의 압축블록은 Direct Encoder에서 출력된 부분 합들의 일렬 데이터가 54-bit임을 감안하여 9-2압축기 6개로부터 6-2압축기 2개, 마지막에 4-2압축기에 의해 압축되어지는 방법을 사용하였다.

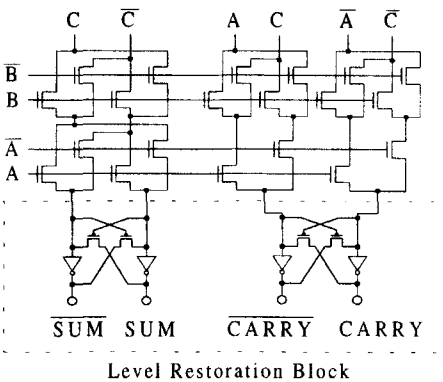


그림 4. 전가산기 회로도
Fig. 4. Full-Adder scheme.

각 데이터 압축블록의 압축기들은 저전력 고속동작을 위해 PTL로 구성된 전가산기들을 일률적으로 사용하였으며 그림 4에 PTL로 구현된 전가산기 회로도를 나타냈다.

주어진 2MUX의 지연을 갖는 전가산기로 구성된 각각의 압축기들의 경로를 그림 5에 나타냈으며, 9-2압축기는 전가산기 4단의 주경로를 기치고 6-2압축기는 3단, 4-2압축기는 2단의 전가산기를 거쳐게 된다.

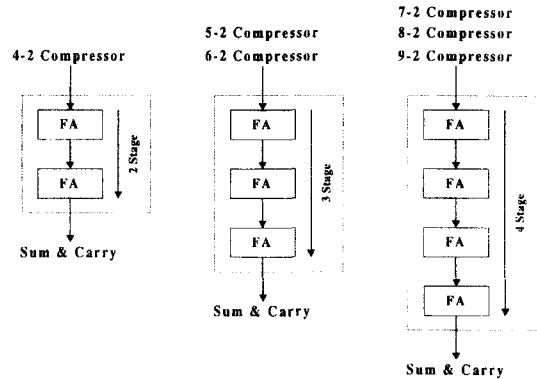


그림 5. 데이터 압축 블록도
Fig. 5. Diagram of Data Compressor Block.

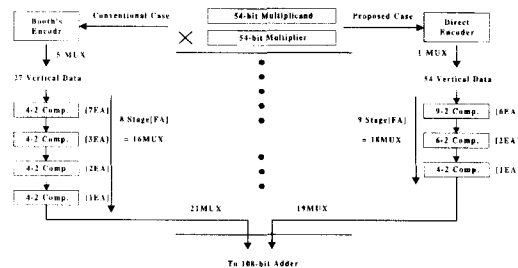


그림 6. Encoder와 압축기의 비교
Fig. 6. Comparison with Encoder and Compressor.

Encoder의 입력으로부터 데이터 압축블록 출력까지의 지연시간을 그림 6에서 볼 때, 기존에 Booth's Encoder와 4-2압축기만을 사용한 곱셈기에서는 약 21MUX의 지연시간을 갖지만, Direct Encoder와 9-2와 6-2, 4-2압축기를 사용한 본 곱셈기는 19MUX의 지연시간을 가지므로 2MUX의 지연을 단축시킨 결과를 얻어냈다. 물론, 3MUX의 지연을 갖는 4-2압축기^[1]로 구성된 곱셈기 압축블록이라면 12MUX 지연을 갖지만, 제안된 압축기들에도 적용된다면, 15MUX의 지연을 갖아 전체 곱셈배열의 압축된 지연은 17MUX와 16MUX로 1MUX의 빠른 지연을 역시 갖게 된다. 즉 높은 데

이터 압축율을 갖는 압축기가 효율적인 압축효과를 낼 수 있게 된다.

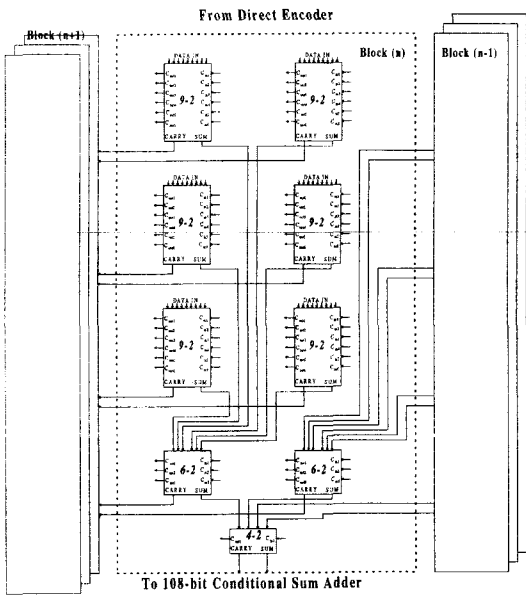


그림 7. 데이터 압축블록의 연결도
Fig. 7. Interconnection of a Data Compressor Block.

Direct Encoder로부터 생성된 부분 합들을 가산하기 위한 각각의 데이터 압축기 연결을 그림 7에 구성하여 나타냈으며 기존 곱셈블록과 제안하는 곱셈블록의 주 경로를 Simulation한 결과를 그림 8에 나타냈다.

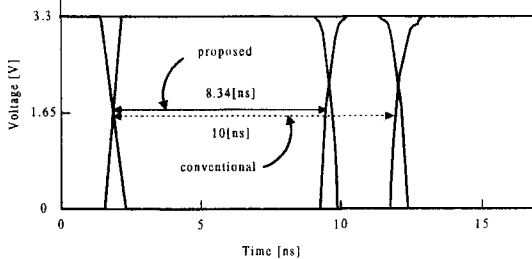


그림 8. 주경로 Simulation결과
Fig. 8. Simulation Results for a Critical Path.

3. 108-bit Modified Conditional Sum Adder

54×54-bit 고속 저전력 곱셈기는 Direct Encoder에서 Wallace's Tree를 거친 후에 2줄의 108-bit 부분합의 형태로 줄어들게 된다. 이를 더하는 고속 가산기의 설계는 필수적이다. 고속 108-bit가산기를 구현하기 위

해 제안된 고속 Carry 발생 블록 (Carry Generation Block, 이하 CGB)을 갖는 조건 합 가산기를 제안한다. 제안한 가산기는 그림 9에 나타난 것처럼 7개의 16-bit CSA모듈과 2개의 CGB로 구성된다. 이렇게 함으로써, 2개로 분리된 CGB의 Carry신호(BC_i, BC_iB)가 각 CSA 모듈의 신호보다 먼저 마지막 단을 구동하기 때문에 전체 지연시간이 기존의 가산기에 비해 2MUX만큼의 지연시간이 감소한다.

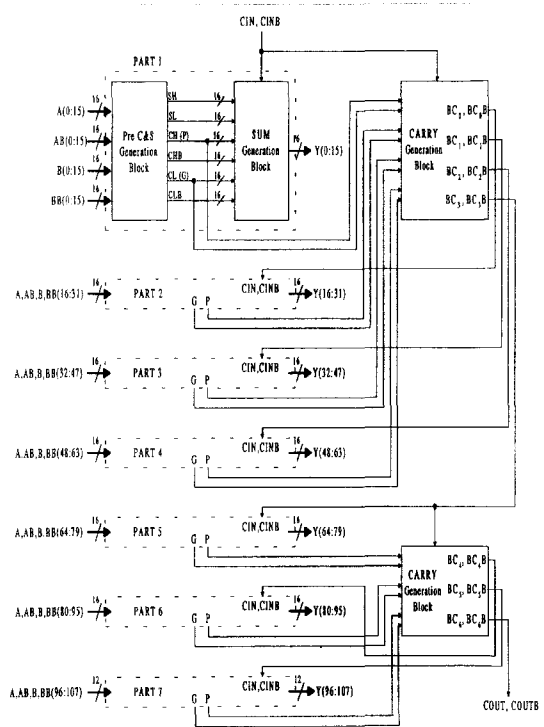


그림 9. 108-bit 조건합 가산기의 구조
Fig. 9. The Architecture of the 108-bit Conditional Sum Adder.

1) CSA Module

16-bit단위블록으로 구성된 각 CSA모듈은 그림 9와 같이 Pre C&S Generation Block(이하, CSGB)과 Sum Generation Block(이하, SGB)으로 구성된다. CSGB에서는 각 단위 비트의 Sum과 Carry를 분석하여 발생시키고, 이 신호는 SGB로 보내져 SGB에서 선택적으로 Sum을 발생시키도록 한다. CSGB의 각 단위 비트 (j-bit) 신호를 표 1에 정리하였고 회로도를 그림 10에 나타내었다.

표 1. Carry와 Sum의 분석표

Table 1. Analysis table of the carry & sum.

Carry _{j-1}	SLM		CARRY _j (Generation)		CARRY _j (Propagation)		비 고
	SH	SL	CL	CLB	CH	CHB	
1	XOR	XNOR	AND	NAND	OR	NOR	j-1bit에서 Carry가 전달될 때
0	XNOR	XOR					j-1bit에서 Carry가 없을 때

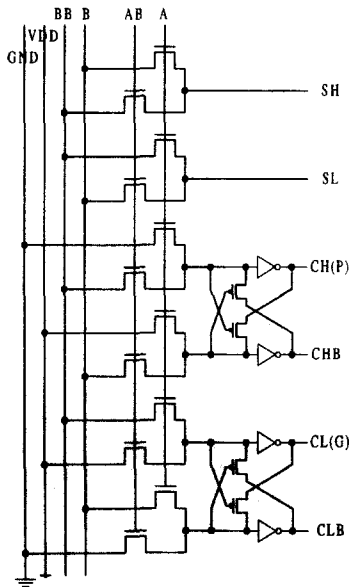


그림 10. Pre-C&S Generation Block의 회로도.
Fig. 10. Circuit Diagram of the Pre-C&S Generation Block.

여기서 P는 Carry Propagation Signal, G는 Carry Generation Signal을 의미하며 즉, j-bit의 자리에서 Carry가 발생될 수도 있고 (j-1)-bit에서 발생된 Carry가 j-bit에서는 (j+1)-bit에 전달될 수도 있을 것이다.

발생된 SH, SL, CH(P), CHB(P), CL(G), CLB(G)의 6가지 신호는 SGB로 전달되어 전단의 CSA모듈에 Carry가 있을 때와 없을 때를 가정하여 2가지 경우로 계산되어진다. 이 계산이 수행되는 동안 CH(P), CL(G) 신호는 분리된 CGB로 전달되어 각 CSA모듈에 Carry가 전달되는지 여부를 계산하여 다시 SGB로 Feedback 되어 최종 SUM을 발생시킨다.

2) Sum Generation Block(SGB)

16-bit으로 구성된 각 CSA모듈의 SUM Generation Block을 그림 11에 나타냈다. 각 CSGB으로부터 분석된 신호들은 MS(Multiplexer with Single input), MSL(Multiplexer with Single input and Level restoration block), MD(Multiplexer with Double input), MDL(Multiplexer with Double input and Level restoration block)등을 거쳐 각 bit의 SUM이 발생하는 조건을 구성하게 된다. 주요한 곳에는 LRB가 삽입되어 Full swing 구동을 하도록 설계되었다.

여기서, 각 bit의 SUM이 발생하는 조건을 보면 기존에는 바로 전 비트의 Carry와 SUM 신호를 이용하였는데, 본 논문에서는 2-bit전의 Carry와 SUM 신호를 이용하는 방법을 제안했다. 이를 간단히 식으로 나타내면 다음과 같다.

$$SH_j = X_j \cdot \overline{(G_{j-1} - 1 + P + j - 1 C_{j-2})} + \overline{X_j} \cdot (G_{j-1} + P_{j-1} C_{j-2})$$

$$= \overline{X_j} \text{ (when } G_{j-1} + P_{j-1} = P_{j-1} = 1)$$

$$= \overline{X_j} \text{ (when } G_{j-1} + P_{j-1} = P_{j-1} = 0)$$

$$SL_j = X_j \cdot \overline{(G_{j-1} - 1 + P + j - 1 C_{j-2})} + \overline{X_j} \cdot (G_{j-1} + P_{j-1} C_{j-2})$$

$$= \overline{X_j} \text{ (when } G_{j-1} = 1)$$

$$= \overline{X_j} \text{ (when } G_{j-1} = 0)$$

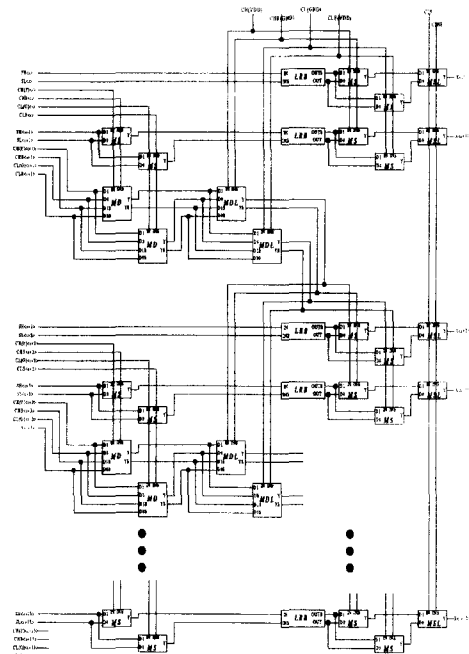


그림 11. 16-bit Sum Generation Block
Fig. 11. 16-bit Sum Generation Block.

3) Carry Generation Block(CGB)

CLA1으로 모듈화 된 4개의 블록과 하나의 CLA2로 구성된 제안된 고속 CGB의 구성을 그림 12에 나타냈다. 제안된 CGB 회로의 고속동작을 위해 PTL과 기존의 CMOS 로직을 비교하면, CMOS 로직이 논리적으로 하나의 Gate를 거친 속도인데 비해, PTL은 MUX 3개를 거쳐야 되므로 제안된 CGB 설계에서는 기존의 CMOS 로직이 2MUX 정도의 지연시간이 감소되어 우수하다.

제안된 고속 CGB는 각 bit의 Propagation 신호와 Generation신호를 전달받아 각 CSA모듈의 Carry발생 여부를 결정하게 된다. 4개의 CLA1과 MDL로 구성된 CLA2의 회로를 그림 13에 나타냈다. CGB의 총 전달 지연시간은 CLA1 3단과 MDL 2단을 거친 것과 같아, 8개의 MUX가 직렬로 연결된 지연시간과 같다.

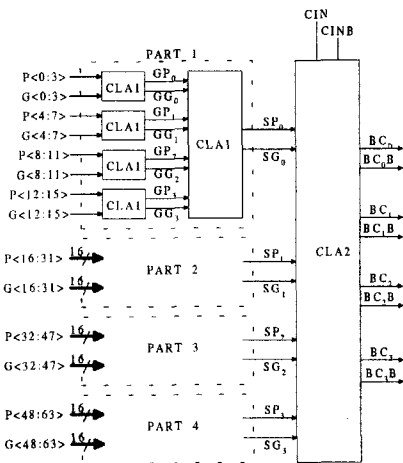


그림 12. 제안된 고속 Carry Generation Block(CGB)
Fig. 12. Block Diagram of the Proposed High Speed CARRY Generation Block.

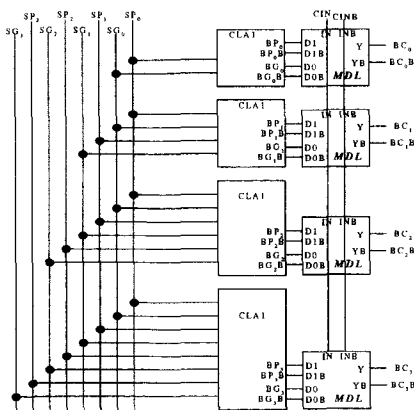


그림 13. CLA2의 회로도
Fig. 13. Block Diagram of the CLA2.

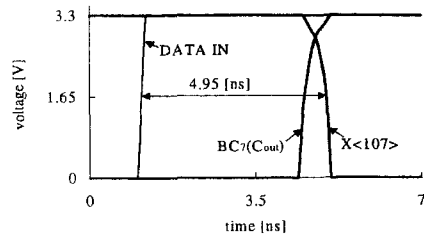
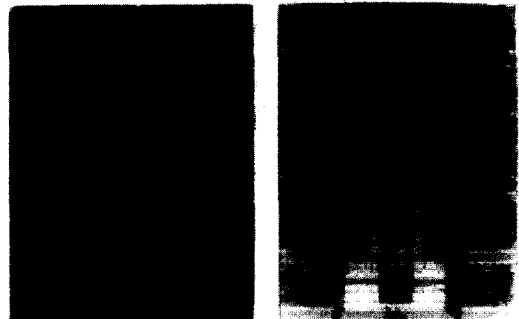


그림 14. 108-bit Modified CSA의 Simulation
Fig. 14. Simulation of the Proposed 108-bit Adder.

그림 14에 보여진 108-bit 가산기의 SPICE 시뮬레이션 결과를 보면, Carry신호 발생 지연시간이 마지막 bit(107)의 SUM신호 발생 지연시간보다 짧음을 알 수 있다. X<107>은 마지막 bit인 107번째 bit의 SUM 발생 신호를 의미하며 발생 지연시간은 약4.95ns이다. BC7은 마지막 CSA모듈에 전달되는 Carry 발생 신호다.

IV. 실험결과

제안된 54×54-bit 곱셈기의 성능을 검증하기 위하여 0.65μm 3.3V CMOS (Single-poly, Triple-metal)공정



(a) Conventional One (b) Proposed One

그림 15. 기본 Cell로 구성된 곱셈기 Chip 사진
Fig. 15. Chip Microphotograph of a basic cell for the Proposed Multiplier.



그림 16. 제안된 곱셈기의 측정된 파형
Fig. 16. Measured Waveforms of the Multiplier.

을 이용하였고, Booth's Encoder와 4-2압축기, 108-bit 가산기로 구성된 기존 54×54-bit 곱셈기와 제안된 곱셈기의 칩 사진을 각각 그림 15에 나타냈다. 제안된 곱셈기의 측정결과, 전체 곱셈연산에 약 13.5ns가 소요됐으며 그림 16에 측정사진을 나타냈다.

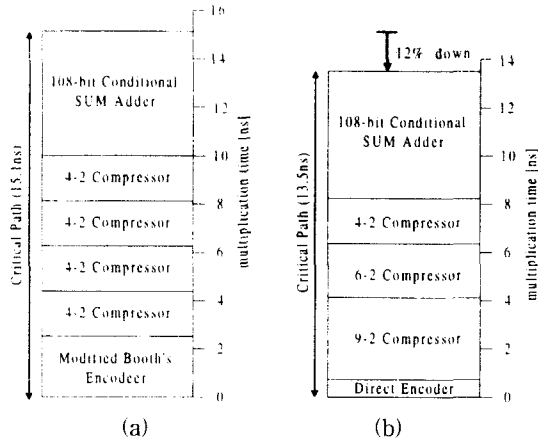


그림 17. 기존 곱셈기와 제안된 곱셈기의 비교
(a) 기존 곱셈기 (b) 제안된 곱셈기

Fig. 17. Comparison of the Proposed Multiplier with the Conventional One.
(a) Conventional One (b) Proposed One

V. 결 론

그림 17에서 비교한 것과 같이 기존 곱셈기에 비해 지연시간을 12%, 전력소모를 5%감소시킨 제안된 54×54-bit 곱셈기는 MUX하나의 지연시간을 갖는 Direct Encoder와 높은 압축 율의 데이터 압축기, 제안된 고속 Carry 발생 블록을 분리시킨 108-bit CSA를 사용하였다. 측정결과를 표 2에 정리했으며 0.65μm CMOS공정에서 VDD = 3.3V에 74MHz(13.5ns)로 동작하는 측정결과를 얻어내었다.

표 2. 제안된 54×54-bit 곱셈기의 결과
Table 2. Result of the Proposed 54 ×54-Bit Multiplier.

Process	0.65μm CMOS(Single-poly, Triple-metal)
Chip Size(estimated)	6.60×6.69[mm ²] (12×9matrix)
Power Supply	3.3 [V]
Input	54×54 [bit]
Output	108 [bit]
Multiplication Time	13.5 [ns]
Power Consumption(at 50MHz)	380 [mW]

참 고 문 헌

[1] N.Ohkubo, et.al., "A 4.4ns CMOS 54x54-bit Multiplier Using Pass-Transistor Multiplexer", IEEE J.of Solid-State Circuits, Vol.30, no.3, pp.251-257, Mar., 1995.

[2] M.Song, et.al., "Power Optimization for Data Compressors of a Parallel Structured 54x54bit Multiplier", in Proc. IEEE ECCTD'95, pp. 427-430, Sep.,1995.

[3] I.S.Abu-Khater, et.al., "Circuit Technique for CMOS Low-Power High-Performance Multipliers", IEEE J.of Solid-State Circuits, Vol.31, no.10, pp.1535-1546, Oct.,1996.

[4] T.Sakurai, et.al., "Low-Power Circuit Design for Multimedia VLSI", in Proc. IEEE ICVC'95, pp.37-42,Oct.,1995.

[5] K.Yano, et.al., "Top-Down Pass-Transistor Logic Design", IEEE J.of Solid-State Circuits, Vol.31, no.6, pp.792-803,Jun.,1996.

[6] K.Yano, et.al., "A 3.8-ns CMOS 16x16-bit Multiplier Using Complementary Pass-transistor Logic", IEEE J.of Solid-State Circuits, Vol.25, no.2, pp.388-395, Apr.,1990.

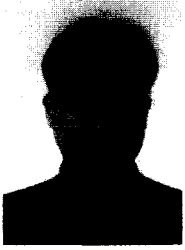
[7] K.Yano, et.al., "Lean Integration : Achieving a Quantum Leap in Performance and Cost of Logic LSI's", in Proc. IEEE CICC'94, pp. 603-606, May, 1994.

[8] L.G.Heller, et.al., "Cascode Voltage Switch Logic ; A Differential CMOS Logic Family", in ISSCC Dig. Tech. Papers, pp.16-17, Feb., 1984.

[9] A.Parameswar, et.al., "A Swing Restored Pass-transistor Logic-Based Multiply and Accumulate Circuit for Multimedia Applications", IEEE J. of Solid-State Circuits, Vol.31, no.6, pp.804-809, Jun., 1996.

[10] M.Song, et.al., "Design Methodology for High Speed and Low Power Digital Circuits with Energy Economized Pass-transistor Logic (EEPL)", in Proc. IEEE ESSCIRC '96, pp.120-123, Sep., 1996.

저 자 소 개



李榮喆(正會員)

1998년 동국대학교 반도체과학과 학사. 1998년~현재 동국대학교 반도체과학과 석사과정 재학중, 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템설계



宋敏圭(終身會員)

서울대학교 전자공학과 학사(1986년), 석사(1988년), 박사(1993년). 1993년~94년 일본 동경 대학교 전자공학과 초빙연구원, 1995년~96년 삼성전자 ASIC 설계팀 선임연구원, 1997년~현재 동국대학교 반도체과학과 조교수, 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템설계