

論文2000-37SD-12-8

동적 전원 공급 전류를 이용한 효율적인 SRAM 테스트 기법 (An Efficient SRAM Testing using Dynamic Power Supply Current)

尹度鉉*, 金弘植**, 姜成昊**

(Doe Hyun Yoon, Hong Sik Kim, and Sungho Kang)

요 약

본 논문에서는 고집적 SRAM의 다양한 고장을 검출하기 위하여 동적 전원 공급 전류를 관찰하는 방법을 이용하였다. 다양한 고장을 가정하여 고장이 없는 경우와 고장이 발생한 경우 transition write시의 Iddt 펄스의 크기가 크게 다른 것을 이용하여 쓰기 동작만으로 구성된 메모리 테스트 알고리즘을 개발하였다. 새로운 알고리즘은 기존의 March B 알고리즘에 비해서 7/17의 짧은 길이를 가지고도 더 많은 잠재적인 고장을 검출할 수 있다.

Abstract

This paper presents a new SRAM testing method for various faults by monitoring dynamic power supply currents. The peak value of Iddt pulses when the transition write operation is performed, is prominently different from that of a fault free case. Using the observation, a new memory test algorithm is developed which consists of only write operations. The new test algorithm using dynamic power supply current testing, has length of $7n$, where n is the number of cells in SRAMs. Compared to the previous March B algorithm, the test length has been reduced by 7/17, and can detect additional hard-to-detect faults.

I. 서 론

SRAM의 경우에는 일반적인 로직에 비해서 다양한 고장 모델을 고려해야 한다. 따라서 SRAM의 테스트 시에 셀과 셀 사이의 결합 고장을 빠른 시간 안에 효율적으로 테스트할 수 있어야 한다^[1]. 또한 SRAM이 점점 더 고속화, 대형화되면서 기존의 테스트 방법으로는 쉽게 테스트 할 수 없었던 회로의 기능에 큰 영

향을 끼치지 않으면서 장기적으로는 회로의 안정성과 전력 소모 및 기타 파라미터에 나쁜 영향을 끼치는 결합들도 테스트 시에 고려해야 한다. 이러한 다양한 고장을 테스트하기 위해서 여러 가지 테스트 알고리즘^[2] 및 Iddq 테스트 기법^[3] 등이 도입되었지만, 모든 고장들을 효과적으로 테스트 할 수 없고 또 테스트에 소요되는 시간이 너무 오래 걸리는 문제점들이 있다.

본 논문에서는 효율적인 SRAM 테스트를 위해서 동적 전원 공급 전류를 이용한 테스트 방법^[4]을 이용하였다. SRAM 셀에 저장된 값이 변환될 때 발생하는 전류 펄스를 이용하여 셀의 상태와 셀의 스위칭 시의 상태를 효과적으로 관찰할 수 있다. 따라서 기존의 기능적 테스트 방법이나 Iddq 테스트에 비해서 SRAM 셀의 고장 상태를 더욱 효과적으로 관찰할 수 있다. 또한 대부분의 테스트를 읽기 동작이 아닌 쓰기 동작만으로 할 수 있기 때문에 전체적인 테스트 시간 또한 짧아지게 된다. 이러한 동적 전원 공급 전류를

* 正會員, LG電子

(LG Electronics Co.)

** 正會員, 延世大學校 電氣電子工學科

(Dept. of Electrical and Electronic Engineering, Yonsei University)

※ 본 연구는 삼성전자의 지원으로 이루어졌으며 이에 감사드립니다.

接受日字:1999年11月10日, 수정완료일:2000年11月16日

이용한 방법으로 SRAM 테스트하기 위해서 본 논문에서는 다양한 고장이 삽입된 SRAM 상에서 동적 전원 공급 전류의 크기를 관찰하고 고장이 없는 SRAM 과 비교하였다. 그리고 동적 전원 공급 전류의 크기를 가지고 고장이 없는 경우와 고장이 발생한 경우를 판별하는 방법을 연구하였고, 이러한 방법을 이용하여 다양한 SRAM 고장을 테스트할 수 있는 효율적인 테스트 알고리즘을 연구하였다.

II. SRAM 셀의 전류 특성

그림 1과 같은 fully CMOS 구조를 가지고 있는 SRAM 셀에는 정상 상태에서는 약간의 누설 전류를 제외하고는 거의 전류가 흐르지 않는다. 따라서 셀에 전류가 흐를 때는 셀에 저장된 값이 바뀌는 짧은 시간 동안만 전류가 흐르게 되고, 이 전류는 펄스 형태로 나타나는데, 이 펄스를 Iddt 펄스라고 한다.

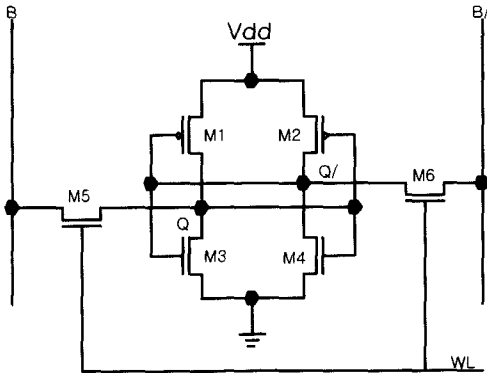


그림 1. CMOS SRAM 셀
Fig. 1. CMOS SRAM cell.

SRAM 셀에서의 상태 변화를 고려한다면 메모리의 쓰기 동작은, 'transition-write'와 'non-transition-write'의 두 가지로 구별할 수 있다^[1]. Transition-write는 메모리 셀에 저장된 값과 반대의 값을 쓰는 것으로, 메모리 셀에 저장된 정보가 변하게 되고 non-transition-write는 메모리 셀에 저장된 정보와 같은 값을 쓰는 것이다. 그림 2는 초기 값으로 '0'을 갖고 있는 CMOS SRAM cell에 순서대로 w1, w1, w0, w0을 수행한 시뮬레이션 결과이다. 네 번의 쓰기 동작 중 첫 번째와 세 번째는 transition-write가 되고 두 번째와 네 번째는 non-transition-write가 된다. 이 때 transition-write시에는 약 123uA정도의

Iddt 펄스가 나타나지만 non-transition-write시에는 Iddt 펄스가 나타나지 않고, 전류의 크기가 정상 상태의 낮은 값을 유지하는 것을 알 수 있다.

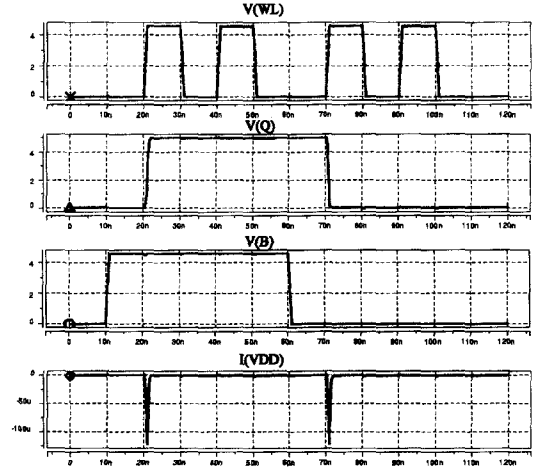


그림 2. SRAM 셀에 쓰기 동작을 수행한 결과
Fig. 2. Write operation on a SRAM cell.

III. 셀 내부의 고장

메모리 셀 내부에서 발생할 수 있는 고장이 셀 어레이의 동적 전원 공급 전류에 어떠한 영향을 끼치는지를 확인하기 위해서 그림 1의 SRAM셀에 다양한 고장을 삽입하고, transition-write와 non-transition-write시의 Iddt 펄스를 관찰하였다. 그림 2의 고장이 없는 SRAM 셀의 경우 transition-write시에 123uA의 크기를 갖는 Iddt 펄스를 발생시키는데, 고장이 발생한 대부분의 경우에 transition-write시의 Iddt 펄스의 크기가 고장이 없는 셀의 경우에 비해서 아주 크거나 아주 적은 Iddt 펄스로 나타난다.

1. 단락 고장

그림 1의 SRAM 셀 내부에는 모두 7개의 노드가 있는데, 이 7개의 노드에서 모두 21개의 단락 고장을 생각할 수 있다. 단락 고장은 각 노드 사이에 10Ω의 저항을 연결해서 만들었고, 각 고장이 유발된 셀에 그림 2에서 수행한 네 번의 쓰기 동작을 수행하였다. 표 1에 모든 21가지의 단락 고장에 대한 시뮬레이션 결과를 요약하였다.

표 1에서 동작 특성은 각 단락 고장이 발생하였을 경우 셀의 동작이 어떤 고장 모델로 나타나는지를 표

시한 것이다. 그러나 몇몇 고장은 기존의 고장 모델로 표현되지 못하고 동작 자체는 정상적으로 동작하는 것처럼 나타났다. 동작 특성이 '결합 고장'이라고 표시된 단락 고장은 이 단락 고장으로 인해서 해당 셀이 비트 선과 연결된 다른 셀들과 결합 고장을 발생한다는 것을 나타낸 것이다. Iddq라고 표시된 열은 해당 단락 고장에 의해서 정상 상태 전원 공급 전류(Iddq)가 증가되었는지를 나타낸 것이다. 즉 Y라고 표시된 고장은 Iddq 테스트로 검출할 수 있는 고장이다.

표 1. SRAM 셀의 단락 고장에 대한 고장 시물레이션 결과

Table 1. Fault simulation results for SRAM cell short fault.

노드1	노드2	동작 특성	Iddt 펄스의 크기(A)				Iddq
			transition write		non-transition write		
			w0	w1	w0	w1	
VDD	Q	1 고착 고장			200u	0	
	Q/	0 고착 고장			0	200u	
	B	↓ 전이 고장			200m	0	Y
	B/	↑ 전이 고장			0	200m	Y
	WL	결합 고장			0	0	Y
	GND	정상 동작			400m	400m	Y
Q	Q/	셀이 0과 1의 중간 상태	120u	120u	120u	120u	Y
	B	결합 고장			0	25u	Y
	B/	결합 고장			20u	180u	Y
	WL	0 고착 고장			40u	45u	
	GND	0 고착 고장			0	200u	
Q/	B	결합 고장			200u	0	Y
	B/	결합 고장			30u	0	Y
	WL	1 고착 고장			50u	50u	
	GND	1 고착 고장			200u	0	
B	B/	정상 동작			165u	165u	
	WL	↓ 전이 고장		120u	0	0	
	GND	0 고착 고장	120u		120u	170u	
B/	WL	↑ 전이 고장			-5u	0	
	GND	1 고착 고장		120u	175u	0	
WL	GND	↑+↓ 전이 고장			0	0	

표 1의 결과를 살펴보면 Q와 Q/간의 단락을 제외한 모든 단락 고장은 transition write시의 Iddt 펄스의 크기가 고장이 없는 경우인 123uA에 비해서 크게 변화한 것을 알 수 있다. 또한 Q와 Q/간의 단락은 non-transition write시에 Iddt 펄스를 발생시키고

이러한 종류의 치명적인 단락은 아주 쉽게 검출될 수 있다는 점을 고려한다면 transition write시의 Iddt 펄스의 크기를 측정하는 것만으로 거의 대부분의 셀 내부의 단락 고장을 검출할 수 있다는 것을 알 수 있다. 또한 VDD-GND, B-B/의 단락과 같이 회로의 기능적 동작에 크게 영향을 끼치지 않는 단락 고장과 VDD-Q, VDD-Q/, Q-WL, Q-GND, Q/-WL, Q/-GND, B-B/, B-WL, B-GND, B/-WL, B/-GND, 그리고 WL-GND 단락 고장처럼 Iddq 테스트로는 검출할 수 없는 고장도 이 방법을 이용하여 검출할 수 있다.

2. 개방 고장

셀 내부의 개방 고장은 특정한 노드를 끊고 그 사이에 100MΩ 정도의 큰 저항을 삽입함으로써 모델링할 수 있다. 일반적으로 개방 고장을 검출하는 것은 단락 고장을 검출하는 것보다 더 어려운데, 그 이유는 개방 고장이 회로의 기능에 직접적으로 영향을 끼치기 보다는 동적 고장의 형태로 나타나거나 회로의 특성을 저하시키기 때문이다. 또한 개방 고장은 정상상태에서 셀에 흐르는 전원 공급 전류(Iddq)의 크기를 증가시키기 보다는 감소시키기 때문에 Iddq 테스트으로도 개방 고장을 검출하는 상당히 어렵다.

셀 내부의 개방 고장은 셀의 pull-up 트랜지스터 측의 개방 고장인 데이터 보존 고장, 셀의 pull-down 트랜지스터 측의 개방 고장인 destructive read out 고장, 그리고 그 이외에 패스 트랜지스터나 셀 내부의 피드백 루프 상의 개방 고장으로 나누어서 생각할 수 있다.

(1) 데이터 보존 고장

SRAM 셀에서의 데이터 보존 고장은 주로 셀의 pull-up 트랜지스터의 결합이나 개방에 의해서 발생한다^[5]. 결합이 발생한 pull-up 트랜지스터 때문에 셀에 저장된 '1'의 정보가 저장되어야 할 노드의 전압이 VDD까지 끌어올려지지 못하기 때문에 해당 노드가 부동 노드(floating node)가 되고 substrate로의 누설 전류로 인해서 셀에 저장된 값이 뒤바뀌게 된다. 이러한 종류의 결합이 발생한 셀에서 셀의 값이 바뀔 때 발생하는 Iddt 펄스의 크기는 결합 혹은 개방 고장이 발생한 트랜지스터 쪽으로는 전류의 흐름이 제한되므로 정상적인 경우에 비해서 상대적으로 적은 크기의 Iddt 펄스가 발생한다. 표 2의 결과에서 알 수 있듯이

pull-up 트랜지스터에 개방 고장이 발생한 경우에 transition write시의 Iddt 펄스의 크기가 정상적인 경우(123uA)에 비해서 상대적으로 적게 나타나는 것을 알 수 있다. 이 경우 정상 상태의 전원 공급 전류의 크기가 증가 하기는 했지만 Iddq의 크기가 20uA 정도로 아주 작으므로 Iddq 테스트를 이용한다고 해도 검출하기가 쉽지가 않다.

표 2. 데이터 보존 고장에 대한 고장 시뮬레이션 결과

Table 2. Fault simulation results for data retention fault.

개방 고장 위치	Iddt 펄스의 크기(A)				Iddq
	transition write		non-transition write		
	w0	w1	w0	w1	
M1과 VDD사이의 개방	85u	68u	0	18u	Y
M1과 Q사이의 개방	65u	100u	0	18u	Y
M2와 VDD사이의 개방	58u	105u	18u	0	Y
M2와 Q사이의 개방	98u	68u	15u	0	Y

일반적인 March 테스트를 데이터 보존 고장을 검출을 위해서 확장시킨 경우^[2]에는 데이터 보존 고장의 검출을 위해서 모든 셀에 '1'이 저장된 상태와 '0'이 저장된 상태에서 100ms 동안 동작을 하지 않고 셀에 저장된 정보가 바뀌는지 기다리게 된다. 그러나 테스트 시에 100ms 동안 동작을 정지시키는 작업을 두 번 수행하므로 테스트 시간이 200ms 증가되게 된다. 또한 이러한 방법을 사용해도 100ms 이상의 시간이 걸려서 저장된 데이터가 뒤바뀌는 미약한 고장의 경우에는 검출할 수가 없게 된다. [5]에서 제시된 WWTM (Weak Write Test Mode)의 방법은 데이터 보존 고장을 테스트하는 아주 효율적인 방법이지만 테스트 시에 모든 셀에 쓰기, 읽기 동작을 일반적인 테스트 이외에 두 번 수행해야 한다.

반면에 이 동적 전원 공급 전류를 이용한 방법은 모든 셀에 '1'과 '0'을 한 번씩 쓰면서 Iddt 펄스를 관찰하는 것으로 데이터 보존 고장을 검출할 수 있다. 게다가 쓰기 동작은 일반적인 테스트 작업과 동시에 진행되므로 별도의 동작이 필요하지 않게 된다. 따라서 데이터 보존 고장 검출의 효율성과 테스트에 소요 되는 시간 모두 이 방법이 우수한 것을 알 수 있다.

(2) Destructive Read Out

SRAM 셀의 pull-down 트랜지스터에 결함 혹은 개방 고장이 발생한 경우는 시뮬레이션을 해보면 결함이 발생하더라도 회로의 기능적 동작에 크게 이상이 발생하지 않고, Iddq가 증가하거나 transition-write 시의 Iddt 펄스의 크기가 크게 변하지도 않는다. 그러나 일반적인 SRAM 구조는 비트라인에 precharge 회로가 있는데, pull-down 트랜지스터의 결함은 셀의 안정성을 떨어뜨려서 precharge 회로에 의해서 회로에 저장된 값이 변하게 된다. 즉 결함이 발생한 셀의 워드선이 선택되어 패스 트랜지스터가 온 될 때 비트라인에 precharge 된 전하에 의해서 셀에 저장된 정보가 바뀌게 된다.

그림 3과 같이 SRAM 셀이 precharge 회로와 감지 증폭기와 같이 연결된 경우 셀의 pull-down 트랜지스터에 결함이 발생한 경우 셀에 쓰기 동작은 이상이 없이 수행되지만 셀에 읽기 동작을 수행하거나, 다른 동작 없이 셀의 워드선을 선택하기만 할 경우 precharge 회로의 영향으로 셀에 저장된 정보가 바뀌게 된다. 이러한 고장을 destructive read out이라고 한다^[6].

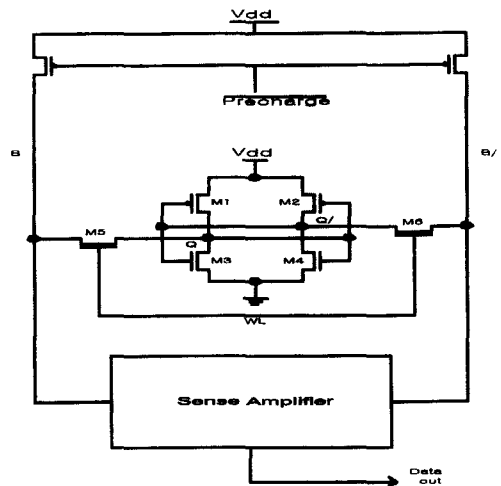


그림 3. precharge 회로, 감지 증폭기와 같이 연결된 SRAM 셀

Fig. 3. SRAM cell with precharge circuit and sense amplifier.

그림 4와 5의 시뮬레이션 결과를 비교하면 읽기 동작 시에 destructive read out 고장이 있는 셀과 정상적인 셀에 흐르는 전류가 어떻게 다른지를 알 수 있다. 고장이 없는 셀에서 읽기 동작을 수행하면 정상적

인 읽기 동작은 셀의 값을 변화시키지 않으므로 Iddt 펄스가 발생하지 않는다. 그러나 destructive read out 고장이 발생한 셀에 읽기 동작을 수행하면 읽기 동작을 위해서 패스 트랜지스터가 온 되면서 셀에 저장된 값이 바뀌게 되고 약 50uA 크기의 Iddt 펄스가 발생한다. 따라서 읽기 동작을 수행하면서 이러한 Iddt 펄스가 발생한다면 해당 셀이 destructive read out 고장이 있음을 알 수 있다. 회로의 구현에 따라서 이러한 고장이 감지 증폭기에 나타나지 않는 경우가 있다. 이런 경우 읽기 회로에서는 이전의 정상적인 값을 읽게 되고 셀의 값을 읽은 후에 셀에 저장된 값이 바뀌게 된다. 따라서 일반적인 March 테스트로는 이러한 고장을 검출할 수가 없게 되고, 각각의 읽기 동작을 두 번 연속으로 수행해야 이러한 종류의 고장을 검출할 수가 있다. 그러나 이 동적 전원 공급 전류를 이용한 테스트 방법을 이용하면 한 번의 읽기 동작만으로 destructive read out 고장을 검출할 수 있다.

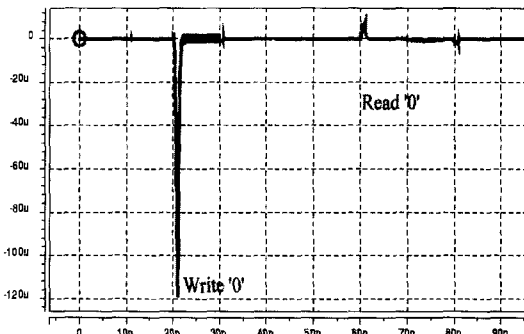


그림 4. 고장이 없는 셀의 읽기 동작 시의 전류 파형
Fig. 4. A read operation on a fault free cell.

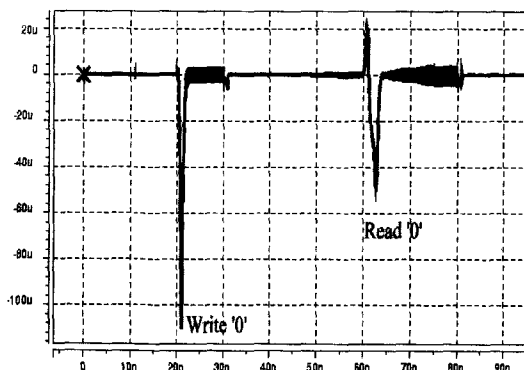


그림 5. destructive read out 고장이 발생한 셀에 읽기 동작 시의 전류 파형
Fig. 5. A read operation on a cell with a destructive read out fault.

(3) 나머지 개방 고장들

데이터 보존 고장이나 destructive read out 고장을 유발하는 개방 고장 이외에 셀 내부에 존재하는 개방 고장은 셀 내부의 두 인버터 사이의 연결이 끊어진 개방 고장이나 패스 트랜지스터의 개방 고장이 있다. 이러한 고장이 발생한 경우의 고장 시뮬레이션 결과를 표 3에 정리하였다. 이러한 종류의 고장이 발생한 경우에도 transition write시의 Iddt 펄스가 정상적인 경우에 비해서 아주 크거나 아주 작게 나타나므로 쓰기 동작을 수행하면서 Iddt 펄스를 관찰한다면 모두 검출할 수 있다. 게다가 이러한 고장은 회로의 Iddq를 증가시키지 않으므로 Iddq 테스트로도 검출할 수가 없다.

표 3. 나머지 개방고장에 대한 고장 시뮬레이션 결과

Table 3. Fault simulation results for remaining open fault.

개방 고장 위치	Iddt 펄스의 크기(A)				Iddq
	transition write		non-transition write		
	w0	w1	w0	w1	
M5와 B사이의 개방	155u	0	0	0	N
M5와 Q사이의 개방	159u	0	0	0	N
M6과 B사이의 개방	0	160u	0	0	N
M6과 Q사이의 개방	0	160u	0	0	N
Q노드의 개방	0	185u	0	185u	N
Q/노드의 개방	175u	0	175u	0	N

2. 기능 고장에 따른 전류 펄스 분류

본 절에서는 앞에서 제시한 달락 및 개방 고장들의 일반적으로 널리 사용되는 고장 분류법인 기능 고장 모델에 따라 분류한다. 표 4는 기능고장별 전류 분포를 설명하는 표이다.

각 고장모델들은 그것의 원인에 따라 다양한 전류 분포를 보이는 것을 알 수 있다. 이러한 전류분포는 transition write와 non-transition write에 따라 그 검출 특성을 분류할 수 있다. 기본적인 Iddt 테스트의 개념은 transition write 시에는 전류 펄스를 발생시키고 non-transition write 또는 read 시에는 전류 펄스를 발생하지 않는다. 따라서 이와 같은 개념에 따라 표 4의 시뮬레이션 결과를 분석하면 모든 고장모델들은 transition write 시에 작은 전류 펄스 또는 0 펄스를 발생하거나 non-transition write 시에 전류 펄스를 발생하는 것을 알 수 있다. 이와 같은 전류 레벨

은 그 차이가 확실히 드러나기 때문에 충분히 감지 가능하다.

표 4. 기능고장에 따른 전류 펄스 분포
Table 4. Current Pulse Distribution According to Functional Fault Models.

고장 모델	transition write		non-transition write	
	w0	w1	w0	w1
SA1	200uA 50uA 175uA	0 50uA 120uA	200uA 50uA 175uA	0 50uA 0
SA0	0uA 40uA 120uA	200uA 50uA 170uA	0uA 40uA 120uA	200uA 45uA 170uA
↑TF	0uA -5uA	200uA 0uA	0uA -5uA	200uA 0uA
↓TF	200mA 0A	0 120uA	200mA 0	0 0
DRF	85uA 58uA 65uA	68uA 105uA 100	0 18uA	18uA 0

IV. 셀과 셀간의 결합 고장

일반적인 bit-oriented 메모리의 경우는 읽기 동작이든 쓰기 동작이든 간에 항상 하나의 셀만을 액세스한다. 따라서 읽기 동작이나 non-transition write 시에는 Iddt 펄스가 발생하지 않고, transition write 시에만 쓰기 동작을 수행한 셀에서만 값이 바뀌고 나머지 모든 셀에 저장된 정보는 값이 바뀌지 않게 된다. 따라서 메모리의 크기에 상관없이 모든 transition write 시에 발생하는 Iddt 펄스의 크기는 일정하게 된다.

그러나 메모리에 결합 고장이 발생한 경우, 결합 고장의 종류에 상관없이, 결합원셀에 쓰기 동작을 수행할 때 피결합셀이 결합원셀에 의해서 값이 같이 바뀌게 되므로 동시에 두 셀의 값이 바뀌게 된다. 그림 6은 두 개의 셀을 가정하여 두 셀에 동시에 transition write 동작을 수행한 경우와 하나의 셀에만 transition write 동작을 수행한 경우에 Iddt 펄스의 크기가 어떻게 다른지를 나타낸 결과이다. 이 결과로부터 단지 하나의 셀에서만 값이 바뀐 경우에 비해서 두 셀의 값이 동시에 바뀌면 발생하는 Iddt 펄스의 크기가 약 두 배로 되는 것을 알 수 있다.

이 방법을 이용하여 결합 고장을 검출할 경우 일반적인 March 테스트에 비해서 다음과 같은 이점이 있다. 첫 번째는 테스트가 쓰기 동작만으로 이루어질

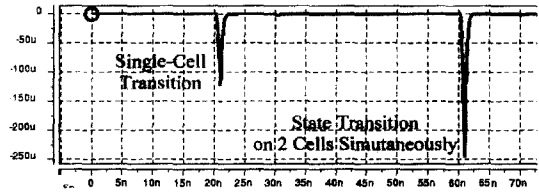


그림 6. 하나의 셀에 쓸 때와 두 셀에 동시에 쓸 때
Fig. 6. Write operations on 2 cells simultaneously.

수 있고, 피결합셀에 대한 별도의 읽기 동작이 필요 없기 때문에 테스트 길이가 훨씬 줄어들게 된다. 메모리 테스트 알고리즘의 길이가 늘어나는 것은 주로 결합 고장의 검출을 위하여 반복적인 읽기 동작을 수행하는 것 때문인 것을 감안한다면 이러한 방법에 의하여 테스트 알고리즘의 길이를 크게 줄일 수 있고, 또한 실제 테스트 시에 소요되는 시간을 크게 줄일 수 있다. 두 번째는 결합 고장의 검출 시에 결합원셀에 쓰기 동작을 수행하는 순간 고장을 검출할 수 있기 때문에 결합 고장이 다른 결합 고장이나 천이 고장들과 연관되어 있는 경우에도 쉽게 검출할 수 있다. 근본적으로 이러한 방식의 테스트는 결합 고장이 다른 고장과 연관되는 것을 생각할 필요 없이 모든 결합 고장을 바로 검출할 수가 있다. 따라서 동적 전류를 이용한 결합 고장 테스트는 일반적인 March 테스트에서 연관된 결합 고장을 검출하는 것과 같은 고장 검출을 얻을 수 있다. 또한 March 테스트에서는 절대로 검출할 수 없는 짝수개의 반전 결합 고장이 서로 연관되어 있는 경우에도 검출이 가능하다.

V. 동적 전원 공급 전류를 이용한 테스트 알고리즘

3과 4절의 결과를 종합해 보면 SRAM 셀에 transition write로 w0과 w1 쓰기 동작을 수행하면서 Iddt 펄스의 크기를 측정함으로써 셀 내부의 개방 및 단락 고장, 그리고 데이터 보존 고장을 검출할 수 있고, 각 셀에 읽기 동작을 수행함으로써 destructive read out 고장을 검출할 수 있다. 또한 결합 고장은 적절한 상태에서 결합원셀에 transition write를 함으로써 검출할 수 있었다.

SRAM 셀에 어떠한 원인으로든 고착 고장이 발생하였을 경우에 셀이 고착된 반대의 값을 셀에 쓴다면 정상적인 셀은 셀에 저장된 값이 바뀌면서 Iddt 펄스

가 나타날 것이다. 그러나 셀의 고착 고장 때문에 셀에 저장된 값이 바뀔 수 없게 되고, Iddt 펄스도 나타나지 않게 된다. 따라서 SRAM 셀에 w0과 w1을 함으로써 모든 고착 고장을 검출할 수 있다. 천이 고장도 마찬가지로 각 SRAM 셀에 상승 천이와 하강 천이를 시킴으로써 검출할 수 있다. 각 천이를 일으키는 쓰기 동작 시에 천이 고장이 발생한 셀은 값이 바뀔 수가 없어서 Iddt 펄스를 발생하지 않기 때문이다.

일반적으로 동적 전원 공급 전류를 이용한 테스트 알고리즘들은 기존의 March 테스트 알고리즘에서 읽기 동작을 제거함으로써 쉽게 만들 수 있다. March 테스트 알고리즘 중에서 고착 고장, 천이 고장, 어드레스 디코더 고장, 그리고 동행 결합 고장을 검출할 수 있는 알고리즘인 March C-알고리즘^[2]에서 읽기 동작을 제거함으로써 그림 7과 같은 수정된 알고리즘을 얻을 수 있다.

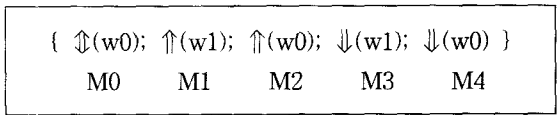


그림 7. 수정된 March C-알고리즘
Fig. 7. Modified March C-Algorithm.

이 수정된 알고리즘들은 앞서 설명한 바와 같이 모든 SRAM 셀에 w0과 w1의 transition write를 수행하고 각 셀에 상승 천이와 하강 천이를 일으키므로 고착 고장과 천이 고장을 검출할 수 있다. 또한 쓰기 동작 중에 동적 전원 공급 전류를 관찰하므로 March C-와 마찬가지로 동행 결합 고장을 검출할 수 있다. 그러나 읽기 동작이 전혀 포함되지 않았으므로 destructive read out 고장을 검출할 수 없고, SRAM의 읽기 회로에 대한 테스트가 될 수 없다. 따라서 M1과 M4 단계에 읽기 동작을 추가하여 그림 8과 같은 결합 고장에 대한 새로운 테스트 알고리즘을 얻을 수 있다.

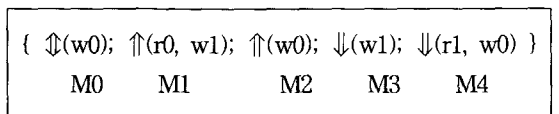


그림 8. 동적 전원 공급 전류를 이용한 새로운 테스트 알고리즘
Fig. 8. A new test algorithm using dynamic power supply current.

이 알고리즘들은 M1과 M4 단계가 어드레스 디코더 고장을 검출하기 위한 조건^[1]을 충족시키므로 어드레스 디코더 고장 또한 검출할 수 있다. 또한 검출하는 모든 결합 고장은 4절에서 설명한 것처럼 다른 고장과 연관된 경우에도 검출할 수가 있다. 정리하면 그림 8의 테스트 알고리즘들은 7n의 길이를 갖고 고착 고장, 결합 고장과 연관된 천이 고장, 셀 내부의 단락 및 개방 고장, 데이터 보존 고장, 어드레스 디코더 고장, destructive read out 고장, 연관된 반전 결합 고장, 그리고 연관된 동행 결합 고장을 검출할 수 있다.

그림 8의 알고리즘들은 일반적인 고장과 연관된 결합 고장까지 검출할 수 있으므로, 기존의 March 테스트 중에서 March B 알고리즘^[2]과 비교할 수 있다. 17n의 길이를 갖는 March B 알고리즘도 고착 고장, 결합 고장과 연관된 천이 고장, 연관된 반전 결합 고장, 연관된 동행 결합 고장을 검출할 수 있다. 그러나 그림 8에 제시된 알고리즘이 검출할 수 있는 몇몇 단락 및 개방 고장들, 데이터 보존 고장, 그리고 destructive read out 고장을 검출할 수가 없다. 또한 March 알고리즘의 특성상 짝수개의 셀이 연관된 반전 결합 고장 또한 검출할 수가 없다. 따라서 동적 전원 공급 전류와 그림 8의 알고리즘을 이용하여 SRAM을 테스트함으로써 기존의 March B 알고리즘보다 테스트에 소요되는 시간은 7/17로 줄일 수 있고, 더 많은 고장을 검출할 수 있었다. 또한 이 알고리즘들은 Iddq 테스트링으로도 검출하기 어려운 몇몇 단락 및 개방 고장도 검출이 가능하다. 만약 March B 알고리즘을 확장하여 M2와 M3 단계가 끝난 후에 100ms 정도의 대기 시간을 삽입한다면 테스트에 소요되는 시간은 본 논문에서 제안하는 알고리즘을 이용해서 훨씬 더 크게 줄일 수 있다.

표 5는 본 논문에서 제시한 동적 전원 공급 전류에 의한 테스트 방법과 기존의 March B 알고리즘을 사용한 경우와의 메모리 테스트에 소요되는 시간을 나타낸 것이다. 70ns로 동작하는 다양한 크기의 메모리를 테스트할 때 March B 알고리즘, 확장된 March B 알고리즘, 그리고 본 논문에서 제안되고 사용한 알고리즘을 사용할 경우에 걸리는 시간을 비교하였다. 확장된 March B 알고리즘은 데이터 보존 고장의 검출을 위해서 테스트 도중 100ms 동안 동작을 두 번 멈추는 단계를 추가한 알고리즘이다. March B 알고리즘에 비해서 새롭게 제안된 알고리즘이 훨씬 더 많은

검출하기 어려운 고장들을 검출한다는 점을 고려한다면, 본 논문에서 제안한 동적 전원 공급 전류를 이용한 SRAM 테스트 알고리즘이 기존의 알고리즘에 비해서 훨씬 더 효율적임을 알 수 있다.

표 5. 테스트 시간 비교
Table 5. Test time comparison.

메모리 크기	256K	512K	1M	2M
동작 속도	70ns	70ns	70ns	70ns
March B	0.312s	0.624s	1.248s	2.496s
확장된 March B	0.512s	0.824s	1.448s	2.696s
제안된 알고리즘	0.128s	0.256s	0.512s	1.024s

VI. 전류 감지기 설계 및 시뮬레이션

Dynamic power supply current를 이용한 테스트를 하기 위해서는 내장된 전류 감지 회로가 필수적이다. 이 전류 감지 회로는 transition-write시에 발생하는 전류 펄스의 최대 값을 감지할 수 있어야 한다. [4]와 [7]에 내장된 전류 감지기가 제시되어 있기는 하지만 [4]의 경우는 단지 전류 펄스의 유무만을 감지할 수 있고 [7]에 제시된 회로는 Op-amp를 사용하기 때문에 회로의 크기가 상당히 커지게 된다.

본 논문에서 사용된 전류 감지기는 메모리에 내장된 전류 감지기로 사용할 수 있도록 작은 회로 크기를 가지고 발생하는 전류 펄스의 크기를 판별할 수 있도록 설계하였다. 그림 9는 전류 감지기를 나타낸다. 이 회로는 셀 어레이에 흐르는 전류를 전류 미러를 사용하여 기준 전류 (I_{ref})와 직접 비교하게 된다. 만약 셀 어레이에 흐르는 전류가 기준 전류보다 커지게 되면 V_o 의 전압이 0V로 내려가게 된다. 따라서 이 회로의 출력단에 메모리 액세스 신호와 연동할 수 있는 적당한 래치에 의해 어레이에 흐르는 전류가 기준 전류보다 커진 경우를 감지할 수 있다. 메모리 액세스 신호 (WL)에 맞추어서 셀 어레이에 흐르는 전류가 기준 전류보다 큰지 작은지를 출력 단자에 나타낸다.

그림 10에 이 전류 감지기 회로에 대한 시뮬레이션 결과를 나타내었다. 그림 10에서 볼 수 있듯이 기준 전류보다 큰 전류 펄스가 발생하면 출력 단자의 값이 WL이 0 될 때까지 0의 값을 유지하는 것을 알 수

있다. 실제 회로로 구현하였을 때는 트랜지스터의 반응 속도 때문에 기준 전류 보다 약간 큰 전류 펄스는 출력 단자를 0으로 만들지 못하는 것을 볼 수 있다. 첫 번째 전류 펄스의 경우 기준 전류 80uA 보다 큰 120uA 크기의 펄스이므로 출력이 0이 되었고 두 번째 펄스의 경우 100uA 크기의 펄스로 기준 전류 보다 약간 클 뿐이므로 출력을 0으로 만들지 못했다. 세 번째 펄스의 경우 기준 전류 보다 훨씬 큰 140uA 크기의 펄스이므로 출력을 0으로 만들 수 있다. 따라서 I_{ref} 를 80uA로 설정하는 것이 크기가 100uA보다 큰 경우를 감지하는 회로가 된다. 시뮬레이션에 사용된 전류 펄스는 실제 메모리 쓰기 동작에서 발생하는 전류 펄스와 같이 폭 1ns의 전류 펄스를 사용하였다.

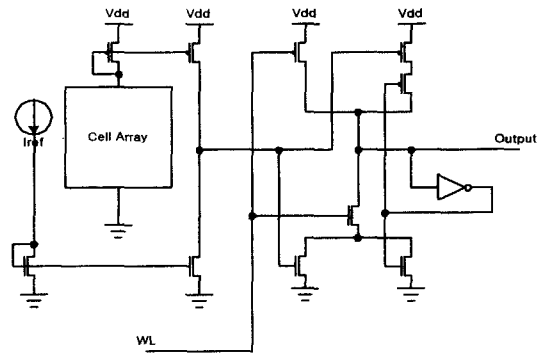


그림 9. 전류 감지기
Fig. 9. Current sensor.

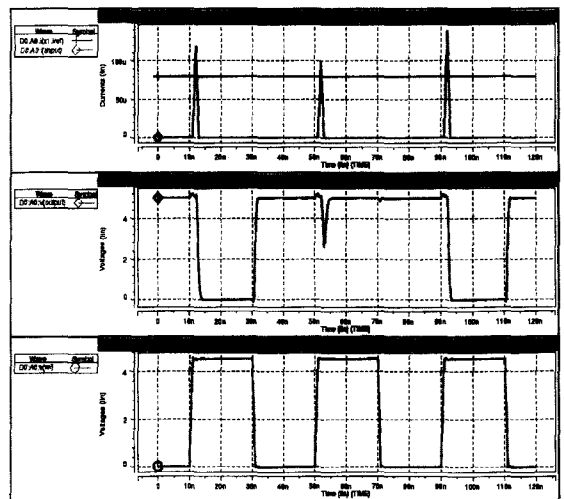


그림 10. 전류 감지기 시뮬레이션 결과
Fig. 10. Simulation results of the proposed current sensor.

이 전류 감지기 발생한 전류 펄스의 크기가 기준 전류보다 커진 순간부터 출력이 5V에서 1V로 떨어질 때까지 걸리는 시간은 1.37nS이다. 따라서 전류 펄스를 감지하는 속도는 1.37nS가 된다. 이 전류 감지기에 사용되는 기준 전류는 간단한 전류 소스를 사용하여 구현할 수 있다. 또한 이 경우 전류 소스 설계시 가장 문제가 되는 전압 변동이 없고 정 전류원으로만 사용되므로 아주 쉽게 구현 될 수 있다.

실제 동적 전원 공급 전류를 사용한 테스트를 구현하려면, 발생한 전류 펄스가 140uA 보다 큰지를 나타내는 회로, 80uA 보다 큰지를 나타내는 회로, 그리고 destructive read out을 검출하기 위해서 40uA 보다 큰지를 나타내는 세 가지 회로가 필요하다. 따라서 그림 11과 같이 세 가지 전류 감지기가 필요하다.

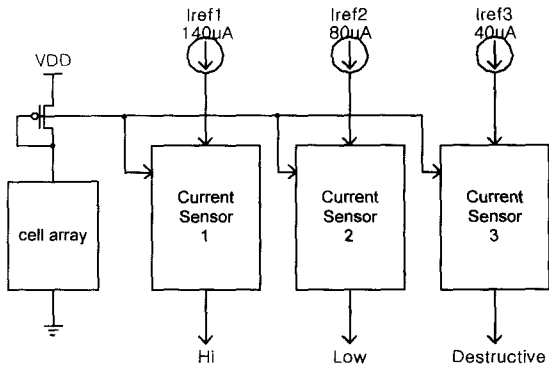


그림 11 전류 펄스의 크기 측정 회로
Fig. 11. Current detecting circuit for current pulse.

그림 11의 회로에서 transition write시에 Hi가 '1', Low가 '0'이 되면 발생한 전류 펄스의 크기가 80uA와 140uA 사이의 크기를 가진다는 것을 알 수 있다. 따라서 이 경우 쓰기 동작을 수행한 셀은 고장이 없다고 판단할 수 있다. 그러나 만약 Hi와 Low 둘 다 '1'이 되면 전류 펄스의 크기가 기준보다 작은 것을 알 수 있어서 해당 셀에 고장이 있음을 알 수 있고, Hi와 Low 둘 다 '0'이면 전류 펄스의 크기가 140uA 보다 더 큰 것으로 나타남으로 이 경우 역시 해당 셀에 고장이 있음을 알 수 있다. 그리고 읽기 동작 시에 'Destructive' 신호가 '0'이 되면 전류 펄스가 발생한 것이므로 해당 셀에 destructive read out 이 발생한 것을 알 수 있다.

이 전류 감지 회로의 동작을 표 6에 요약하였다.

표 6. 전류 감지 회로의 동작

Table 6. Operation of Current Detecting Circuit.

동작	Hi	Low	Destructive	
쓰기	0	0	x	고장
	0	1	x	발생할 수 없는 경우
	1	0	x	정상
	1	1	x	고장
읽기	x	x	0	정상
	x	x	1	고장

VII. 결론

본 논문에서는 고집적 SRAM의 테스트를 위해서 동적 전원 공급 전류를 이용한 테스트 방법과 테스트 알고리즘을 연구하였다. SRAM의 집적도가 급격히 증가하면서 SRAM 테스트 시의 소요 시간을 줄이는 새로운 알고리즘이 요구되고 있고, 더욱 안정된 테스트를 위해서 회로의 기능에 영향을 끼치지 않는 결합들을 테스트 할 수 있어야 한다.

따라서 본 논문에서는 정상적인 SRAM의 전원 공급 전류의 특성을 연구하고, 셀의 상태가 변할 때와 셀에 저장된 값이 변하지 않고 유지 될 때의 전원 공급 전류 특성을 연구하였다. 셀의 값이 바뀔 때만 발생하는 Iddt 펄스를 이용하여 셀에 단락 및 개방 고장이 발생하였을 때 발생하는 Iddt 펄스를 관찰하여 고장이 없는 경우와 비교하여 Iddt 펄스의 크기가 크게 다른 것을 확인하였다. 또한 셀과 셀간의 결합 고장의 경우에도 발생하는 Iddt 펄스의 크기가 고장이 없는 경우에 비해서 현저하게 다른 것을 확인하였고, 이를 바탕으로 단락 및 개방 고장, 고착 고장, 결합 고장과 연관된 천이 고장, 연관된 결합 고장, 데이터 보존 고장, 그리고 destructive read out 고장을 검출할 수 있는 테스트 알고리즘을 개발하였다. 이 알고리즘은 비슷한 고장 검출율을 가지는 기존의 March 알고리즘에 비해서 현저하게 길이가 줄어들었고, 또한 실험에서 확인한 바와 같이 기능적 고장 이외에도 회로의 기능에 영향을 끼치지 않는 잠재적인 결합들, Iddq 테스트링으로도 검출할 수 없는 고장들, 그리고 동적 고장들까지도 검출할 수 있다. 또한 기존의 March B 알고리즘과 비교하여 더 많은 고장을 검출할 수 있으면

서도 테스트 알고리즘의 복잡도는 $17n$ 에서 $7n$ 으로 크게 줄어들었다.

참 고 문 헌

- [1] A. J. Goor, *Testing Semiconductor Memories: Theory and Practice*, John Wiley & Sons, Singapore, 1996.
- [2] A. J. Goor, "Using March Tests to Test SRAMs," *IEEE Design & Test of Computers*, pp. 8-14, March 1993.
- [3] J. M. Soden, C. F. Hawkins, R. K. Gulati, and W. Mao, "Iddq Testing: A Review," *Journal of Electrical Testing: Theory and Applications*, pp. 291-203, 1992.
- [4] S. Su, and R. Z. Makki, "Testing of Static Random Access Memories by Monitoring Dynamic Power Supply Current," *Journal of Electronic Testing: Theory and Applications*, pp. 265-278, 1992.
- [5] A. Meixner, J. Banik, "Weak Write Test Mode: An SRAM Cell Stability Design for Test Technique," *Proc. of International Test Conference*, pp. 309-318, 1996.
- [6] V. H. Champac, J. Castillejos, and J. Figueras, "Iddq Testing of Opens in CMOS SRAMs," *Proc. of VLSI Test Symposium*, pp. 26-30, April 1998.
- [7] J. Liu, R. Z. Makki, A. Kayssi, "Dynamic Power Supply Testing of CMOS SRAMs", *Asian Test Symposium*, pp. 348-353, 1998.

저 자 소개

尹 度 鉉(正會員) 電子工學會 論文誌 第36卷 第12號
參照

金 弘 植(正會員) 電子工學會 論文誌 第36卷 第12號
參照

姜 成 昊(正會員) 電子工學會 論文誌 第36卷 第12號
參照