

論文2000-37SD-6-11

Fully Differential CMOS 연산 증폭기 설계

(The design of Fully Differential CMOS Operational Amplifier)

安寅秀*, 宋碩浩*, 崔太燮*, 林台洙**, 司工石鎭*

(In-Soo Ahn, Seok-Ho Song, Tae-Sup Choi, Tae-Soo Yim, and Sug-Chin Sakong)

요 약

Fully Differential 연산 증폭기 회로는 SCF(Switched Capacitor Filter), D/A 컨버터, A/D 컨버터, 통신 회로 등의 VLSI 설계시 외부 부하 구동에 필수적이다.

기존의 CMOS 연산 증폭기 회로는 CMOS 기술에 따른 여러 가지 단점을 갖는데 우선 큰 부하 용량에 대한 구동 능력이 양호하지 못하고, 집적도의 증가에 따른 전원 전압의 감소로 인해 입출력 전압의 동작 특성이 저하되어 전체 회로의 동특성 범위가 감소된다. 이러한 단점들을 개선하기 위하여 출력부의 출력 스윙을 늘릴 수 있는 차동 출력 구조를 사용한 회로가 Fully Differential 연산 증폭기 회로이며, 단일 출력 구조의 연산 증폭기 보다 스윙 폭이 향상된다.

Fully Differential 연산 증폭기의 구성에서 전류 미러가 그 성능을 결정하며, 따라서 큰 출력 스윙과 안정된 회로 동작을 위해서는 출력 저항이 크고 기준 전류와의 정합이 잘 되는 전류 미러의 설계가 중요하다.

본 논문에서는 큰 출력 저항과 기준 전류와의 정합 특성이 우수한 새로운 전류 미러를 제시하였다. 출력 스윙을 키우고 전력 소모를 줄이기 위해 새로운 전류 미러를 사용하여 2단 증폭 형태의 Fully Differential 연산 증폭기를 설계하였으며, 설계한 증폭기는 레이아웃으로 구현하여 시뮬레이션 프로그램(SPICE3f)을 통하여 성능을 검증하였다.

Abstract

It is necessary that fully differential operational amplifier circuit should drive an external load in the VLSI design such as SCF(Switched Capacitor Filter), D/A Converter, A/D Converter, Telecommunication Circuit and etc.

The conventional CMOS operational amplifier circuit has many problems according to CMOS technique. Firstly, Capacity of large loads are not able to operate well. The problem can be solve to use class AB stages. But large loads are operate a difficult, because an element of existing CMOS has a quadratic functional relation with input and output voltage versus output current. Secondly, Whole circuit of dynamic range decrease, because a range of input and output voltages go down according as increasing of intergration rate drop supply voltage. The problem can be improved by employing fully differential operational amplifier using differential output stage with wide output swing.

In this paper, we proposed new current mirror has large output impedance and good current matching with input and output current and compared with characteristics for operational amplifier using cascoded current mirror.

To obtain large output swing and low power consumption we suggest a fully differential operational amplifier. The circuit employs an output stage composed new current mirror and two amplifier stage. The proposed circuit is layout and circuit of capability is inspected through simulation program(SPICE3f).

* 正會員, 國民大學校 電子工學科

(Department of Electronics Engineering, Kookmin University)

** 正會員, 韓國通信研究開發本部

(Korea Telecom Research & Development Center)

接受日字:1999年8月25日, 수정완료일:2000年5月24日

I. 서 론

현대 반도체 회로의 발전으로 최근 CMOS 기술은 대규모 집적(VLSI) 회로의 주요 소자로서 그 중요성이 점차 증대되고 있다. 특히 CMOS의 집적도 증가는 메모리, 디지털 신호 처리, ASIC 분야 등에서 획기적인 발전을 이루었고, 반도체 회로는 컴퓨터 및 정보 통신 분야의 기본 소자로서 시스템의 성능을 결정한다.

현재 큰 복잡도를 갖는 신호 처리 분야에서 디지털 신호 처리를 이용하는 것이 대부분이나 신호의 입출력 부분은 대부분 아날로그 회로로 구성된다. 아날로그 회로의 설계는 회로에 들어가는 소자의 수가 디지털 회로에 비해 적으나 전체 시스템의 성능을 결정하므로 매우 중요하다. 또한 아날로그 회로와 디지털 회로가 혼합되어 설계되는 경우 설계의 비중은 아날로그 회로 부분이 크며, 아날로그 집적 회로 설계시 공정 변화에 의한 파라미터의 변화, 전원 전압 및 전류의 변화, 속도 증가 등의 여러 가지 제한 조건을 극복하기 위한 설계 기술이 필요하다^{[1]-[8]}

CMOS 기술은 BJT 기술에 비해 주파수 대역폭과 전압 이득이 낮고 잡음과 입력 오프셋 전압이 큰 단점이 있으나, 반면에 낮은 가격, 고밀도 집적, 낮은 전력 소비, 제조 공정의 단순성 등의 장점을 갖는다.^{[1]-[3]} CMOS 기술은 같은 칩 상에서 아날로그 시스템과 디지털 시스템을 집적시킬 수 있으므로 아날로그 회로에서 널리 사용된다.

1980년대까지 시스템의 특성을 결정하는 가장 중요한 요소들 중의 하나는 속도였고, 이에 적은 비용으로 속도를 증가시키려는 많은 기술들이 개발되었다. 그러나 최근 들어 노트북, 휴대폰과 같은 휴대용 응용 제품과 관련된 시장이 급격하게 성장하고, 높은 클럭 주파수로 동작하는 시스템의 경우, 고전력 소모로 인한 신뢰도와 패키징 비용이 증가하는 문제점이 있다. 따라서 저전력을 고려한 설계 기술은 집적 회로 설계의 모든 측면에서 점점 더 중요해지고 있으며 이와 관련하여 현재 여러 가지 저전력 회로 설계 기법들이 디지털 및 아날로그 영역에서 연구 개발되고 있다.^{[9]-[12]}

아날로그 집적 회로나 아날로그와 디지털 회로가 공존하는 대규모 혼성 모드(mixed mode) 집적 회로 시스템에서 전력을 가장 많이 소비하는 블록은 증폭기 회로이며, 저전력 시스템의 구현에서는 저전압에서 동작

하는 증폭기의 설계가 필수적이다. 기존의 저전압 CMOS 연산 증폭기 설계시에는 출력단에 요구되는 큰 출력 스윙 폭 및 높은 전압 이득을 얻기 위해 증폭기를 다단 구조로 사용하였으나 하나의 증폭단만을 사용하는 구조에 비해 상대적으로 큰 면적과 소비 전력을 필요로 한다. 하나의 단만으로 CMOS 연산 증폭기를 설계할 경우, 과도 응답시의 슬루를 제한 때문에 나쁜 대신포 특성을 갖는다. 이 경우 Class AB 구조를 사용한 조절하기 쉬운 의사 전류를 이용하여 필요시 전류를 증가시킬 수 있으나 큰 입력 신호가 인가되면 전류 레벨을 증가시키기 위해 부가적인 회로가 필요하다. 소오스 결합 nMOS와 pMOS 트랜지스터를 사용하여 위와 같은 단점을 개선시킬 수 있으나 소오스 결합 트랜지스터에 상대적으로 큰 전압 강하가 걸리므로 동상 모드 입력 범위의 제한과 낮은 공급 전압에서 잘 동작하지 않는 단점이 있다.^{[13][14]}

CMOS 회로에서 전원 전압이 작으면 전력 소모가 적어지는 장점이 있으나 저전압을 사용할 때 출력 전압의 스윙 폭이 전원 전압에 의해 제한되는 단점이 있고, 구동 능력 및 입출력 S/N비가 저하된다. 이는 출력 신호의 전압이 전원 전압에 의해 제한되므로 입력 신호가 상대적으로 작게 되기 때문이다. 특히 전원 전압이 MOS 트랜지스터의 문턱 전압보다 상대적으로 그리 크지 않은 경우에 이러한 문제가 심각하다.

위에서 열거한 단점들을 극복하기 위해 출력부의 출력 스윙을 늘리는 차동 구조를 사용한 회로가 Fully Differential 연산 증폭기 회로이며, 단일 출력 구조의 연산 증폭기 회로보다 스윙 폭이 약 2배 정도 향상된다. 차동 구조를 이용하는 경우 회로가 복잡해지고 직류 바이어스 회로에 대한 요구가 많아지는 단점이 있으나 출력 스윙 폭의 증가와 함께 몇 가지 전기적인 특성(동상 신호 제거비 : CMRR, 전원 신호 제거비 : PSRR)들이 향상되는 장점이 있다. 이러한 전기적인 특성의 향상은 정밀도를 요구하는 회로에 널리 사용된다. 즉, 아날로그 회로의 성능 중 중요한 요소인 신호의 왜곡 성분에서 짝수차 성분이 제거되어 선형적인 신호를 얻게 되므로 적은 잡음 및 왜곡을 요구하는 회로에 널리 사용된다.^{[15]-[17]}

Fully Differential 연산 증폭기의 성능을 결정하는 출력단과 안정된 회로 동작을 위한 입력 바이어스단을 구성하는 회로는 전류 미러이다. 따라서 큰 출력 스윙과 안정된 회로 동작을 위해 출력 저항이 크고 기준 전

류와의 정합이 잘 되는 전류 미러의 설계가 중요하다.

본 논문에서는 큰 출력 저항과 기준 전류와의 정합 특성이 우수한 새로운 전류 미러를 제안한다. 기존의 캐스코드 전류 미러로 구성된 연산 증폭기와 새로운 전류 미러로 연산 증폭기를 구성하여 그 특성을 비교 및 고찰하여 우수성을 검증한다. 출력 스윙을 키우고 전력 소모를 줄이기 위해 새로운 전류 미러를 사용하여 2단 증폭 형태의 Fully Differential 연산 증폭기를 설계한다. 설계한 증폭기를 레이아웃으로 구현하고 시뮬레이션을 통해 성능을 검증한다.

설계된 Fully Differential 연산 증폭기의 특성 목표값은 고속 정보 통신망(ISDN)의 U 참조점의 라인 드라이버로 사용될 수 있도록 설계한다. U 참조점에서 요구되는 특성은 5[V] 이상의 차동 출력과 40[kHz]의 주파수에서 70[dB] 이상의 선형성을 보장하는 Fully Differential 연산 증폭기를 새로운 전류 미러를 사용하여 설계한다.

II. 제안된 새로운 전류 미러

1. 새로운 전류 미러의 특성

그림 1은 Wide Swing Cascode Current Mirror를 기초로 안정된 특성을 갖고, 큰 출력 스윙을 위하여 단점을 보완한 새로운 전류 미러 구조이다. 이 전류 미러의 입력 전류 I_{ref} 와 출력 전류 I_o 의 비는 트랜지스터 M_2 와 M_4 의 크기의 비로써 결정된다.

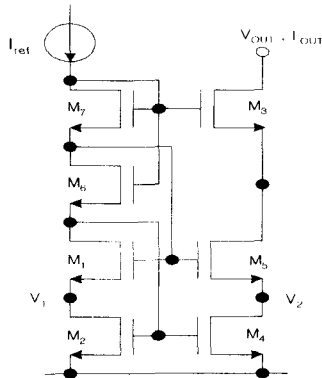


그림 1. 제안된 전류 미러 구조
Fig. 1. Proposed current mirror structure.

V_1 전압과 V_2 전압의 크기가 거의 같기 때문에 입력 전류 I_{ref} 와 출력 전류 I_o 의 비는 일정하다. 트랜지스터 M_6 의 소오스 전압은 트랜지스터 M_2 와 M_4 의 게이트에

인가된다. 트랜지스터 M_7 의 소오스 전압은 트랜지스터 M_1 과 M_5 의 게이트에 인가된다. 두 개의 인가된 전압의 차는 항상 일정하다. 이 전압의 차는 트랜지스터 M_6 의 드레인-소오스간 전압이다. 따라서 트랜지스터 M_6 의 드레인-소오스간 전압이 트랜지스터 M_2 와 M_4 가 포화 영역에서 동작할 수 있는 전압의 크기를 갖는다면 트랜지스터 M_2 와 M_4 는 포화 영역에서 동작한다. 이 경우 트랜지스터 M_2 와 M_4 의 드레인-소오스간 전압이 작게 되어 전류원의 출력 스윙은 커진다. 입력 전류가 증가 또는 감소하더라도 트랜지스터 M_6 과 M_2 , M_4 의 비가 일정하므로 M_2 와 M_4 는 항상 포화 영역에서 동작하고 입출력 전류비도 일정하게 유지된다.

표 1은 회로의 특성을 나타낸 것으로 출력 저항은 Regulated 전류 미러와 같은 큰 값을 갖고 기준 전류와의 정합 특성이 좋다. 이것은 출력 저항이 큰 하나의 MOS 트랜지스터와 같은 특성을 갖는다. 이 회로의 출력 저항은 식 (1)과 같다.

표 1. 제안된 전류 미러의 시뮬레이션 결과
Table. 1. Simulation result of proposed current mirror.

기호	트랜지스터		기준 전류 [μ A]	출력 저항 [G Ω]
	L[μ m]	W[μ m]		
M_1	2	10	10~50	100~25
$M_2 \sim M_7$	2	50		

$$r_{out} \cong (g_{m5} r_{ds1} r_{ds5}) g_{m3} r_{ds3} \quad (1)$$

그림 2는 제안된 새로운 전류 미러의 시뮬레이션 결과이다.

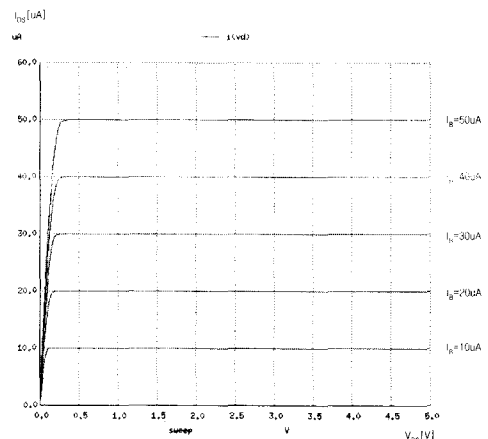


그림 2. 제안된 전류 미러의 시뮬레이션 특성
Fig. 2. Simulation characteristics of proposed current mirror.

III. Fully Differential 연산 증폭기 구성

1. Fully Differential 연산 증폭기 구조

Fully Differential 연산 증폭기의 기호 및 일반적인 구조는 그림 3과 같다.^{[18][19]}

그림 3 (a)의 그림은 Fully Differential 연산 증폭기 회로의 기호이다. 입력단의 두 신호를 차동으로 받아들여 두 신호를 증폭하고 출력 신호 라인을 통해 차동 출력 신호를 내보낸다. 그림 3 (b)는 CMOS만을 이용하여 구성한 일반적인 Fully Differential 연산 증폭기 회로의 구조이다. 입력단의 차동 신호를 받아들이는 차동 입력단과 출력에서의 차동 신호를 증폭시키는 차동 증폭단, 그리고 공통 모드 신호가 출력단에서 발생하는 것을 방지하기 위한 공통모드 케환 회로로 구성된다.

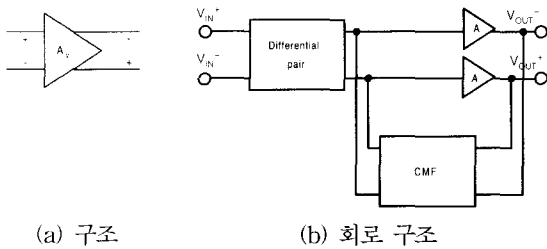


그림 3. Fully Differential 연산 증폭기의 기호 및 일반적인 구조

Fig. 3. Symbol and general structure of Fully Differential Op-Amp.

그림 4는 새로운 전류 미러를 이용한 Fully Differential 연산 증폭기 회로의 구조에 대한 블록도로 차동 입력단은 차동 입력 전압 신호를 받아들여 전류 신호로 변환한다. 새로운 전류 미러를 이용한 출력단은 변환된 전류 신호를 증폭하여 증폭된 전류 신호를 출력 전압 신호로 변환하고 공통 모드 케환 회로는 캐스 코드 출력단에 연결되어 기준 전압 신호와 같은 공통 모드 출력 전압 신호를 만들어 낸다.

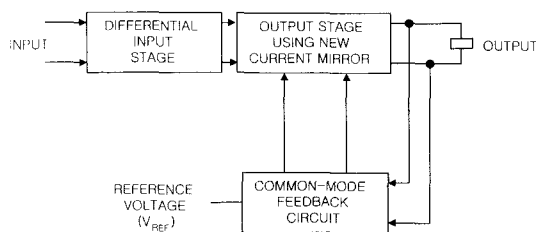


그림 4. 새로운 전류 미러를 이용한 Fully Differential 연산 증폭기의 블록도

Fig. 4. Block diagram of a Fully Differential Op-Amp using new current mirror.

2. 공통 모드 케환(Common Mode Feedback) 회로

Fully Differential 연산 증폭기 회로 구조를 사용하는 경우 출력단의 DC 바이어스의 안정화를 위해 출력 전압의 공통 모드 전압을 일정하게 유지하는 공통 모드 케환(Common Mode Feedback) 회로를 사용한다. 그림 5는 차동 출력단의 신호 파형이다.^{[2][3]}

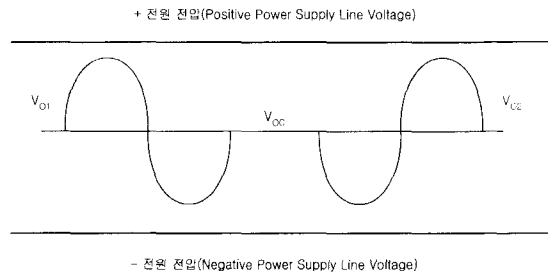


그림 5. 차동 출력 신호의 파형

Fig. 5. Differential output signal.

증폭기에서 출력되는 두 개의 출력 신호는 식 (2)와 같이 정의된다.

$$\begin{aligned}
 V_{O1} &= \frac{V_{OD}}{2} + V_{OC} \\
 V_{O2} &= -\frac{V_{OD}}{2} + V_{OC}
 \end{aligned} \tag{2}$$

V_{OD} 는 차동 모드 신호 성분이며 V_{OC} 는 공통 모드 신호 성분이다. 차동 증폭단의 출력 전압은 이와 같이 차동 모드 신호 성분과 공통 모드 신호 성분으로 나누어지며, 회로에서 출력으로 얻고자 하는 신호는 차동 모드 신호이다. 입력 신호가 증가 또는 감소하여 출력이 변할 때 출력단은 원하는 성분인 차동 모드 신호 성분만이 변해야 한다. 이 경우 공통 모드 신호 성분도 함께 변한다면 공통 모드 신호 성분의 변화에 따라서 출력 스윙이 감소하고 입력 신호가 없는 경우에도 공통 모드 신호 성분이 전원 전압 가까이 바이어스 되어 있으면 회로의 정상 동작이 어렵게 된다.

차동 증폭기의 출력 신호 V_{O1} , V_{O2} 의 값은 회로에 공급되는 전원 전압의 범위를 벗어날 수 없다. 공통 모드 신호 성분이 어느 한 쪽으로 치우치면 제한된 범위의

입력만을 받아들여 회로가 정상적으로 동작할 수 있는 범위가 줄어들게 된다. 따라서 차동 증폭단이 출력단에 공통 모드 신호 성분만을 캐환시켜 항상 안정된 동상 모드 신호가 출력되도록 하는 회로가 공통 모드 캐환 회로이다.

본 논문에서는 증폭기의 출력 부하가 저항이고 이를 구동시키는 회로이므로 집적 회로 내에서 용이하게 구현시킬 수 있는 저항(Poly를 이용한 저항)을 이용하여 출력 신호의 공통 성분을 얻고 있다. 즉 아래의 그림 6 과 같이 두 개의 저항을 출력 양단에 연결함으로써 양 단 차동 출력 신호의 공통 신호 전압을 얻을 수 있다.

그림 6에서 두 개의 차동 출력 신호를 두 개의 동일한 값을 갖는 저항으로 연결시키면 두 개의 저항이 연결된 노드에서 나타나는 전압 V_{OC} 는 식 (3)과 같이 된다. 식 (3)에서 V_{OC} 는 v_{O1} 과 V_{O2} 의 공통 신호 전압이 나타남을 알 수 있다.

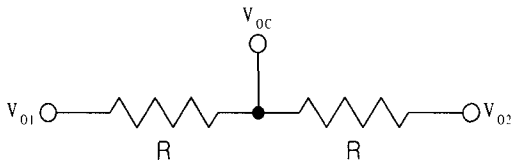


그림 6. 출력 신호에서 공통 모드 신호를 얻기 위한 회로

Fig. 6. Circuit required Common Mode Signal from output signal.

$$V_{OC} = \frac{(V_{O1} + V_{O2})}{2} \quad (3)$$

그림 7은 본 논문에서 사용한 Fully Differential 연산 증폭기 회로에서 구현된 공통 모드 캐환 회로이다. 이것은 두 개의 차동쌍을 사용하여 입력 전압에 대한 출력 전류가 두 개의 전류로 출력될 수 있도록 구성하였고 공통 모드 신호 전압과 기준 전압 신호와 비교하여 전체 회로의 바이어스를 안정화시키는 출력 신호를 얻도록 하였다. 여기서 전류원 I_{B} 는 차동쌍에 전류를 공급하는 전류원이다. 회로에 입력되는 전압 V_{OC} 의 공통 모드 전압이 증가하게 되는 경우 트랜지스터 M_4 , M_6 의 전류가 감소하고 이에 따라 M_7 , M_{10} 의 전류가 감소한다. 반면에 M_8 , M_9 의 전류는 증가하고 트랜지스터 M_3 , M_5 의 전류가 증가한다. 이는 전체 회로에 전류로서 캐환되며, 전체 회로와 CMF 회로의 공통 신호에 대한 부캐환이 이루어지게 되어 출력 전압 V_{O1} 과 V_{O2} 의 공

통 모드 전압이 감소한다. 이러한 부캐환 동작 때문에 공통 모드 전압은 기준 전압인 0[V]와 같게 된다.

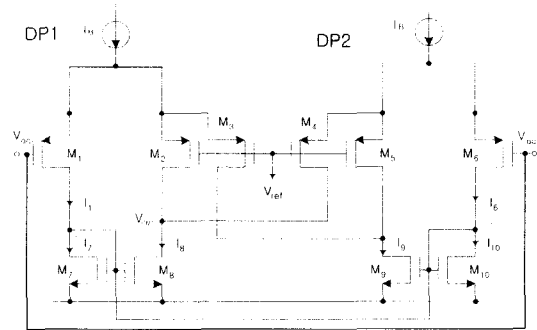


그림 7. 공통 모드 캐환 회로
Fig. 7. Common Mode Feedback circuit.

3. 전체 회로 동작

그림 8은 본 논문에서 제시한 새로운 전류 미러를 이용한 Fully Differential 연산 증폭기의 전체 회로이다.

전체 회로는 크게 차동 입력부, 출력 구동부 및 공통 모드 캐환 회로부로 나누어지며 AC 동작에서의 주파수 보상을 위한 보상 캐패시터들로 이루어진다. 트랜지스터 M_1 , M_2 는 입력 전압을 받아들여 다음 단으로 전류를 출력시키는 차동쌍이며, 본 논문에서는 간단한 구조의 소오스 결합쌍을 사용하였다. 차동쌍의 출력 전류는

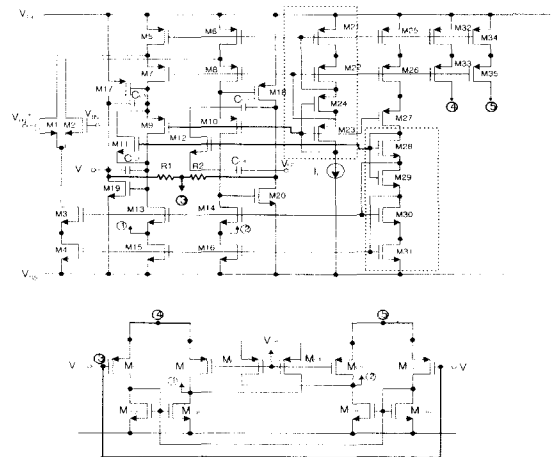


그림 8. 새로운 전류 미러를 이용한 Fully Differential 연산 증폭기의 전체 회로
Fig. 8. Circuit diagram of a Fully Differential Op-Amp using new current mirror.

트랜지스터 M_7 과 M_8 의 소오스측으로 흐르고 트랜지스터 M_1 , M_2 , M_7 , M_8 은 캐스코드 구조이다. 트랜지스터 M_7 과 M_8 에서 출력된 신호는 출력 구동 트랜지스터인 M_{17} 과 M_{18} 의 게이트에 인가되어 출력 부하를 구동시킨다. 제안된 회로는 2단 증폭 형태를 취하는 증폭기 구조를 갖는다. 트랜지스터의 $M_5 \sim M_8$, $M_{13} \sim M_{16}$, $M_{21} \sim M_{22}$, $M_{25} \sim M_{28}$, $M_{27} \sim M_{35}$ 는 앞에서 설명된 전류 미러 구조이며, 각 부분의 바이어스 전류를 공급하게 된다. 트랜지스터 $M_9 \sim M_{12}$ 는 DC 바이어스 안정화를 위한 트랜지스터들이다. 트랜지스터 M_9 와 M_{11} , 그리고 M_{10} 과 M_{12} 의 드레인과 소오스가 서로 연결되어 정제환이 걸려 교류적인 출력 저항을 높이게 된다. 이러한 정제환 회로는 AC적으로는 출력 저항을 무한대로 키울 수 있고, DC적으로는 게이트에 인가되는 전압에 의해 각 트랜지스터의 소스 전압이 결정되므로 안정된 바이어스를 얻을 수 있다. $M_{C1} \sim M_{C10}$ 은 공통 모드 케환 회로 회로를 위한 트랜지스터들이다. 출력 전압의 공통 모드 신호를 저항 R_1 과 R_2 를 이용하여 추출하고, 이 공통 모드 신호를 M_{C5} , M_{C10} 에서 받아들여 node ①과 ②로 케환시켜 바이어스를 안정화시킨다. 트랜지스터 $M_{C2} \sim M_{C5}$ 의 게이트들은 기준 전압을 받아 들이는데 기준 전압은 0[V](Ground)로 하였다.

일반적으로 연산 증폭기 회로는 케환이 많이 걸리므로 케환이 걸렸을 때 회로가 발진없이 정상 동작하기 위해서는 주파수 보상을 해야 하며, 특히 이에 대한 주의가 필요하다. 제안된 Fully Differential 연산 증폭기의 구조가 2단 증폭 형태를 취하고 있으므로 밀러 캐패시터(Miller Capacitor ; $C_{C1} \sim C_{C4}$)를 이용한 주파수 보상을 하였다.

IV. 시뮬레이션 결과 및 고찰

본 논문에서 제안된 회로의 동작을 고찰하기 위해 전체 회로의 시뮬레이션을 수행하였다. 회로에서 사용된 MOS 트랜지스터들은 Orbit의 1.2[μm] n-well double poly double metal CMOS process Design Rule을 사용했고, 레이아웃에 사용한 설계 툴(Design Tool)은 Magic이다. 시뮬레이션은 SPICE3f를 사용하였다.

1. DC 특성

그림 9는 Fully Differential 연산 증폭기를 임출력 신호의 이득이 1인 페루프 증폭 형태로 구성시키고, 입력

신호와 출력 신호의 차이를 비교한 것으로 임출력 전압이 8Vp-p 스윙을 하는 경우에 에러 전압이 약 4mVp-p이다.

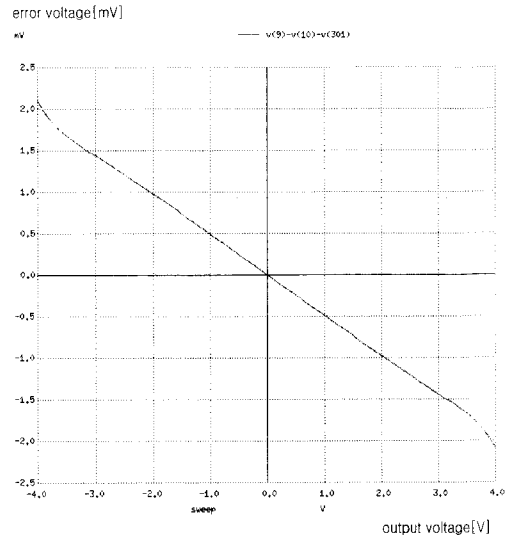


그림 9. 이득이 1일 때 DC 임출력 에러 전압($R_L=60[\Omega]$)

Fig. 9. DC error voltage of unity gain($R_L=60[\Omega]$).

그림 9에서 직선 성분은 증폭기의 이득에 의한 에러 신호 전압으로 V_o/A_v 만큼의 성분이며, 좌우측의 맨 끝에서 나타낸 곡선 성분은 증폭기의 선형성의 왜곡에 의한 성분으로 출력 신호가 큰 경우에 부하를 구동하기 위해 생긴다.

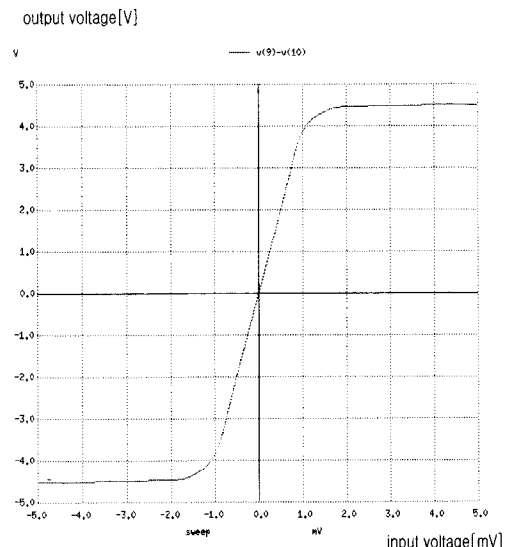


그림 10. 개방 루프에서의 DC 임출력 특성($R_L=60[\Omega]$)

Fig. 10. DC characteristics of open loop($R_L=60[\Omega]$)

그림 10은 출력 저항이 $60[\Omega]$ 이고 증폭기의 부궤환이 없는 개방 루프일 경우 입출력 DC 특성이다. 입출력 전달 특성이 매우 선형적인 특성이며 출력 신호의 범위가 $\pm 4[V]$ 가까이 된다.

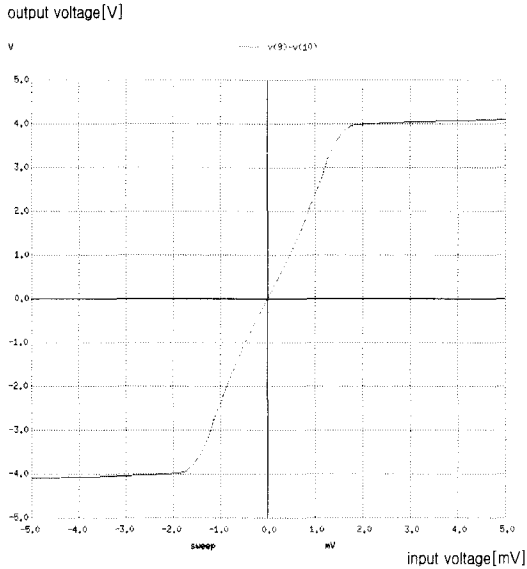


그림 11. 개방 루프에서의 DC 입출력 특성($R_L=30[\Omega]$)
Fig. 11. DC characteristics of open loop($R_L=30[\Omega]$).

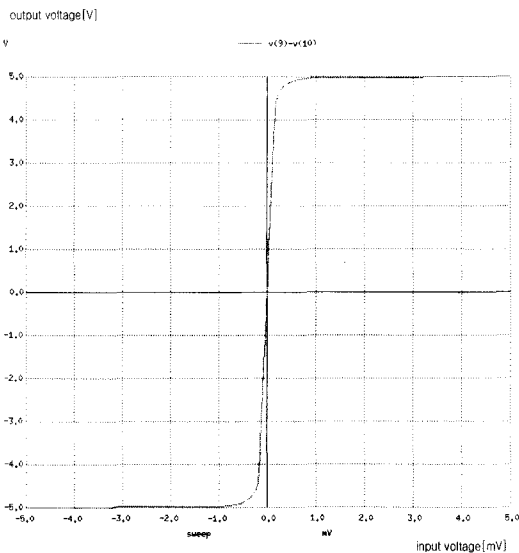


그림 12. 개방 루프에서의 DC 입출력 특성($R_L=\infty$)
Fig. 12. DC characteristics of open loop($R_L=\infty$).

그림 11은 부하 조건이 최소값인 $30[\Omega]$ 이고 증폭기의 부궤환이 없는 개방 루프일 경우의 입출력 DC 특성이다. 입출력 전달 특성이 그림 10에 비해 선형성이 저

하되는데 이는 출력 저항이 작아지는 경우 출력단에서 흐르는 전류가 커지기 때문이다. 따라서 전류가 클 경우 출력 트랜지스터의 입출력 전류 특성이 출력 특성으로 나타나기 때문에 MOS 트랜지스터의 입출력 전류 특성인 2차 곡선 형태가 나타나게 된다.

그림 12는 출력 저항이 무한대이고 증폭기의 부궤환이 없는 개방 루프일 경우의 입출력 DC 특성이다. 출력단 전력 소모가 없으므로 출력 스윙이 전원 전압 가까이 풀 스윙을 한다.

2. AC 특성

그림 13은 부하 저항이 최소인 값인 $30[\Omega]$ 일 때 온도 변화에 따른 AC 특성이고, 표 2는 이 경우의 특성 값들이다. 또한, 그림 14는 부하 저항이 최대인 값인 무한대일 때 온도 변화에 따른 AC 특성이고, 표 3은 이 경우의 특성값들을 나타낸 것이다. AC 특성은 증폭기 회로의 이득 특성과 위상 특성을 분석하여 회로의 안정성을 검사할 수 있다.

표 2. 온도 변화에 따른 AC 특성($R_L=30[\Omega]$)

Table. 2. AC characteristics according to temperature variation($R_L=30[\Omega]$).

온도[°C]	0	30	60	90	120
특성					
이득[dB]	67.2	65.5	63.7	61.8	59.2
대역폭[Hz]	13M	11.3M	10M	9M	8M
위상 여유 [degree]	60	62	64	65	67

표 3. 온도 변화에 따른 AC 특성($R_L=\infty$)

Table. 3. AC characteristics according to temperature variation($R_L=\infty$).

온도[°C]	0	30	60	90	120
특성					
이득[dB]	90.5	89.2	87.8	86.3	83.9
대역폭[Hz]	20M	18M	17M	16M	14M
위상 여유 [degree]	50	50	52	52	54

증폭기 회로가 궤환이 걸린 경우 위상 여유에 따라서 부궤환시에 안정도를 살필 수 있는데 일반적으로

위상 여유를 45도 이상이 되도록 한다. 제시된 증폭기 회로에서 온도별 및 출력 저항별 AC 해석을 수행한 것은 회로의 출력단이 단선되거나 최대 부하가 걸리는 경우에도 회로가 안정적으로 동작할 수 있는지 여부를 판단하기 위한 것이다.

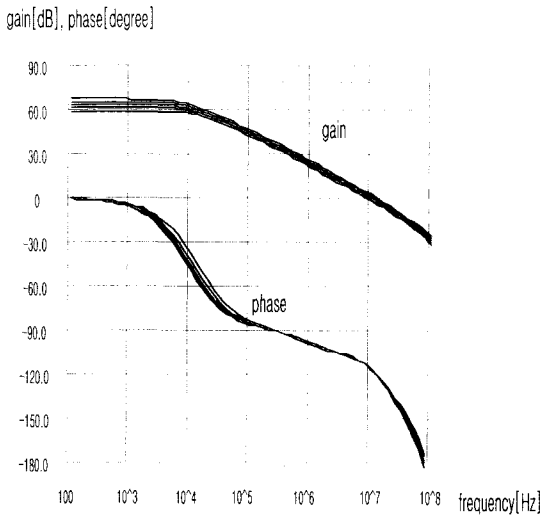


그림 13. 개방 루프에서의 AC 특성($R_L=30[\Omega]$)
Fig. 13. AC characteristics of open loop($R_L=30[\Omega]$).

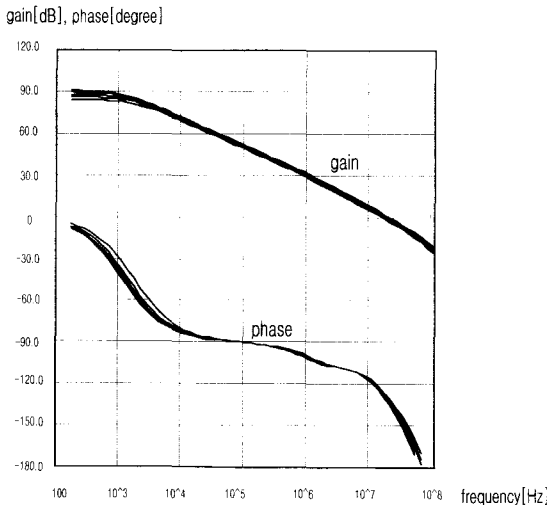


그림 14. 개방 루프에서의 AC 특성($R_L=\infty$)
Fig. 14. AC characteristics of open loop($R_L=\infty$)

본 시뮬레이션 결과는 온도가 증가하면 이득과 대역폭은 감소하나 위상 여유는 증가된다. 이는 CMOS의 특성에 기인하는 것으로써 온도가 증대되는 경우 회로의 전류의 흐름과 관계되는 캐리어, 즉 전자(nMOS)와

정공(pMOS)의 이동도가 감소하여 MOS의 전달 컨덕턴스가 감소하여 전체적인 이득이 감소하기 때문이다.

3. 과도 응답 특성

다음 그림 15는 부하 저항이 공칭값인 $60[\Omega]$ 일 때 과도 응답 특성을 나타내고, 슬루율은 $\pm 6.9[\mu V/sec]$ 이다.

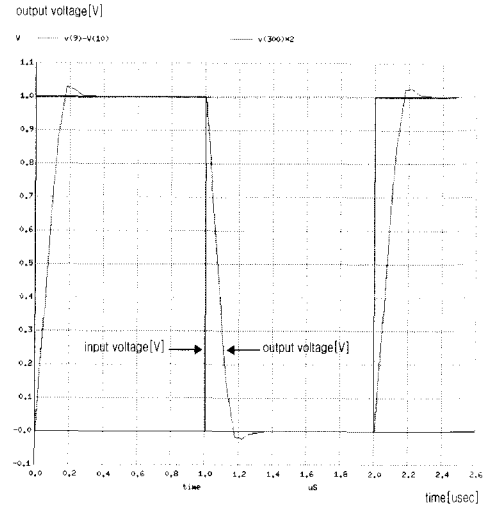


그림 15. 연산 증폭기 회로의 과도 응답 특성($R_L=60[\Omega]$)
Fig. 15. Transient response characteristic of Op-Amp($R_L=60[\Omega]$).

4. THD 특성

그림 16은 공칭 부하 $60[\Omega]$ 일 때 $40[kHz]$ 의 주파수에서 출력 저항의 변화에 따른 THD(Total Harmonic Distortion) 특성이고, 그림 17은 출력 전압의 변화에 따른 THD 특성이다.

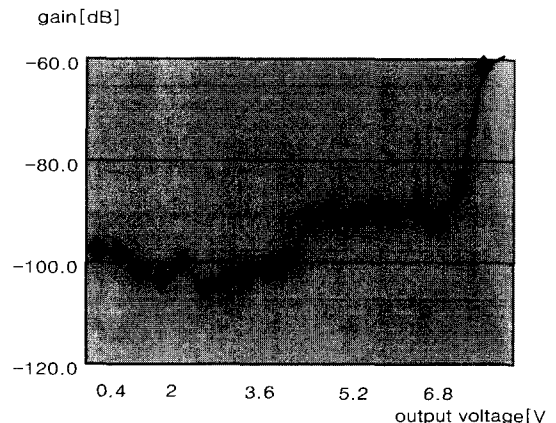


그림 16. 저항을 변화시켰을 때 출력 신호의 THD 특성
Fig. 16. THD characteristics for output signal of resistor variation.

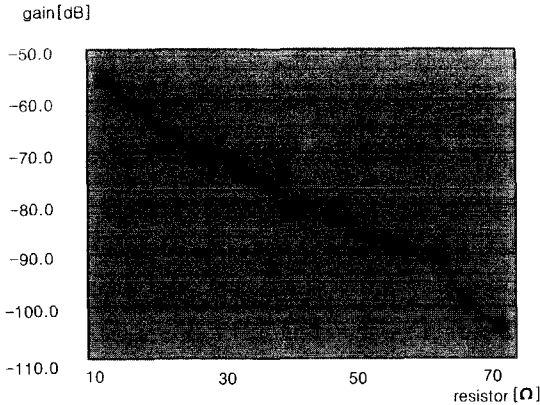


그림 17. 전압을 변화시켰을때 출력 신호의 THD 특성
Fig. 17. THD characteristics for output signal of voltage variation.

5. 레이아웃

레이아웃을 할 때의 문제점은 다음과 같다. 입력 트랜지스터와 패드와의 연결시 정전기(ESD : Electro Static Discharge)로 인해 소자가 파괴되는 것을 방지해야 한다.

본 논문에서는 이러한 정전기 문제를 방지하기 위해 패드와 입력 트랜지스터의 게이트 사이에 저항과 다이오드를 연결하여 정전기가 직접적으로 소자에 영향을 주지 않도록 하였다.

두 번째는 실제 집적 회로 내에서의 각 MOS들의 문턱 전압이 공정의 파라미터가 위치에 따라 다르기 때문에 발생하는 오프셋(off set) 문제이다. 본 논문에서는 이 문제를 해결하기 위해 대칭되는 소자들은 가장 가까이 설계하였고 Cross-Couple이 되도록 하여 소자의 정합이 잘 이루어지도록 설계하였다.

세 번째는 출력 트랜지스터의 큰 크기로 인해 발생하는 저항 문제이다. 본 논문에서는 contact를 여러 개로 하여 metal에서 저항을 흡수하도록 하였고, 트랜지스터를 병렬로 연결하여 저항이 증가하는 것을 방지하였다.

마지막으로 본 회로 설계시 트랜지스터의 드레인과 게이트가 cross 되어 궤환에 의한 기생 캐패시터가 발생하지 않도록 하였다. 기생 캐패시터가 발생하면 회로가 발진하기 때문에 설계시 주의해야 한다.

본 논문에서 사용된 패드의 크기는 $100 \times 100 [\mu\text{m}^2]$ 로

그림 18은 새로운 전류 미러를 이용한 Fully Differential 연산 증폭기 회로의 레이아웃이고 칩의 크기는 $360 \times 450 [\mu\text{m}^2]$ 이다.



그림 18. 새로운 전류 미러를 이용한 Fully Differential 연산 증폭기 레이아웃
Fig. 18. Layout of the designed Fully Differential Op-Amp using new current mirror.

6. 시뮬레이션 결과 고찰

본 논문에서 제안된 Fully Differential 연산 증폭기는 고속 정보 통신망(ISDN)의 U 참조점의 라인 드라이버로 사용될 수 있도록 목표값을 설정하였다. ISDN의 U 참조점에서의 라인 드라이버의 구조는 그림 19와 같다.^[30]

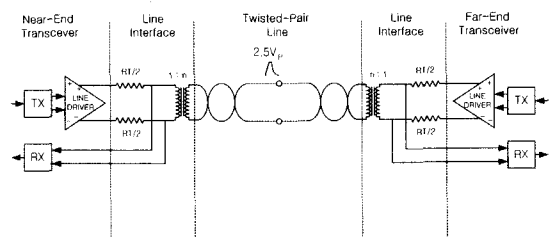


그림 19. U 참조점에서의 라인 드라이버 회로
Fig. 19. The line driver in the overall U-interface system.

표 4는 회로 특성 목표값과 참고 문헌에서 제시한 ISDN의 U 참조점에서 라인 드라이버와 시뮬레이션 특성을 비교한 것이다.

표 4. 제안된 회로와 참고 문헌과의 시뮬레이션 결과 비교($R_L=60[\Omega]$)

Table 4. Comparison with simulation result of proposed circuit and reference($R_L=60[\Omega]$).

증폭기 구조 변수	목 표 값	참고 문헌의 라인드라이버	새로운 전류 미러를 사용한 차동 연산 증폭기
Power Supply	$\pm 2.5[V]$	5[V]	$\pm 2.5[V]$
Open Loop Gain	$> 70[dB]$		85[dB]
Slew Rate(+)/ Slew Rate(-)	$> 5[V/\mu sec]$		6.9[V/ μsec]
Output Swing	$> 5V_{DD}$		7.2[V]
Unity Gain Frequency	$> 10[MHz]$	10[MHz]	12[MHz]
Phase Margin	$> 60^\circ$		65 $^\circ$
Power Consumption	$< 40[mW]$	36[mW]	40[mW]
Total Harmonic Distortion	$> 70[dB]$	77[dB]	85[dB]

V. 결 론

본 논문에서는 출력부의 스윙을 키우고 기준 전류와의 정합 특성이 우수한 새로운 전류 미러를 제안하고 기존에 제시되었던 전류 미러와의 특성을 고찰하였다. 제안된 새로운 전류 미러는 출력 저항이 Regulated 전류 미러와 같이 $[G\Omega]$ 대의 큰 값을 갖고 기준 전류와의 정합이 좋은 특성임을 보였다. 이 전류 미러는 출력 저항이 큰 하나의 MOS 트랜지스터와 같은 특성을 갖는다. 그리고 기존의 캐스코드 전류 미러로 구성된 연산 증폭기와 새로운 전류 미러로 연산 증폭기를 구성하여 그 특성을 비교하였다. 새로운 전류 미러로 구성된 연산 증폭기는 비교된 일반적인 연산 증폭기 보다 큰 이득과 출력 스윙을 가짐을 시뮬레이션을 통해 확인하였다. 마지막으로 새로운 전류 미러를 채택한 출력 구동단을 갖는 2단 증폭 형태의 Fully Differential 연산 증폭기 회로를 설계하고, 기존에 제시되었던 고속 정보 통신망(ISDN)의 U 참조점의 라인 드라이버와 특성을 비교·고찰하였다.

설계된 Fully Differential 연산 증폭기 회로는 전체 회로의 동작 범위와 선형성을 고려하여 공통 모드 케환 회로를 구성하는 트랜지스터들의 물리적인 소자의 크기를 최적의 상태로 설계하였다. 회로의 동작은 Class AB 구조를 사용한 2단 구조의 증폭 형태이고, 공급 전압인 $\pm 2.5[V]$ 보다 큰 $\pm 4[V]$ 의 차동 출력 신호

호를 얻게 되어 큰 부하에 대한 구동 능력을 가짐을 보였다. 특히 새로운 전류 미러 회로 구조를 사용하여 바이어스 회로를 안정화시킴으로써 전체 회로가 안정하게 동작하도록 하였다.

제안된 증폭기 회로는 케환이 많이 걸리므로 케환이 걸렸을 때 회로가 발진없이 정상 동작하기 위해서는 주파수 보상을 해주어야 하며 특히 이에 대한 주의가 필요하였다. 증폭기의 구조가 2단 증폭 형태를 취하므로 밀러 캐패시터를 이용한 주파수 보상을 하였다.

설계된 Fully Differential 연산 증폭기의 특성 목표값은 ISDN의 U 참조점의 라인 드라이버로 사용될 수 있도록 설계하였다. U 참조점에서 요구되는 특성은 5[V] 이상의 차동 출력, 출력 저항이 $30[\Omega]$ 에서 무한대까지 안정된 동작 및 40[kHz]의 주파수에서 70[dB] 이상의 선형성을 보장하는 것이다. 본 논문에서는 제시된 Fully Differential 연산 증폭기는 공칭 부하 $60[\Omega]$ 일 때 차동 출력이 7.2[V]이었고 40[kHz]의 주파수에서 85[dB]의 THD를 유지하는 좋은 특성을 갖는다.

참 고 문 헌

- [1] P. R. Gray, R. G. Meyer, "Analysis and Design of Analog Integrated Circuit," New York. John Willy, 1984.
- [2] Y. P. Tsividis, "Design of MOS VLSI Circuits for Telecommunications," New York. Prentice Hall, 1985.
- [3] R. Gregorian, G. C. Temas, "Analog MOS Integrated Circuits for Signal Processing," New York. John Willy, 1986.
- [4] P. E. Allen, D. R. Holberg, "CMOS Analog Circuit Design," New York. Holt, Rinehart and Wilston, 1987.
- [5] Y. P. Tsividis, "Operation and Modeling of the MOS Transistor," New York. McGraw-Hill, 1987.
- [6] P. R. Gray, and R. G. Meyer, "MOS operational amplifier design - a tutorial overview," IEEE Journal of Solid-State Circuits, SC-17, pp. 969-982, 1982.
- [7] T. Pleterssek, J. Trontelj and I. Jones,

- "High-performance designs with CMOS analog analog standard cells," *IEEE Journal of Solid-State Circuits*, SC-21, pp.215-1986.
- [8] C. A. Laber, C. F. Rahim, and S. F. Dreyer, "Design considerations for a high-performance 3- μ m CMOS analog standard cells," *IEEE Journal of Solid-State Circuits*, SC-22, pp. 181-189, 1987.
- [9] S. Mutoh and J. Yamada, "1V power supply high-speed digital circuit technology with multithreshold-voltage CMOS," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 8, pp. 847-854, Aug. 1995.
- [10] T. Kawahara et al, "Sub-threshold current reduction for decoded-driver by self reverse-biasing," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 8, pp. 847-854, Nov. 1993.
- [11] M. Suziki et al, "A 1.5ns 32b CMOS ALU in double pass-transistor logic," *IEEE Journal of Solid-State Circuits*, vol. SC-28, no. 11, pp. 1145-1151, Nov. 1993.
- [12] P. C. Yu, and H. S. Lee "A 2.5V 12b 5M sample/s pipelined CMOS ADC," *ISSCC Digest Technical Papers*, pp. 314-315, Feb. 1996.
- [13] J. A. Fisher and R. Koch, "A highly linear CMOS buffer amplifier," *IEEE Journal of Solid-State Circuits*, SC-22, pp. 330-334, 1987.
- [14] R. Castello and P. R. Gray, "A high performance micropower switched capacitor filter," *IEEE Journal of Solid-State Circuits*, SC-20, pp. 1122-1132, 1985.
- [15] M. Mikovic, "Current gain high-frequency CMOS operational amplifiers," *IEEE Journal of Solid-State Circuits*, SC-20, pp. 816-828, 1985.
- [16] G. A. Callewaert and W. M. Sansen, "Class AB CMOS amplifiers with high efficiency," *IEEE Journal of Solid-State Circuits*, SC-25, pp. 684-691, 1990.
- [17] K. E. Brehmer and J. B. Wieser, "Large Swing CMOS Power Amplifier," *IEEE Journal of Solid-State Circuits*. SC-18, pp.624-629, 1983.
- [18] J. A. Fisher, "A High-Performance CMOS Power Amplifier," *IEEE Journal of Solid-State Circuits*. SC-20, pp.1200-1205, 1985.
- [19] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier and J. H. Huijsing, "A Compact Power-Efficient 3V CMOS Rail-to Rail Input/Output Operational Amplifier for VLSI Cell Libraries," *IEEE International Solid State Circuit Conference*. pp.244-245, 1994.
- [20] H. Khorramabadi, J. Anidjar, and T. R. Peterson. "A Highly-Efficient CMOS Line Driver with 80dB Linearity for ISDN U-interface Applications," *IEEE International Solid State Circuit Conference*. pp.192-193, 1992.

저 자 소 개



安寅秀(正會員)

1967년 12월 10일생. 1992년 국민대학교 전자공학과 졸업. 1994년 국민대학교 전자공학과 석사 졸업. 현재 국민대학교 박사과정



宋碩浩(正會員)

1969년 5월 10일생. 1992년 국민대학교 전자공학과 졸업. 1994년 국민대학교 전자공학과 석사 졸업. 현재 국민대학교 전자공학과 박사과정

崔太燮(正會員) 第34卷 第5號 參照

司工石鎮(正會員) 第33卷 B卷 第11號 參照

林台洙(正會員) 第34卷 第5號 參照