

論文2000-37SD-7-2

DRAM 셀 구조의 셀 캐패시턴스 및 기생 캐패시턴스 추출 연구 (A Study on the Extraction of Cell Capacitance and Parasitic Capacitance for DRAM Cell Structures)

尹錫仁*, 權五燮*, 元太映**
(Sukin Yoon, Ohseob Kwon, and Taeyoung Won)

요약

본 논문에서는 DRAM 셀 내의 셀 캐패시턴스 및 기생 캐패시턴스를 수치 해석적으로 계산하여 추출하는 방법과 그 적용 예를 보고한다. 셀 캐패시턴스 및 기생 캐패시턴스를 계산하기 위하여 유한요소법을 적용하였다. 시뮬레이션의 구조를 정의하기 위하여, 마스크 레이아웃 데이터 및 공정 레시피를 이용한 토포그래피 시뮬레이션을 수행하고, 토포그래피 시뮬레이션을 통해 DRAM 셀 구조를 생성하기 위해 필요한 데이터를 얻었다. 이를 기반으로 하여, 마스크 데이터 기반의 3차원 솔리드 모델링 방법을 적용하여 시뮬레이션 구조를 생성하였다. 시뮬레이션에 사용된 구조는 $2.25 \times 1.75 \times 3.45 \mu\text{m}^3$ 크기이며, 4개의 셀 캐패시터를 갖는다. 또한, 70,078개의 노드와 395,064개의 사면체로 구성되었다. 시뮬레이션을 위해 ULTRA SPARC 10 워크스테이션에서 약 25분의 CPU 시간을 소요하였으며, 약 201메가바이트의 메모리를 사용하였다. 시뮬레이션을 통하여 계산된 셀 캐패시턴스는 셀당 24fF이며, DRAM 셀 내에서 가장 주요한 기생 캐패시턴스 성분을 규명하였다.

Abstract

This paper reports a methodology and its application for extracting cell capacitances and parasitic capacitances in a stacked DRAM cell structure by a numerical technique. To calculate the cell and parasitic capacitances, we employed finite element method (FEM). The three-dimensional DRAM cell structure is generated by solid modeling based on two-dimensional mask layout and transfer data. To obtain transfer data for generating three-dimensional simulation structure, topography simulation is performed. In this calculation, an exemplary structure comprising 4 cell capacitors with a dimension of $2.25 \times 1.75 \times 3.45 \mu\text{m}^3$, 70,078 nodes with 395,064 tetrahedra were used in ULTRA SPARC 10 workstation. The total CPU time for the simulation was about 25 minutes, while the memory size of 201MB was required. The calculated cell capacitance is 24.34fF per cell, and the influential parasitic capacitances in a stacked DRAM cell are investigated.

Keyword : DRAM, Cell Capacitance, Interconnect, Parasitics

I. 서론

최근 집적회로 공정 기술의 발달로 DRAM 칩의 밀

* 學生會員, ** 正會員, 仁荷大學校 電子電氣컴퓨터工學部
(School of Electrical and Computer Engineering, Inha University)

※ 본 연구는 1999년도 정보통신부 '정보통신 우수대학원' 지원사업의 일환으로 수행하였음.

接受日字: 1999年10月5日, 수정완료일: 2000年6月26日

도가 기가비트(giga bit)급 시대로 접어 들고 있다. DRAM 칩 밀도의 큰 성장은 DRAM 칩 내의 데이터 저장을 위한 셀 캐패시터(cell capacitor)를 제작하는 메모리 셀(memory cell) 공정 기술의 발전에 기인하고 있다. 초기 1 메가비트(mega bit)급의 DRAM 공정에서는 데이터를 저장하기 위한 캐패시터의 형태로 평탄 캐패시터(planar capacitor)가 사용되었다. 그러나, 칩의 고용량화를 위한 셀 사이즈의 감소로 4 메가비트급 이상의 DRAM에서는 제한된 작은 셀 영역에서 데이터 저장을 위해 충분한 셀 캐패시턴스(cell

capacitance)를 확보하기 위하여, 3차원 셀 캐패시터가 사용되고 있다^[1]. DRAM 셀의 최소 축적 캐패시턴스(storage capacitance)는 센스 증폭기의 민감도(Sensitivity), 데이터 저장 시간 등에 의해 결정되며, 기가비트급의 스케일(scale)에서는 셀당 약 25fF 이상의 용량이 요구되고 있다. 이같은 셀 축적 용량을 확보하기 위하여, 대표적인 3차원 캐패시터로 TRC(trench capacitor)와 STC(stacked capacitor)가 사용되고 있으며, TRC, STC 구조를 기반으로 변형된 구조들이 제안되고 있다^{[2],[3]}. 현재 국내 대부분의 메모리 셀 캐패시터 제작을 위한 공정은 COB(capacitor on bit line) 형태의 STC 생성 공정에 기반을 두고 있다. COB STC형성 방법을 간단히 설명하면, 비트 라인 위에 층간 절연막을 증착하고, 높은 중형비를 갖는 메모리 셀 콘택 홀(memory cell contact hall) 영역을 식각한다. 이어서, 캐패시터의 하부 전극으로 사용할 물질로 식각한 영역을 채운 후, 패터닝을 통해 하부 전극을 형성하고 그 위로 유전막 및 상부 전극 물질을 증착하여 셀 캐패시터를 형성하게 된다^[2].

한편, 디자인 룰(design rule)이 감소하고, 메모리의 고용량화가 요구 될 때마다 DRAM 내의 메모리 셀 구조의 변화가 요구되고 있다. 또한, 셀 구조의 변화에 따라 데이터 저장을 위한 셀 캐패시턴스의 용량에 대한 측정이 병행되고 있다. 그런데, DRAM 공정 내에 사용되는 셀 캐패시터는 전술한 바와 같이 필요한 용량을 확보하기 위해 3차원 형상의 캐패시터들이 사용되고 있어 해석적 모델을 이용한 캐패시턴스 계산에 어려움을 안고 있다. 따라서, DRAM 셀 내의 셀 캐패시턴스는 실험을 통하여 측정되고 있는 상황이나, 향후 0.15~0.07 μm 의 공정에서는 작은 최소 선 폭과 COB 형태의 STC 구조 특성 상 캐패시턴스 하부 전극과 비트 라인, 캐패시턴스 하부 전극과 워드 라인 사이의 기생 캐패시턴스의 영향이 증가할 것으로 사료되어 측정에 어려움이 예상되고 있다.

과거에도 집적회로 내의 기생 캐패시턴스의 영향 및 DRAM 셀 내에서의 기생 캐패시턴스 성분 대해서 많은 연구가 있어 왔다. 특히, 메가비트급의 TRC 셀 캐패시턴스를 갖는 DRAM에서는 비트 라인(bit line)의 자기 캐패시턴스(self capacitance), 비트라인과 비트라인 사이, 비트 라인과 워드 라인(word line) 사이의 커플링 캐패시턴스(coupling capacitance), 비트라인과 메탈 라인(metal line) 1 또는 메탈 라인 2 사이의 기생

캐패시턴스 영향이 주되게 고려되어 왔다^[4]. 그러나, COB 형태의 STC가 주종을 이루고 있는 현재는 전술한 기생 캐패시턴스 외에 캐패시터의 하부전극과 비트 라인 또는 워드라인 사이의 기생 캐패시턴스의 영향이 증가할 것으로 사료된다. 따라서, 향후 DRAM 공정 개발에 있어서 메모리 셀에 대한 셀 캐패시턴스 및 기생 캐패시턴스의 수치해석적 계산이 반드시 필요할 것이라고 사료된다.

따라서, 본 연구에서는 식각 및 증착 시뮬레이션을 이용하여 메모리 셀의 구조를 생성하고 이를 분석하여, 레이아웃 데이터를 기반으로 하는 3차원 솔리드 구조 생성 알고리즘을 적용하여, 토포그래피 시뮬레이션을 통해 생성된 DRAM 셀 구조를 시뮬레이션을 위한 메쉬 구조로 변환하였다. 또한, 변환된 메쉬 구조에 대하여, 유한요소법을 이용한 수치 해석 방법을 적용하여 셀 캐패시턴스의 용량 및 캐패시턴스 하부 전극과 비트 라인, 비트 라인과 비트 라인, 캐패시턴스 하부 전극과 워드 라인 사이의 기생 캐패시턴스를 수치해석적으로 계산하였다.

후술하는 제II장에서는 본 연구에서 개발된 시뮬레이터의 DRAM 구조 내에서의 캐패시턴스를 계산하기 위한 모델에 대해 설명하고, 이어서 제III장에서는 3차원 솔리드 모델링을 이용한 시뮬레이션 구조 생성 방법 및 시뮬레이션에 대한 흐름에 대해 설명을 한다. 제 IV 장에서는 본 시뮬레이터를 이용한 시뮬레이션 결과에 대하여 설명한다.

II. DRAM 셀 구조 내에서의 캐패시턴스 모델링

그림 1(a)에서 도시된 바와 같은 레이아웃을 갖는 DRAM 셀 구조에 대해 선분AB에 대해 단면을 취하면, 그림1(b)와 같은 단면을 갖게 된다. 그림 1(b)에서 도시한 바와 같은 DRAM 셀은 2개의 셀 트랜지스터와 2개의 워드라인, 1개의 비트라인, 2개의 하부전극과 1개의 상부전극을 갖는 2개의 셀 캐패시턴스로 그림 1(c)와 같이 모델링된다.

그림 1(d)에서 도시한 바와 같이 그림 1(c)에 도시된 DRAM 셀은 2개의 셀 캐패시턴스 외에 워드라인과 비트라인, 비트라인과 하부전극, 워드라인과 하부전극 사이의 캐패시턴스 등, 다수의 기생 캐패시턴스를 갖고 있다. N개의 도전체가 존재하는 경우, 각 도전체 쌍에

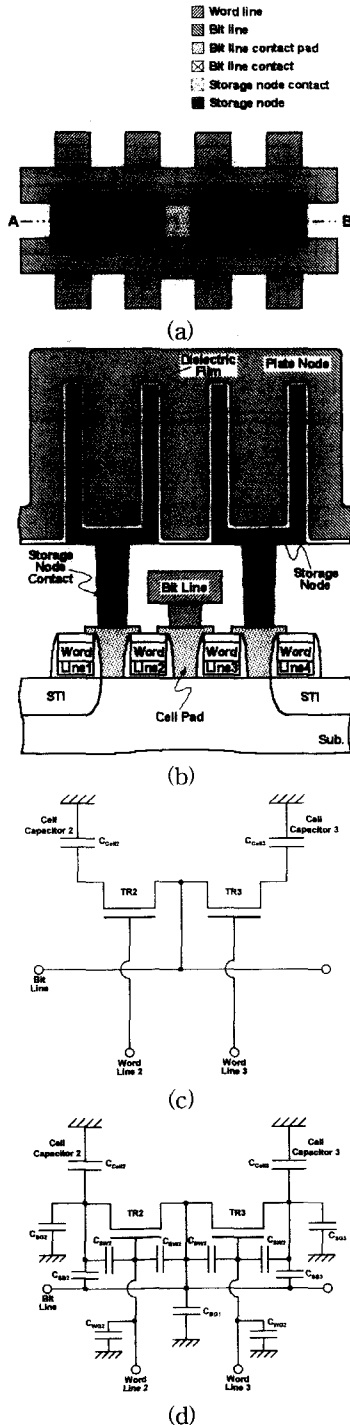


그림 1. DRAM 셀 캐패시턴스 모델 : (a) DRAM 셀 레이아웃, (b) 선분AB에 의한 단면도, (c) 등가회로, (d) 기생 캐패시턴스

Fig. 1. Capacitance model for DRAM : (a) Layout for DRAM cell, (b) Schematic cross section of DRAM cell, (c) Equivalent circuit, (d) Equivalent circuit with parasitic capacitances.

는 캐패시턴스가 존재하게 되며, 존재하는 총 캐패시턴스 수는 각 도전체 쌍의 조합으로 $N(N - 1)/2$ 개가 된다. 이 때, 상부전극과 하부전극 사이에 존재하는 캐패시턴스가 셀 캐패시턴스가 되며, 나머지가 기생 캐패시턴스로 DRAM의 동작 속도에 영향을 미치는 요소가 된다.

본 연구에서는 DRAM 셀 내부의 셀 캐패시터 및 기생 캐패시턴스를 계산하기 위하여, 유한요소법을 이용한 에너지 계산법(energy method)을 사용하였다. 에너지 계산법을 이용하여 DRAM 셀 구조 내의 각 도전체에 전압이 인가되었을 때, 도전체를 감싸고 있는 유전체 내부의 전위 분포를 유한요소법을 이용하여 계산하고, 얻어진 전위 분포로부터 구조 내의 유전체에 축적된 최소 에너지를 계산할 수 있다. 이를 통해 유전체 내부의 축적에너지와 캐패시턴스, 각 도전체들 사이의 전위차 관계를 이용하여 각 기생 캐패시턴스를 계산할 수 있게 된다. 유한요소법을 이용한 에너지 계산법은 경계요소법(BEM), 유한차분법(FDM)에 비해 메모리 사용량 및 계산 속도에서 다소 떨어지는 단점이 있지만, 계산의 정확성과 복잡한 시뮬레이션 구조 적용, 특히 다각적인 유전체(multiple dielectrics)의 적용에서 우수한 특성을 보인다.

유전체 내부의 전위 분포는 전속밀도(D)와 전하밀도(ρ)로 주어지는 식 (1)의 맥스웰 방정식으로부터, 내부 유전체 물질이 선형적이며, 등방성의 특징을 갖고, 내부에 전하 밀도를 전혀 갖지 않는 이상적인 절연체가 가정하여 식 (2)의 라플라스 방정식을 얻을 수 있다.

$$\nabla \cdot D = \rho \tag{1}$$

$$\nabla \cdot (\epsilon(x, y, z, \cdot) \nabla \phi(x, y, z)) = 0 \tag{2}$$

식 (2)에서 ϵ 은 유전체의 유전율이며, ϕ 는 유전체 내부의 전위 분포이다. 식 (2)의 라플라스 방정식에 변분원리를 적용하면 식 (3)을 얻어 낼 수 있으며, DRAM 셀 구조 내에 존재하는 각 도전체에 인가된 전압을 초기 조건으로 하여, 유한요소법의 수치해석적 방법을 통해 DRAM 셀 구조 내 유전체에서의 전위 분포를 구할 수 있다. 계산된 전위 분포로부터 해당 인가전압에서의 DRAM 셀 구조 내의 최소 축적 에너지(I)를 계산할 수 있다.

$$I = \epsilon_0 \int_{V_D} \epsilon_r(x, y, z) \left[\left(\frac{\partial \phi}{\partial x} \right)^2 + \left(\frac{\partial \phi}{\partial y} \right)^2 + \left(\frac{\partial \phi}{\partial z} \right)^2 \right] dV \tag{3}$$

따라서, DRAM 셀 내부의 N개의 도전체가 존재할 경우, $N(N - 1)/2$ 개의 캐패시터가 존재하게 되므로, $N(N - 1)/2$ 개의 캐패시터 수만큼 인가 전압 세트를 설정하고, 그에 해당하는 최소 축적 에너지(I)를 구하여, 식 (4)와 같은 $N(N - 1)/2$ 원 1차 선형방정식 매트릭스를 얻어 낼 수 있다.

$$\begin{bmatrix} {}^1U_{1,2} & {}^1U_{1,3} & \dots & {}^1U_{N-1,N} \\ {}^2U_{1,2} & {}^2U_{1,3} & \dots & {}^2U_{N-1,N} \\ \vdots & \vdots & \ddots & \vdots \\ {}^MU_{1,2} & {}^MU_{1,3} & \dots & {}^MU_{N-1,N} \end{bmatrix} \begin{bmatrix} C_{1,2} \\ C_{1,3} \\ \vdots \\ C_{N-1,N} \end{bmatrix} = \begin{bmatrix} {}^1I \\ {}^2I \\ \vdots \\ {}^MI \end{bmatrix} \tag{4}$$

$${}^kU_{i,j} = ({}^k\phi_i - {}^k\phi_j)^2 \tag{5}$$

kI 는 k 번째 인가 전압 설정에 의해 구해진 최소 축적 에너지이며, M 은 $N(N - 1)/2$ 개의 총 기생 캐패시턴스의 개수를 나타낸다. 식 (5)에서 ${}^k\phi_i$ 는 k 번째 인가 전압 설정에 따른 i 번째 라인의 인가 전압을 나타내며, ${}^k\phi_j$ 는 k 번째 인가 전압 설정에 따른 j 번째 라인의 인가 전압을 나타낸다. 따라서, $M \times M$ 매트릭스의 해를 수치해석적으로 구하므로 DRAM 셀 내에 존재하는 각 캐패시턴스 값을 계산해 낼 수 있다. 본 연구에서는 선형방정식의 해를 구하기 위하여 공액 기울기(conjugate gradient)를 사용한 반복법(iteration method)을 적용하였다.

III. DRAM 셀 구조 생성 알고리즘

본 연구에서 DRAM 셀 구조에서의 셀 캐패시턴스 및 기생 캐패시턴스를 계산하기 위하여 사용한 DRAM 셀 구조 생성 흐름도를 그림 2에 도시하였다.

그림 2에 도시한 바와 같이 DRAM 셀 구조에서 캐패시턴스를 계산하기 위한 시뮬레이션 구조를 생성하기 위하여, 마스크 레이아웃 데이터와 공정 조건 및 순서를 입력하여 토폴로그래피 시뮬레이션을 수행한다. 이어서, 수행된 결과로 얻어진 구조에 대하여 3차원 변환을 위한 필요한 데이터를 얻어낸다. 3차원 솔리드 모델링(solid modeling)에 필요한 데이터는 마스크 레이아웃 데이터와 토폴로그래피 시뮬레이션을 통해 얻어낸 두께 정보, 비평탄 정보, 영역별 물질 정보이다.

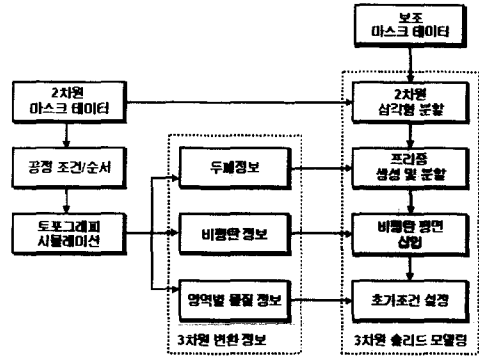
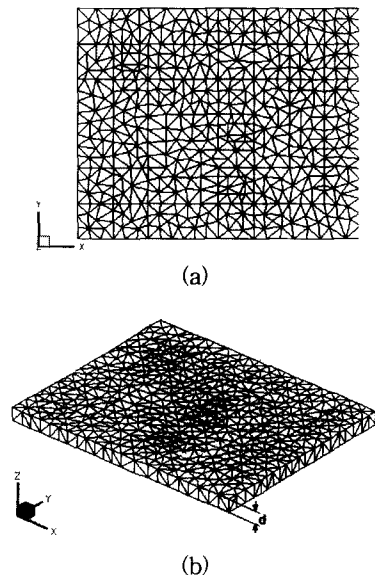


그림 2. 시뮬레이션을 위한 구조 생성 흐름도
Fig. 2. Flowchart of structure generation for our simulation.

그림 3은 레이아웃 기반의 3차원 솔리드 모델링 방법을 이용하여 구조물을 생성하는 과정을 도시한 것이다. 그림 3(a)에 도시한 바와 같이 입력된 마스크 레이아웃 좌표 데이터를 가지고, 삼각형 분할을 수행하여, 삼각형 리스트를 생성한다. 생성된 삼각형 리스트에 토폴로그래피 시뮬레이션을 통해 얻은 두께 정보(d)를 이용하여, 그림 3(b)에 도시된 것과 같은 3차원 단위 레이어를 생성하고, 프리즘 분할 방법을 이용해 사면체로 분할한다. 그림 3(c)에 도시된 것과 같이 토폴로그래피 시뮬레이션을 통하여 나타난 비평탄면 정보를 단위 레이어에 적용하고, 이어서, 영역별 물질 정보를 이용하여 그림 3(d)와 같이 영역에 따른 노드의 물질 정보를 설정한다.



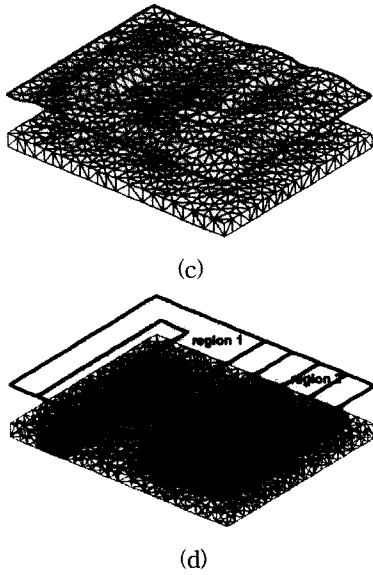


그림 3. 3차원 구조 생성 개념도 : (a) 삼각형 분할, (b) 단위레이어 생성, (c) 비평탄면 적용, (d) 영역별 노드 정보 설정

Fig. 3. Schematic overview of 3-D structure generation : (a) Triangulation, (b) Unit-layer generation, (c) Insertion of non-planar plane, (d) Configuration of node information as a region.

그림 3(c)에 도시된 비평탄면 정보는 그림 4(a)에서 도시한 바와 같이 토포그래피 시뮬레이션을 수행하여 얻은 비평탄 증착면을 표현할 수 있는 최소 분할된 직사각형 셀 리스트로부터 얻을 수 있다. 그림 4(a)에 도시된 셀들의 각 꼭지점에는 비평탄 증착면으로부터 얻은 높이 좌표가 저장되어 있다. 따라서, 그림 4(b)에 도시된 레이아웃 데이터를 이용하여 생성한 삼각형 리스트 각 점 P의 높이 좌표를 그림 4(a)에 도시된 셀 리스트

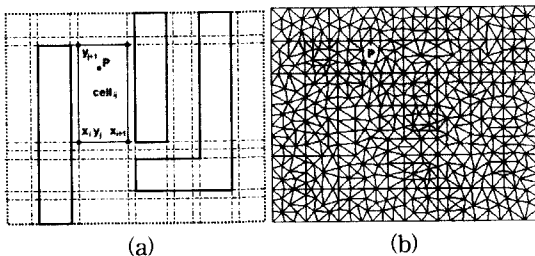


그림 4. 비평탄면의 생성 (a) 비평탄면 생성을 위한 셀 구조 (b) 삼각형 리스트

Fig. 4. Generation of non-planar data (a) Cell structure for non-planar data (b) triangle list for non-planar data.

트로부터 점 P를 포함하는 셀을 찾아 해당 셀 각 꼭지점의 높이 좌표에 대한 쌍일차보간(bilinear interpolation)을 통해 얻으므로써, 비평탄 구조를 생성하게 된다.

토포그래피 시뮬레이션과 솔리드 모델링에 의해 생성된 구조의 비교를 위해 토포그래피 시뮬레이션에 의해 생성된 구조와 솔리드 모델링에 의해 메쉬 구조로 변환된 구조를 그림 5에 도시하였다.

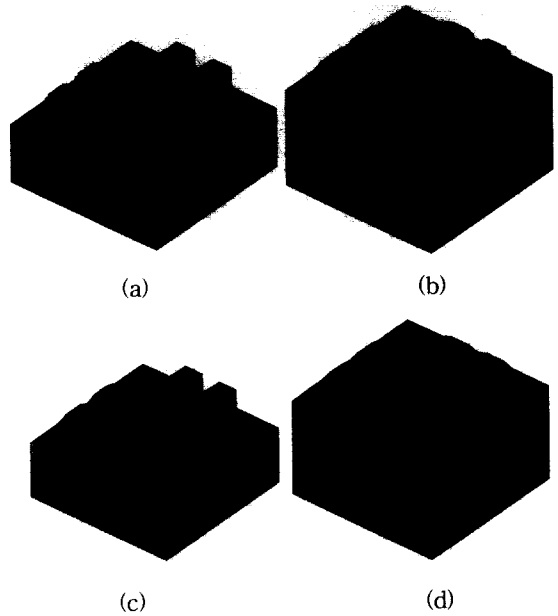


그림 5. 토포그래피 시뮬레이션 결과 구조 및 3차원 솔리드 모델링 구조와의 비교 : 토포그래피 시뮬레이션 후 생성된 (a) 두번째 메탈 라인과 (b) 두 번째 절연막, 3차원 솔리드 모델링에 의해 생성된 (a) 두번째 메탈 라인과 (b) 두 번째 절연막

Fig. 5. The comparison of topography simulation and solid modeling : schematic view of second (a) metal layer and (b) dielectric layer generated by topography simulation, (c) and (d) is converted result by solid modeling, respectively.

또한, 반도체 공정에 의해 생성되는 구조는 크게 마스크를 이용하여 생성되는 구조와 마스크 없이 생성되는 구조로 나눌 수 있다. 따라서, 마스크 레이아웃 데이터를 기반으로 하는 3차원 솔리드 모델링의 경우, 마스크의 사용없이 생성되는 구조를 정의하기 위하여, 구조 정의를 위한 보조 마스크 데이터를 이용하여 구조를 생성하게 된다.

그림 6는 실제 공정에서 마스크 데이터 없이 생성되는 사이드 월(side wall) 구조 생성에 대해 도시한 것이

다. 그림 6(a)에서와 같이 트랜지스터의 사이드 월과 같은 구조는 그림 6(b)와 같은 보조 마스크를 이용하여 생성할 수 있다.

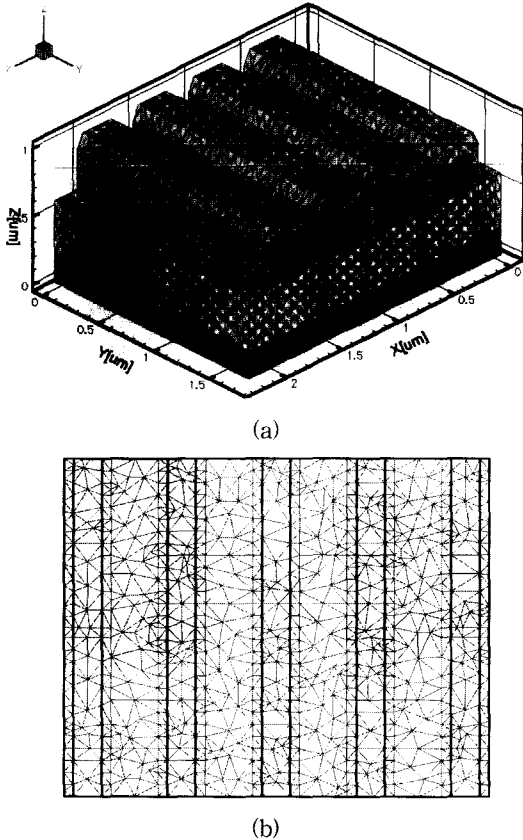


그림 6. 보조 마스크 데이터를 이용한 구조물의 생성 : (a) 생성된 구조물, (b) 보조 마스크
 Fig. 6. Structure generation using sub-mask data : (a) Generated structure, (b) Sub-mask.

시뮬레이션 구조 생성 시, 그림 6(b)와 같은 보조 마스크를 이용하여, 시뮬레이션 구조의 게이트(gate)를 정의하는 과정에서 사이드 월 영역에 해당하는 노드들에 비평탄 정보 및 해당 영역 물질 정보를 설정한다. 이 과정을 통해 사이드 월 영역에 해당하는 노드들의 3차원 좌표값 및 노드의 물질 정보를 설정하게 된다.

기존의 기생 성분 추출을 위한 소프트웨어 및 시뮬레이터의 경우, 좌표 입력을 통해 구조를 생성하므로 3차원 구조의 경우 정의에 어려움이 있다. 본 논문에서 사용된 마스크 레이아웃 데이터 기반의 3차원 솔리드 모델링은 구조 생성 과정에서 반도체 공정의 특성을 고려할 수 있는 마스크 데이터를 기반으로 하여, 구조 생성

작업을 수행하는데 필요한 좌표를 마스크 데이터로부터 입력받아 복잡한 3차원 구조를 쉽게 고려할 수 있는 장점이 있다. 또한, 토포그래피 시뮬레이션을 이용한 구조 예측을 통해 보다 정확한 구조 생성이 가능하다.

IV. 시뮬레이션

본 연구에서 개발된 시뮬레이터를 이용하여 DRAM 셀 구조에 대한 시뮬레이션을 수행하였다. 그림 7에 도시한 것은 DRAM 셀 구조를 생성하기 위하여 토포그래피 시뮬레이션을 수행한 결과이다. 그림 8에 도시한 것은 DRAM 셀 구조를 생성하기 위해 사용된 레이아웃 마스크로, 솔리드 모델링을 이용한 구조 생성 시에도 사용되었다. 그림 7(a)는 시뮬레이션을 수행하여 생성된 DRAM 구조이며, 그림 7(b), (c)는 각각 워드라인 방향 및 비트라인 방향에서의 절연막을 제외하고 도시한 측면도이다. 생성된 구조는 비트 라인이 2개, 워드라인, 캐패시터 하부 전극 각각 4개, 상부 전극이 1개로 4개의 셀 캐패시터를 갖는다.

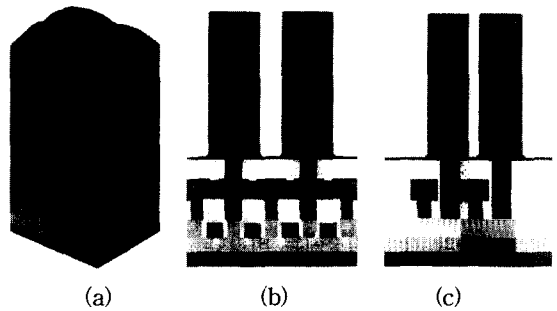


그림 7. DRAM 셀 구조 분석을 위한 토포그래피 시뮬레이션 결과 : (a) DRAM 셀 사시도, (b) 워드라인 방향 측면도, (c) 비트라인 방향 측면도
 Fig. 7. Results of topography simulation for DRAM cell structure : (a) Bird-eye's view, (b) Side view of word line direction, (c) Side view of bit line direction.

그림 9은 그림 7에서 생성된 DRAM 셀 구조를 이용하여 3차원 솔리드 모델링을 통해 생성한 시뮬레이션 구조로, 그림 9(a)는 사시도, 그림 9(b), (c)는 각각 워드라인 방향 및 비트라인 방향에서의 절연막을 제외하고 도시한 측면도이다. 그림 9에 도시한 시뮬레이션 구조는 미세한 패턴에 적용되고 있는 워드라인과 비

트 라인에 사이드 월(side wall) 구조를 이용한 SAC(self-aligned contact) 구조를 고려하였다.

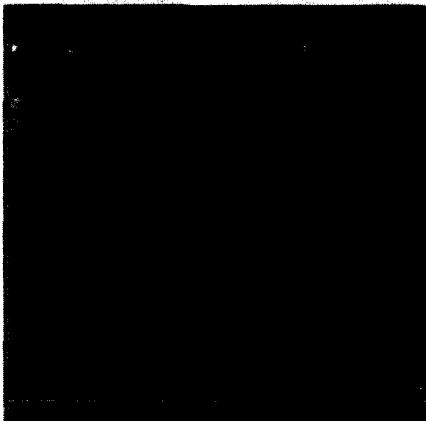
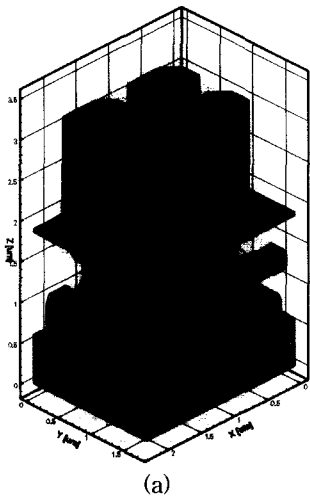
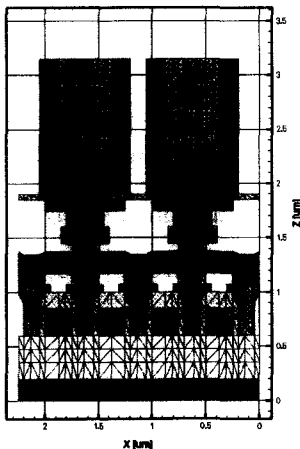


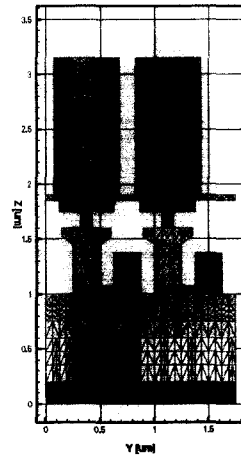
그림 8. 시뮬레이션에 사용된 DRAM 셀 레이아웃
Fig. 8. DRAM cell layout used for our simulation.



(a)



(b)



(c)

그림 9. DRAM 셀 시뮬레이션 구조 생성 결과 : (a) DRAM 셀 사시도, (b) 워드 라인 방향 측면도, (c) 비트 라인 방향 측면도

Fig. 9. Results of generation for DRAM cell structure : (a) Bird-eye's view, (b) Side view of word line direction, (c) Side view of bit line direction.

생성된 구조는 비트 라인과 워드 라인은 각각 $0.25\mu\text{m}$ 의 선폭과 $0.2\mu\text{m}$ 의 높이를 갖고, 캐패시터의 하부전극은 실린더 형태로 $1.25\mu\text{m}$ 의 높이와 두께 $0.1\mu\text{m}$, 장축 $0.425\mu\text{m}$, 단축 $0.3\mu\text{m}$ 의 크기를 갖는다. 또한, 캐패시터의 유전막은 유전상수로 25.6을 사용하였으며, 유전막의 두께는 5nm 의 값을 갖는다. 절연을 위한 절연막의 유전상수 값으로 3.9를 사용하였으며, 게이트의 사이드 월의 유전 상수 값으로 7.9를 사용하였다. 생성된 시뮬레이션 구조는 70,078개의 노드와 395,064개의 사면체로 구성되었다.

생성된 DRAM 구조에 대하여 시뮬레이션 수행하여 계산한 유전체 내부의 전위 분포의 한 예를 그림 10에 도시하였다. 그림 10에 도시된 전위 분포는 비트 라인(B1)과 워드 라인(W1)에 각각 1V의 전압이 인가되고 나머지 도전체의 경우 접지된 상태에서의 전위 분포이다. 그림 9의 구조는 워드 라인 4개, 비트 라인 2개, 하부 전극 4개, 상부 전극 1개의 도전체를 갖는다. 또한, 시뮬레이션 구조의 아래면에 그라운드를 두었다. 따라서, 전체 시뮬레이션에 의해 계산되는 캐패시턴스는 모두 66개로 4개의 셀 캐패시터와 62개의 기생 캐패시턴스로 구분된다.

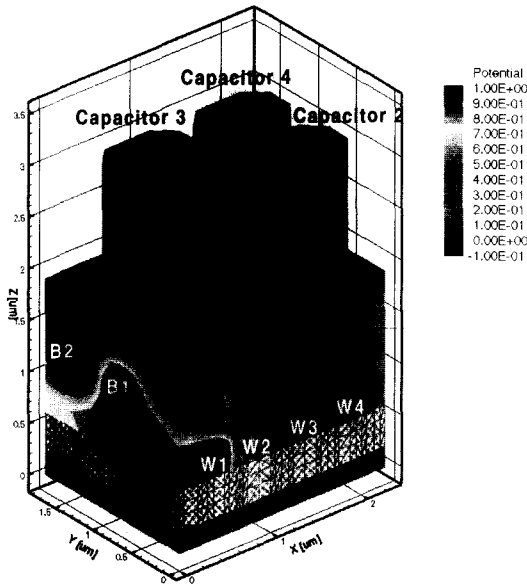


그림 10. 인가 전압에 의한 전위 분포
Fig. 10. Potnetial distribution when voltage applied.

66개의 캐패시턴스를 계산하기 위하여 SPARC Ultra 10 워크스테이션에서 25분 22초의 계산 시간을 소요하였으며, 약 201.4Mbyte의 메모리를 사용하였다. 시뮬레이션에 의해 계산된 결과는 표 1과 같다.

표 1에서 W, B는 각각의 워드 라인과 비트 라인을 나타낸다. 또한, STN은 하부 전극을 나타내는 것이며,

PLT는 상부 전극, GND는 그라운드를 말한다. 즉, 표1에서 나타낸 수치들은 각각의 도전체 사이의 기생 캐패시턴스 값을 말한다. 따라서, 상부 전극(PLT)과 하부 전극(STN) 사이의 캐패시턴스 값이 셀 캐패시턴스로써, 셀당 약 24.34fF으로 계산되었음을 볼 수 있다. 또한, 과거에 연구되었던 DRAM 셀 내에서 존재하는 기생 캐패시턴스 중에서 비트 라인 상호간의 기생 캐패시턴스 및 비트 라인, 워드 라인의 자기 캐패시턴스 성분보다 하부 전극과 비트 라인 사이의 기생 캐패시턴스 성분 및 인접한 하부 전극과 워드 라인 사이의 캐패시턴스 성분이 더 큰 값을 갖는 것을 볼 수 있다. 또한, 기생 캐패시턴스의 성분 중 워드 라인과 비트 라인 사이의 커플링 캐패시턴스가 가장 큰 값을 갖는 것을 볼 수 있다.

그림 11에 도시한 것은 셀 캐패시터 높이 변화에 따른 셀 캐패시턴스의 변화를 도시한 그래프이다. 그림 11에서 도시한 바와 같이 일정한 셀 실린더 반경을 갖는 셀 캐패시터는 높이에 따라, 선형적으로 증가하는 것을 볼 수 있으며, 높이가 0.05 μ m 증가할 때마다, 0.9fF의 캐패시턴스 용량이 증가하는 것으로 나타났다. 그러나, 기생 캐패시턴스 성분은 셀의 높이가 변화에 거의 영향을 받지 않았다. 이는 셀 높이 변화에 따른 비트라인 및 워드라인의 형상의 변화가 거의 없기 때문인 것으로 사료된다.

표 1. 계산된 캐패시턴스 결과(단위 : fF)

	W1	W2	W3	W4	B1	B2	STN1	STN2	STN3	STN4
W1		5.95e-2	6.44e-4	3.06e-5	4.35e-1	4.21e-2	2.04e-1	1.19e-4	2.01e-1	2.35e-5
W2			6.63e-2	6.64e-4	2.85e-2	4.17e-1	2.10e-1	4.62e-3	1.99e-1	5.31e-4
W3				5.99e-2	2.85e-2	4.18e-1	4.63e-3	2.08e-1	5.32e-4	1.98e-1
W4					4.35e-1	4.21e-2	1.19e-4	2.03e-1	2.35e-5	2.02e-1
B1						5.10e-2	1.76e-1	1.76e-1	1.46e-1	1.46e-1
B2							4.40e-4	4.40e-4	1.69e-1	1.69e-1
STN1								1.70e-2	1.88e-2	6.73e-4
STN2									6.73e-4	1.87e-2
STN3										7.84e-3
PLT	4.57e-4	3.35e-4	3.36e-4	4.57e-4	2.90e-2	5.20e-2	24.337	24.331	24.344	24.343
GND	6.57e-2	6.11e-2	6.11e-2	6.57e-2	5.90e-2	2.75e-2	1.20e-2	1.20e-2	1.20e-2	1.20e-2

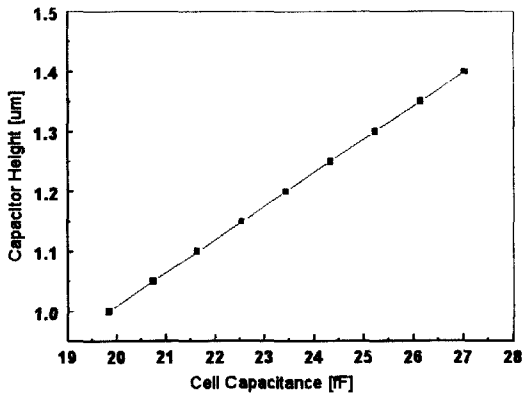


그림 11. 셀 캐패시터 높이에 따른 셀 캐패시터의 변화
Fig. 11. Cell capacitance variation vs. cell capacitor height variation.

V. 결론

본 연구에서 유한요소법을 이용한 에너지 계산법을 사용하여 DRAM 셀에서의 셀 캐패시턴스 및 기생 캐패시턴스를 수치해석적으로 계산할 수 있는 시뮬레이터를 개발하였다. 시뮬레이션 구조를 생성하는데 있어서 정확도를 더하기 위하여, 마스크 레이아웃 데이터와 및 공정 조건, 공정 순서를 이용한 토폴그래피 시뮬레이션을 수행하였다. 토폴그래피 시뮬레이션의 수행된 결과를 이용하여, 마스크 데이터를 기반으로 하는 3차원 솔리드 모델링에 필요한 데이터를 얻고, 이를 바탕으로 하여 캐패시턴스를 계산하기 위한 시뮬레이션 구조를 생성하였다.

시뮬레이션에 사용된 구조는 70,078개의 노드와 395,064개의 사면체로 구성된 STC 형태의 DRAM 셀로서, SPARC Ultra 10 워크스테이션에서 25분 22초의 계산 시간을 소요하였으며, 약 201.4Mbyte의 메모리를 사용하였다. 시뮬레이션 결과로 셀당 약 24.34fF의 셀 캐패시턴스를 계산해 내었으며, 64개의 기생 캐패시턴스에 대해서도 계산하였다. 기생 캐패시턴스의 계산 결과, STC을 갖는 DRAM 셀의 가장 주요한 기생 캐패시턴스 성분은 위드 라인과 비트 라인, 하부 전극과 비트 라인, 하부 전극과 위드 라인 사이의 커플링 캐패시턴스 성분이라는 것을 밝혀 내었다. 또한, 일정한 실린더 폭을 갖는 셀에 대하여 셀 높이에 따른 셀 캐패시터의 변화는 선형적으로 증가하는 것을 계산하였으며, 높이 0.05 μ m 증가마다 약 0.9fF의 셀 캐패시턴스 용량이 증가하는 것으로 나타났다.

참고 문헌

- [1] Akihiro Nitayama, Yusuke Kohyama, and Katsuhiko Hieda, "Future Directions For DRAM Cell Technology," Intl. Electron Devices Meeting Tech. Digest, pp.355-358, 1998.
- [2] Kuniaki Koyama, "Stacked Capacitor DRAM Cell Technology," International Conference on Solid State Devices and Materials, pp.268-269, 1997.
- [3] Gary Bronner, "Trench Capacitor DRAM Technology for 256Mb and Beyond," International Conference on Solid State Devices and Materials, pp.270-271, 1997.
- [4] J. S. Yuan and J. J. Liou, "Parasitic Capacitance Effects of the Multilevel Interconnects in DRAM Circuits," VLSI Multilevel Interconnection Conference(VMIC), pp.410-412, 1990.
- [5] Mark T. Bohr, "Interconnect Scaling-The Real Limiter to High Performance ULSI," Intl. Electron Devices Meeting Tech. Digest, pp.241-244, 1995.
- [6] J. Chern, J. Huang, L. Aldredge, P. Li, and P. Yang, "Multilevel Metal Capacitance Models for CAD Design Synthesis Systems," IEEE Electron Device Lett., Vol. EDL-13, pp.32-34, 1992.
- [7] Narain D. Arora, Kartik V. Raol, Reinhard Schumann, and Llanda M. Richardson, "Modeling and Extraction of Interconnect Capacitances for Multilayer VLSI Circuits," IEEE Trans. on Computer-Aided Design, Vol. 15, No. 1, pp.58-67, January, 1996.
- [8] M. Bächtold, S. Taschini, J. G. Korvink, and H. Baltes "Automated Extraction of Capacitances and Electrostatic Forces in MEMS and ULSI Interconnects from the Mask Layout," Intl. Electron Devices Meeting Tech. Digest, pp.129-132, 1997.

저 자 소 개



尹錫仁(學生會員)

1972년 12월 30일생. 1998년 인하대학교 전자재료공학과(공학사), 2000년 인하대학교 전자재료공학과(공학석사) 2000년~현재 인하대학교 전자재료공학과 박사과정, 주관심 분야는 반도체 소자 및 공정, 인터커넥트 시뮬레이션, TCAD와 ECAD의 인터페이싱 등임

元太映(正會員) 第35卷 D編 第5號 參照

1959년 2월 21일생. 1981년 서울대학교 전자공학과(공학사). 1983년 한국과학기술원 전기 및 전자공학과(공학석사). 1989년 미국 University of Illinois at Urbana-Champaign 전자공학과(공학박사). 1989년~1990년 미국 State University of New York 조교수. 1990~1991년 삼성전자(주) 수석 연구원. 1991년~현재 인하대학교 공과대학 전자전기컴퓨터공학부 부교수. 주관심 분야는 반도체 소자 및 공정 등임



權五燮(學生會員) : 1972년 9월 18일생. 1997년 인하대학교 전자재료공학과(공학사), 1999년 인하대학교 전자재료공학과(공학석사) 1999년~현재 인하대학교 전자재료공학과 박사과정, 주관심 분야는 반도체 소자 및 공정, 시뮬레이션 등임