

論文2000-37SD-7-6

고속 메모리동작을 위한 디지털 DLL회로 설계

(A Design of Digital DLL Circuits For High-Speed Memory)

李 仲 鎬 * , 趙 相 福 **

(Joong-Ho Lee and Sang-Bock Cho)

요 약

본 논문에서는 DDR(Double Data Rate) Synchronous DRAM에서 안전한 데이터 영역(tDV) 확보를 위한 DLL(Delay Locked Loop) 회로인 ADD(Alternate Directional Delay)회로 방식을 제안하였다. 본 방식은 디지털 DLL의 단점인 부가회로 면적(area-overhead)을 절감할 수 있는 방식으로써, 하나의 지연회로 체인(chain)을 이용하여 동시에 양방향으로 클럭을 발생할 수 있도록함으로써 기존의 SMD(Synchronous Mirror Delay)방식에 비해 약 2배의 부가회로 면적을 감소할 수 있도록 설계하였다. 또한 설계한 ADD방식의 지터(jitter)는 50ps-140ps이고, 동작 주파수 영역은 166MHz-66MHz이다.(2.5V, TYP. 동작조건)

Abstract

We proposed ADD(Alternate Directional Delay) circuit technique as the DLL(Delay Locked Loop) circuits which technique is established the data valid window(tDV) in DDR(Double Data Rate) Synchronous DRAM. This technique could be decrease area-overhead which it could generated bidirectional clock simultaneously using only one delay chain block. In this paper for high speed memory with relatively small size. This technique decreased area-overhead more 2 times than SMD(Synchronous Mirror Delay) technique. ADD technique has 50ps-140ps jitter and the operation frequency has 166MHz-66MHz range.(at 2.5V, TYP. condition)

I. 서 론

반도체 메모리의 속도 향상을 위해 기존 DRAM의

* 正會員, 現大電子 메모리 研究所
(Hyundai Electronic Memory Research Center Design Team)

** 正會員, 蔚山大學校 電氣電子 및 自動化工學部
(School of Electrical, Electronics and Automation, University of Ulsan)

※ 이 논문은 “정보통신부 우수시범학교 지원사업 및 반도체 설계교육센터(IDEC)”의 부분 지원으로 작성됨.
接受日字:1999年9月1日, 수정완료일:2000年5月30日

아키텍처(architecture)를 개선한 많은 종류의 DRAM들이 개발되었으며, 그 대표적인 것으로 Synchronous DRAM, Rambus DRAM, DDR(Double Data Rate) SDRAM 등이 있다. 최근 100-200MHz 이상의 동작 속도를 가지는 마이크로 프로세서의 시스템 클럭에 동기시켜 고속데이터 처리가 가능하게 하기 위해 DRAM내부에서 파이프라인(pipeline)^[1]이나 프리패치(prefetch) 방식^[2]을 적용한 아키텍처를 사용한다. 이러한 고속 아키텍처의 적용에 있어 고속의 시스템 클럭의 적용시 타이밍 마진(timing margin)이 더욱 적어지게 된다. 또한 모듈(module)간의 시간 지연(timing delay)은 고속 제품에서는 더욱 큰 문제점으로 부각되고 있으며, 안전한 데이터 영역(tDV)의 확보가 중요한 관건이 된다. 이러한 타이밍 마진 확보를 위해 DLL(Delay-

Locked Loop)과 같은 회로 방식을 채용하게 되었다.

현재 대부분의 동기식 회로에서는 내부 클럭지연(Clock Skew)을 제거하기 위해 PLL (Phase-Locked Loop)이나 DLL 기법을 사용하고 있으며, DDR SDRAM에도 DLL 기법이 적용되고 있다. DDR SDRAM에서 DLL의 적용은 클럭의 지터를 개선할 수 있으며, SDRAM 내부에서 안전한 데이터 영역(tDV)확보를 위해 필수적인 회로방식이다. DLL회로방식은 크게 아나로그와 디지털 DLL로 나눌 수 있다. 아나로그 방식은 회로 동작의 정확도에 비해 많은 stand-by 전류(약 10mA)를 요구하며, DLL의 록킹(locking) 사이클 또한 수백 클럭 사이클^[3]이 요구된다. 따라서 DDR 제품에서 클럭의 록킹을 위해 부가적으로 200 사이클의 대기시간을 설정해서 사용하고 있으며, 또한 기존의 SDRAM에 비해 약 10배 이상의 stand-by 전류가 요구되고 있다. 이는 DDR SDRAM의 내부동작 중 stand-by 모드시 많은 전력소모를 유발하며, 따라서 저전력(power-down) 모드시 DLL회로 동작을 정지시키도록 요구하고 있다. 그러나 저전력 모드에서 정상동작 모드로 전환시 DLL회로의 정상동작을 위해 록킹클럭 사이클이 필요하며, 200 사이클로 규정하고 있다. 이는 고속, 저전력 제품을 추구하는데 있어서 하나의 걸림돌로 작용하고 있다. 이러한 단점을 제거하고자 디지털 DLL이 제시되었다. 디지털 DLL의 stand-by 전류는 1mA이하로써(수십 uA) 아나로그 DLL에 비해 무시할 수 있으며, 록킹 사이클또한 2 사이클 이내로써 DDR의 내부동작을 이용하면 별도의 대기시간 없이 사용할 수 있다는 장점이 있어서 향후 DDR 제품에 각광을 받으리라 기대된다.

디지털 DLL에는 NDC(Negative Delay Circuit)[4], SMD(Synchronous Mirror Delay)^[1], RDLL(Register controlled DLL)^[4-7]등이 있다. 이러한 것들은 크게 귀환 루프(feed-back loop)를 가지는 회로 방식(RDLL)과 그렇지 않은 방식(NDC, SMD)으로 구분지을 수 있다. 귀환 루프를 가지는 방식은 그렇지 않은 방식에 비해 수백 이상의 부가회로 면적을 가진다. 또한 일반적인 디지털 DLL방식은 아나로그 DLL에 비해 부가회로 면적이 크다는 단점을 가진다.

본 논문에서는 SMD를 개선한 새로운 ADD 방식을 제안한다. 제안하는 방식은 디지털 DLL의 단점인 부가회로 면적을 최소화 할 수 있어서, SMD 방식에 비해 2배 이상의 부가회로 절감 효과를 가지도록 설계하였

다.

제2절에서는 DDR SDRAM에서 DLL의 역할에 대해 기술하였고, 제3절에서는 SMD기법에 대해, 제4-6절에서는 본 논문에서 제안한 ADD방식에 대해 기술하였으며, 마지막 6절에는 결론을 맺는다.

II. DDR SDRAM에서 DLL

1. DLL의 역할

기존의 SDRAM에서 외부클럭(CLK)과 출력 데이터(DQ)와의 관계를 그림 1의 a)에 나타내었다. 출력단(DQ)은 외부클럭에 동기되어 출력된다. 이때 외부클럭에 동기된 이후 최종 출력까지 소요되는 시간을 액세스 타임(access time : tAC)이라고 하며, 이는 전원 전압이나 온도, 공정변수 그리고 배선길이가, 회로에 의한 지연등에 의해 결정된다. 또한 이러한 요소들은 액세스 타임이 클수록 안전한 데이터 영역(tDV)의 확보를 어렵게 한다. 따라서 고속 메모리(DDR SDRAM 등)에서는 안전한 데이터 영역 확보가 더욱 어렵게 되며, 이를 해결하기 위해 DLL 회로 방식이 채용되었다. DLL 회로 방식은 그림1의 b)에서 표기된 액세스 타임 만큼 위상 앞선 클럭을 SDRAM 내부에서 발생하도록 하여 액세스 시간에 의한 안전한 데이터 영역 손실을 상쇄토록 하였다. 결국 시스템의 관점에서 외부클럭에 동기되어 액세스 시간 만큼의 시간지연 없이 출력단으로 부터 출력 데이터를 받을 수 있다. 따라서 기존 SDRAM에 비해 충분한 안전한 데이터 영역 확보가 가능하다. 그림 1의 b)에 DDR SDRAM에서 외부클럭과 출력단과의 관계를 나타내었다. DDR SDRAM에서 액세스 타임(tAC)은 DLL의 지터, 온도 및 공정 변수에 의한 변동량을 나타낸다. 기존 SDRAM에서 액세스 타임과는 다르다.

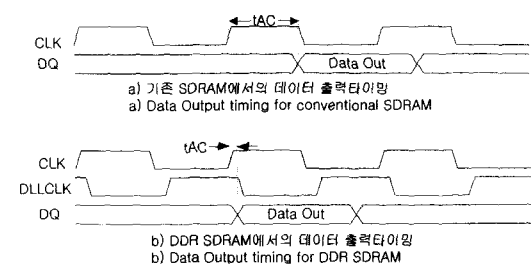


그림 1. 데이터 출력 타이밍
Fig. 1. Data Output timing.

2. DLL방식의 비교

DLL회로 방식으로 크게 아날로그 타입과 디지털 타입으로 구분지을 수 있다. 아날로그타입은 신호의 록킹에 필요한 지연량을 전압또는 전류를 이용해 연속적으로 제어하도록 하는 방식으로서 지연회로부의 지연량은 항상 변화한다. 따라서 전력소모가 많고 록킹 사이클이 긴 단점이 있으나 신뢰도가 높은 장점을 가진다. 반면 디지털 타입은 전력소모가 작고 록킹 사이클이 짧아서 고속메모리에 적용이 용이하다는 장점을 가진다. 아날로그 타입과 디지털 타입의 일반적인 비교를 표 1에 나타내었다.

표 1. 디지털 DLL과 아날로그 DLL의 비교
Table 1. Compare digital DLL with analog DLL.

	디지털 타입	아날로그 타입
동작 주파수 대역	좁다	넓다
록킹 사이클	2 사이클	100 사이클내외
전력소모	10mA 이하	10mA 이상
지터	크다	작다

III. Synchronous Mirror Delay(SMD)

기존의 SMD 회로는 그림2와 같으며, 크게 4개의 블럭으로 구성된다. 이는 FDA (Forward Delay Array), BDA(Backward Delay Array), MCC(Mirror Control Circuit)와 클럭 입력버퍼에서 출력버퍼(Dout Buffer)를 제어하는데 까지의 총 지연시간(clock skew)을 고려한 DMC(Delay Monitor Circuit)블럭으로 이루어져 있다. 입력 버퍼의 지연시간을 $d1$, 클럭구동 버퍼의 지연 시간을 $d2$ 라고 할때, 그림3에 동작파형을 나타내었다.

SMD는 귀환이 없는 회로로서 2 클럭사이클 동안 록킹이 이루어진다. 임의의 n 번째 클럭의 DMC출력 상승에지(rising edge)에서부터 $n+1$ 번째 클럭의 입력버퍼 출력의 상승에지까지($t_{CK} - (d1+d2)$)의 위치에 DCLK의 상승에지가 발생된다. DCLK가 FDA블럭 내에 전파되고, 이때 $n+1$ 번째의 ICLK와 일치하는 FDA(i) 출력은 $t_{DA} (=t_{CK} - (d1+d2))$ 만큼 지연된다. FDA(i) 출력은 BDA블럭을 통해 동일한 지연 경로(t_{DA})를 거쳐 출력된다. 결국 $n+2$ 번째 CLK(외부클럭)보다 $d2$ 만큼 앞서는

클럭을 얻을 수 있고, 이를 $d2$ 만큼 지연시키면 CLK와 동일한 위상의 파형을 얻을 수 있다.

SMD에서 DMC의 총 지연시간은 t_{CK} 보다 작아야 하며($t_{DA} > 0$), 또한 DCLK의 전파이후 $n+1$ 번째 클럭 이전에 $G(i)$ 신호가 발생되어야 한다. 즉, $t_{DA} < t(FDA(n))$ 를 만족해야 한다. 이로부터 SMD의 록킹 영역은 $t_{DA} < \text{록킹 가능영역} < t_{DA} + t(FDA(n))$ 가 된다.

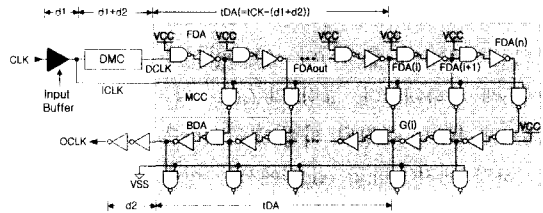


그림 2. SMD 회로의 구성도
Fig. 2. Block diagram of the SMD circuit.

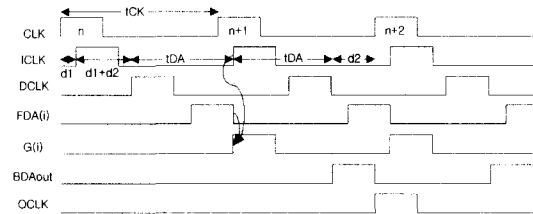


그림 3. SMD 회로의 동작 타이밍도
Fig. 3. Timing diagram of the SMD circuit.

IV. Alternate Directional Delay(ADD) 단위 지연블럭의 구성

1. ADD회로의 구성 및 단위 지연블럭의 구성
제안하는 ADD방식의 단위 지연회로(Unit Delay) 블럭은 그림4와 같이 구성된다. 그림 4의 기본 블럭은 SMD 방식에 비해 단위 지연회로가 간략화 되었으며, 지터를 향상시킬 수 있다. SMD의 경우 MCC블럭에 의해 발생하는 지터요인과 단위 지연블럭의 구성(AND logic : 그림 2)이 본 방식에 비해 더욱 많은 지터 요인을 가지고 있다.

제안하는 ADD 방식의 동작원리에 대해 살펴보자. 그림4의 FWD에 동기하여(FWD = Logic High 시) 입력신호 IN1이 단위 지연회로 '1'에서 '2'로 순차적(단위 지연회로 'n-1' => 단위 지연회로 'n')으로 진행되는

다. 만약 FWD(=/BWD)가 "low"로 천이(transition)하면 순방향으로 진행하던 입력신호 IN1의 진행이 차단되고 역방향으로 진행된다. 이는 Unit Delay내에 존재하는 서로 대칭의 2개의 인버터 중 하나의 인버터만 턴온(turn on)되어 있는데, 클럭(FWD)이 천이하면 이전에 턴온되어 있던 인버터는 턴오프(turn off) 되면서 다른 반대쪽 인버터가 턴온되기 때문이다. 따라서 단위 지연 회로 'n'에서 'n-1'로 신호가 역으로 전파되어 결국 순방향으로 전파되었던 동일한 시간(tDA)만에 OUT1으로 입력신호 IN1이 출력된다. ADD방식의 동작 개념도를 그림5에 나타내었다. 그림5의 (a)는 단지 클럭(FWD)의 상승 에지에서 록킹된 파형(OUT1)만을 나타내고 있으며, 하강 에지(falling edge)에서는 상승 에지에서 순방향으로 전파된 만큼 반대로 역으로 전파되어야 하기 때문에 클럭의 하강 에지에서 다른 입력신호(IN2)를 인가할 수는 없다. 따라서 BWD의 하강 에지에서 록킹된 파형을 얻기 위해 BWD가 "high"일 동안 IN2가 전파될 수 있는 동일한 지연 회로가 필요하며, 이때는 입력신호 IN2가 단위 지연회로 '1'에서 '2'로 순차적으로 진행한다. 또한 BWD가 "low"로 천이하면 순방향으로 진행하던 입력신호 IN2의 진행이 차단되고 역방향으로 진행된다. 그림5의 (b)에 FWD의 하강 에지에 록킹된 동작 개념도를 나타내었다.

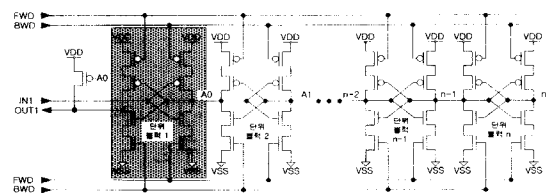
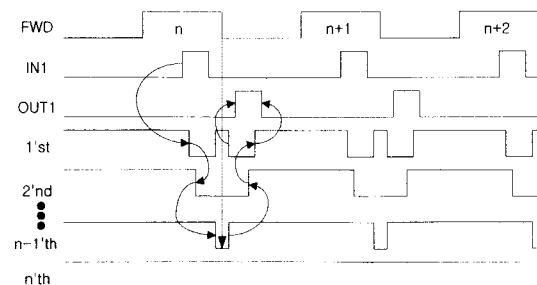
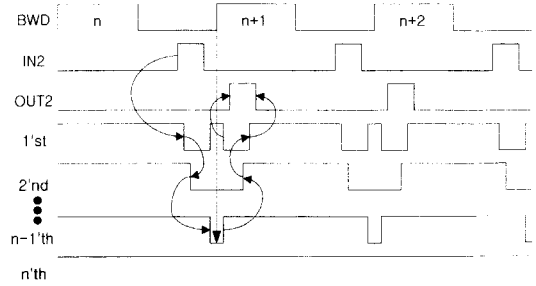


그림 4. ADD 회로의 지연회로 블록도
Fig. 4. Delay unit of the ADD circuit block diagram.



(a) FWD의 상승 에지에 록킹되는 동작 개념도

(b) locking concept at CLK rising edge.



(b) BWD의 하강 에지에 록킹되는 동작 개념도

(b) Locking concept at CLK falling edge

그림 5. ADD 방식의 동작 개념도

Fig. 5. Timing concept of ADD technique.

SMD 방식의 경우 클럭의 상승에지와 하강에지에서 각각 DLL클럭을 발생할 수 있도록 지연회로 블록을 구성하여야 하며, 그림2의 예는 클럭의 상승에지에 록킹된 클럭을 발생하는 회로 블록이다. 그림4의 지연회로 블록을 이용하여 ADD회로를 구성할 경우 FWD의 상승에지와 하강에지발생을 위한 2개의 지연회로 블록과 BWD의 상승에지와 하강에지 발생을위한 2개의 지연회로 블록이 요구되어 총 4개의 지연회로 블록이 요구된다. 이와 같은 방식으로 구성한 ADD블럭도는 그림6-1에 나타내었다.

2. ADD회로의 최적화

그림 3의 단위 지연회로를 재 구성하여 하나의 지연회로 블록의 입출력이 양방향이 되도록 설계한다면, 2개의 지연회로 블록을 하나의 지연회로 블록으로 줄일 수 있다. 즉, 그림4의 지연회로 블록에서 IN1과 OUT1은 지연회로 1단에 연결되어 있다. 이때 그림4의 n-1번째 단에 입력 IN2를 연결하고 n번째 단에 출력 OUT2를 연결하면 지연회로를 2배로 절감할 수 있다. 그림4의 지연회로 블록은 IN1과 IN2의 입력신호가 순방향으

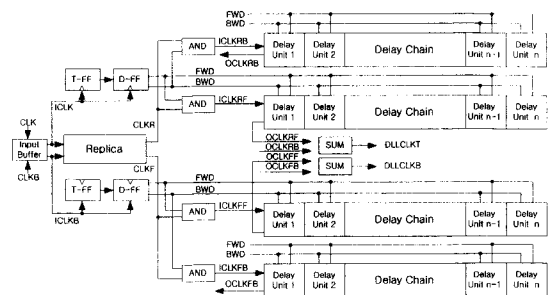


그림 6-1. ADD방식 구성도

그림 6-1. Block diagram of the ADD technique.

로 진행되는 과정에서 발생가능한 신호의 충돌을 방지할 수 있도록 설계하였다. 그림6-2에 재 구성한 ADD 회로를 나타내었다.

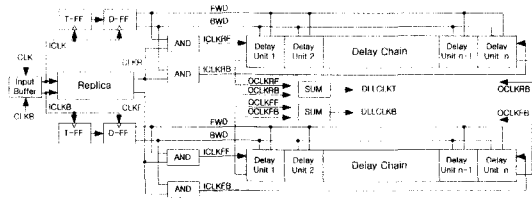


그림 6-2. 최적화된 ADD방식 구성도
 그림 6-2. Optimized block diagram of the ADD Technique.

V. ADD회로의 설계

1. ADD회로의 구성 및 동작

제한한 ADD회로는 크게 클럭발생부, Replica부, 지연회로부로 구성된다. 지연회로부를 제어하는 클럭 FWD(BWD)는 클럭 ICLK(ICLKB)를 2분주하여 얻는다. 클럭 입력단에서부터 데이터 출력단까지의 ICLK와 CLKR사이의 지연시간($t_D = t(d1 + d2)$)은 내부 클럭버퍼에서 데이터 출력단까지의 경로에 의해 결정되는 인자이며, 이 경로는 동일한 제품에 대해서는 고정된 값을 가진다. 따라서 t_{CK} 가 작을수록 상대적으로 t_D 는 커진다. 이는 시스템 클럭이 고주파수로 갈수록 DLL회로에서 클럭의 록킹 영역을 벗어날 수 있음을 나타낸다. 따라서 클럭의 2분주는 고주파수 영역에서의 록킹 동작을 개선하는데 효과적이다.

지연회로부를 제어하는 내부클럭(FWD, BWD)은 D-ff로부터 발생되는데 이때 D-ff의 출력 Q와 QB를 사용하면 타이밍 스큐(timing skew)가 너무 커서 이 또한 ADD의 지터를 증가시키는 요인이 된다. 따라서 D-ff를 내부적으로 두 개로 분리하여 Q와 QB를 각각 독립된 회로에서 출력되도록 하여 타이밍 스큐를 감소시켰다. 그림6-2의 전체 구성에서 지연회로부는 크게 두 개의 블럭으로 구성된다. 이는 2분주된 클럭을 사용하므로 하나의 지연회로부는 외부클럭에 대해 1/2cycle의 클럭(DLLCLKT)만 발생할 수 있다. 따라서 나머지 1/2cycle의 클럭(DLLCLKB)을 발생하기 위해 지연회로부가 하나 더 필요하다. 지연회로부에서 2분주된 클럭

FWD(BWD)가 각 단위 지연회로를 제어하는 동안 FWD의 상승 에지에 동기된 입력신호 ICLKRF(FWD와 CLKR을 논리 AND시킨 출력)가 입력되어 순방향으로 진행된다. FWD가 "high"에서 "low"로 천이하는 순간 ICLKRF가 역방향으로 진행된다. 이와 동시에 ICLKRB에 FWD의 하강 에지에 동기된 신호가 입력되고, 단위 지연회로 n에서 n-1로 진행된다. tDA이후에 역방향으로 진행하던 ICLKRF신호가 OCLKRF로 출력되고, FWD가 "low"에서 "high"로 다시 천이하면 ICLKRB의 진행이 역방향으로 비된다. 또한 tDA이후에 OCLKRB로 ICLKRB신호가 출력된다. 따라서 OCLKRF와 OCLKRB를 조합하면 외부클럭에 대해 1/2 주기의 파형을 얻을 수 있다. SUM블럭은 OCLKRF와 OCLKRB를 조합하는 블럭이다. 최종적으로 QCLKT와 OCLKB를 얻을 수 있는데 QCLKT는 CLK에 대해 록킹된 클럭이고, QCLKB는 CLKB에 록킹된 클럭이다. 본 회로의 Replica부의 부지연(negative delay(t_D))량은 4ns(TYP. 조건)이다. DLL의 동작에서 Replica부의 부지연량이 클수록 동작 주파수영역은 저주파수쪽으로 확장되고, 반대로 t_D 가 작을수록 고주파수 쪽으로 확장된다. DDR SDRAM의 경우 166MHz이상의 동작을 위해 t_D 의 감소가 매우 중요하며, DLL의 동작(166MHz 이상)에도 중요한 요인이다. 그러나 저주파수 동작영역 확보를 위해서는 더 많은 단위 지연회로가 필요하게 된다. ADD에서는 저주파수 동작 영역확보를 위해 단위 지연회로 1과 n은 다른 단위 지연회로과 다르게 설계하였으며, 그림7에 나타내었다. 그림7에서 하나의 단위 블럭의 지연량은 약 750ps(t_{PD})이며 그림 6-2에서 입력 ICLKRF가 역전파되어 출력되는 과정에 대한 시뮬레이션 결과를 그림8에 나타내었다. 제한하는 ADD회로의 TYP.조건에서 시뮬레이션 결과를 그림9에 나타내었으며, 파형에서 A0 - A26 node는 각 단위 지연회로의 출력단(단위 지연회로 1 - 단위 지연회로 28)을 나타낸 것이다.

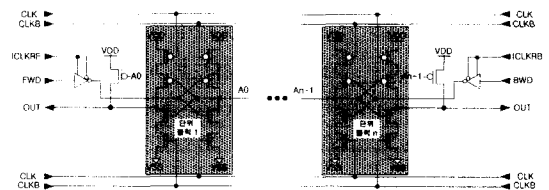


그림 7. 첫 번째와 n번째의 단위 지연 회로 블럭
 Fig. 7. Delay Unit block of 1st and n'th.

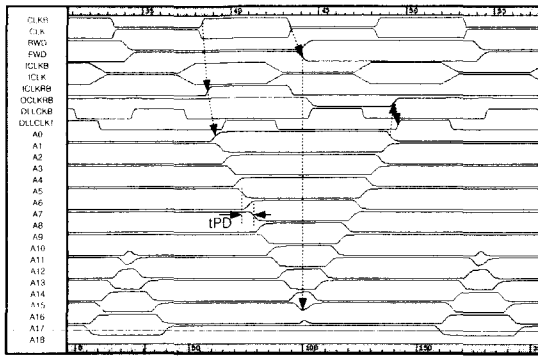


그림 8. 지연회로 블록의 신호 전파에 대한 시물레이션파형
 Fig. 8. Simulation waveform of unit delay block for signal propagation.

2. Replica부의 구성

클럭입력단에서 부터 데이터 출력단까지의 지연시간 t_D 는 동작온도에 따라서 변화하는 인자이다. t_D 만큼의 부지연을 얻기 위해 단순한 인버터 지연회로를 사용했을 때 온도변화에 따라서 변화하는 지연량을 t_1 이라 하자. 이때 클럭 입력버퍼에서 데이터 출력단까지의 온도 변화에 따라서 변화하는 지연량을 t_2 라하면, t_1 과 t_2 의 온도변화에 따른 변화량은 서로 다르다. 따라서 SMD 나 다른 DLL회로에서 t_1 과 t_2 가 서로 동일한 변동량을 갖도록 설계한다면 이로 인한 지터량의 증가를 방지할 수 있다. 이는 DLL회로의 지터를 개선하는데 매우 중요한 요소이다. 따라서 온도변화에 적절히 대처하기 위해 클럭 입력단에서 부터 데이터 출력단까지의 전체 경로에 대한 부하를 복사한 Replica부를 추가하여 t_1 과 t_2 가 서로 동일한 값을 갖도록 함으로써 온도보상을 하였다.

Replica부의 회로는 클럭 입력단에서부터 데이터 출력단까지의 전체경로에 대해 신호흐름의 부하로 작용되는 소자를 적정 비율로 축소하였다. 이때 소자의 축소는 공정측면에서 실제 웨이퍼(wafer)와 모델링하여 축소한 소자와의 차이가 발생하지 않는 범위에서 축소하였다. 또한 8개의 출력버퍼(I/O단)가 하나의 클럭 제어신호에 연결되어 부하로 작용하도록 내부적으로 설계되어 있으므로 1/8로 출력버퍼단을 축소하였으며, 신호선에 대해 1/8로 모델링하였다.

3. ADD회로와 SMD회로의 비교

그림2의 SMD 방식의 지연회로 블록은 FDA, MCC,

BDA블럭들로 구성되어 있으며, CLK에 대한 DLL 클럭발생 회로구성을 나타내고 있다. 따라서 CLK에 대한 DLL 클럭발생 회로부가 요구되어 전부 2개의 지연회로 블록과 기타 부가회로가 요구된다. 이때 ADD 방식은 2개의 지연회로 블록으로 구성되어 SMD 방식과 구성이 동일하며, 하나의 단위지연 회로블럭의 구성을 살펴보면 다음과 같다. ADD 방식은 2단의 클럭인버터로 구성되며, SMD 방식은 4개의 2입력 NAND로직과 2개의 인버터로 구성되어 ADD 방식에 비해 4개의 2입력 NAND로직이 추가로 요구된다. 따라서 SMD 방식에 비해 단위 지연회로 블록의 부가회로가 약 2배이상 작다.

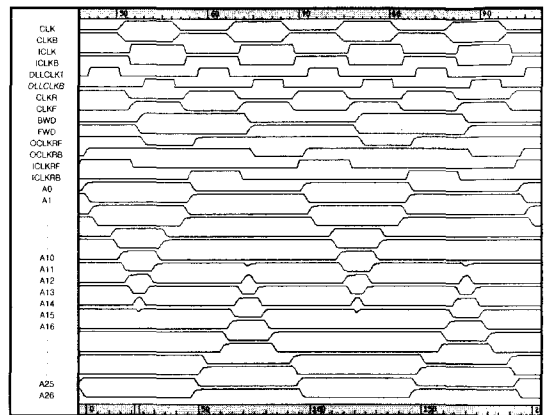


그림 9. ADD회로의 동작 타이밍도
 Fig. 9. Timing diagram of the ADD circuit.

VI. ADD의 동작 특성

제안한 ADD방식의 동작 주파수 영역을 표2에 나타내었으며, 동작 주파수 영역에서의 지터량을 각 온도 변화(AW, TYP, MW)에 따라 표2에 나타내었다. 전원 전압 2.5V(VDD)에서 HSPICE로 시물레이션 하였으며, 0.2um 공정 파라미터를 사용하였다.

동작 주파수영역은 TPY. 조건에서 166MHz-66MHz이며, 제안한 회로에서 고주파수는 t_D 에 의해 결정되고, 저주파수는 지연회로부의 길이에 의해 결정된다.(총 42개의 단위 지연회로를 사용) 제안한 ADD회로의 고주파수 특성을 개선하기 위해 Replica부를 구성하는 지연회로 블럭의 개선이 시급한 과제이다.

표 2. ADD의 동작 특성
Table 2. Characteristic of ADD.

	동작 주파수	지터
AW	142MHz-62MHz	88ps-160ps
TYP	166MHz-66MHz	50ps-144ps
MW	200MHz-70MHz	50ps-80ps

VII. 결 론

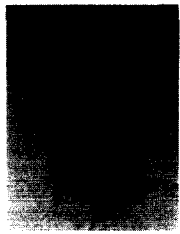
본 논문에서 제안한 ADD방식은 하나의 지연회로로 두 개의 입력과 2개의 출력을 가지도록 설계하여, 신호의 흐름이 양방향성을 가지도록 하였다. 이는 회로의 면적을 2배 감소시키는 효과를 나타낸다. 제안한 회로의 동작 주파수 영역은 166MHz-66MHz이며, 각 주파수 영역에 지터량은 70ps이하로서 양호한 지터특성을 가진다. 동작 주파수는 Replica부의 부지연량이 작을수록 높은 주파수 영역에서 유리할 것이다. 또한 ADD회로 내에 Replica부를 두어 온도변화에 따른 지연량의 변화를 서로 상쇄토록하여 지터량을 개선하였다.

참 고 문 헌

[1] Y. Takai et al., "250 Mbyte/s Synchronous DRAM Using a 3-Stage-Piplined Architecture," IEEE J.Solid-State Circuits, vol.29, pp.426-431, Apr. 1994.

[2] Y. H. Choi et al., "16-Mb Synchronous DRAM with 125-Mbyte/s Data Rate," IEEE J. Solid-State Circuit, vol.29, pp.529-533, Apr. 1994.
 [3] T. Sakei et al., "A 2.5-ns Clock Access, 250MHz, 256-Mb SDRAM with Synchronous Mirror Delay," IEEE J.Solid-State Circuits, vol.31, No.11, pp.1656-1665, Nov. 1996.
 [4] T. Yamada et al., "Capacitance coupled Bus with Negative Delay Circuit for High speed and Low Power(10GB/s<500mW) Synchronous DRAMs," Symp. VLSI circuits, pp.112-113, June. 1996.
 [5] A. Hatakeyama et al., "A 256Mb SDRAM Using a Register-Controlled Digital DLL," IEEE International Solid-State Circuits Conf., pp.72-73, 1997.
 [6] B. W. Garlepp et al., "A Portable Digital DLL for High-Speed CMOS Interface Circuits," IEEE J.Solid-State Circuits, vol.34, No.5, pp.632-644, May. 1999.
 [7] F. Lin et al., "A Register-Controlled Symmetrical DLL for Double-Data-Rate DRAM," IEEE J.Solid-State Circuits, vol.34, No.4, pp.565-568, Apr. 1999.

저 자 소 개



李 仲 鎬(正 會 員)

1965년 1월 23일생. 1988년 2월 울산대학교 전자 및 전산기공학과 졸업(공학사). 1990년 2월 울산대학교 대학원 전자 및 전산기공학과 졸업(공학석사). 1994년 8월 울산대학교 대학원 전자 및 전산기동학과 졸업(공학박사). 1994년 11월~1999년 10월 LG 반도체 책임연구원. 1999년 10월~현재 현대전자 메모리연구소 책임연구원<주관심 분야 : DRAM설계 및 테스트>



趙 相 福(從 信 會 員)

1955년 6월 10일생. 1979년 2월 한양대학교 전자공학과 졸업(공학사). 1981년 2월 동 대학원 전자공학과 졸업(공학석사). 1985년 2월 동 대학원 전자공학과 졸업(공학박사). 1994년 8월~1995년 8월 Univ. of Texas, Austin 초빙학자. 1986년 3월~현재 울산대학교 교수. 자동차전자 연구센터 소장. 주관심 분야는 ASIC 설계, 자동차 전자회로 설계, 비전 시스템 개발, 테스트 및 테스트 용이한 설계 등임