

論文 2000-37SD-11-1

# 0.18 $\mu\text{m}$ CMOS Technology에서 인터커넥트 라인에 의한 지연시간의 게이트 폭에 대한 의존성 분석

## (Characterization of the Dependence of Interconnect Line-Induced Delay Time on Gate Width in 0.18 $\mu\text{m}$ CMOS Technology)

張 晶 竣\*, 李 熙 德\*

(Myoung-Jun Jang and Hi-Deok Lee)

## 요 약

본 논문에서는 인터커넥트 라인을 구동하는 CMOS소자의 게이트 폭의 변화에 따라 소자 및 인터커넥트 라인에 의한 RC 지연시간이 어떤 특성을 보이는지에 대하여 분석하였다. 인터커넥트 라인의 캐패시턴스 성분만이 주로 나타나는 구조에서는 MOSFET의 크기가 커질수록 전체 지연시간이 감소하는 특성을 보였다. 반면에 인터커넥트 라인의 저항 및 캐패시턴스 성분이 대등하게 지연시간에 영향을 미치는 구조에서는 전체 회로의 지연시간이 최소가 되는 MOSFET 크기가 존재함을 수식적으로 제안하고 실험치와 비교하여 잘 맞음을 증명하였다.

## Abstract

In this paper, the dependence of interconnect line-induced delay time on the size of CMOSFET gate width is characterized. In case of capacitance dominant interconnect line, the total delay time decreases as transistor size increases. However, there exists a transistor size for minimum total delay time when both of resistance and capacitance of interconnect line become larger than those of transistor. The optimum transistor size for minimum total delay time is obtained using an analytic equation and the experimental results showed good agreement with the calculation.

## 1. 서 론

지난 수 십년 동안 ULSI 기술의 발달로 CMOS 소자의 크기가 감소함에 따라 회로의 집적도(density)가 증가하고, 디지털 회로에서의 switching 속도 증가 및 아날로그 회로에서의 대역폭 증가와 같은 chip 성능 향상이 이루어져 왔다. 그러나 과거에는 이러한 성능향상이 주로 소자의 scale down에 의해 얻을 수 있었으나, 최근의 0.18 $\mu\text{m}$  CMOS technology와 같은 deep sub-micrometer technology에서는 전체 chip

의 성능이 소자의 속도보다는 인터커넥트 라인(interconnect line)에 의해 더욱 큰 영향을 받게 되었다. 즉, 인터커넥트 라인의 scale down이 소자의 scale down과 동시에 진행되면서 인터커넥트 라인의 자체 저항과 인터커넥트 라인 사이의 커플링 캐패시턴스에 의한 RC 지연시간과 인접 인터커넥트 라인사이에서 발생하는 크로스토크(cross-talk) 혹은 커플링 잡음(coupling noise)등이 회로 성능에 큰 영향을 주기 때문이다<sup>[1-4]</sup>. 특히 수 mm 이상의 인터커넥트 라인인 경우에는 인터커넥트 라인의 RC 지연시간이 소자의 지연시간 보다 수 십배 이상 커져서 회로나 Chip의 동작속도가 인터커넥트 라인에 의해 결정되며 따라서 인터커넥트 라인의 저항과 캐패시턴스를 줄이는 것이 매우 중요하다<sup>[5-8]</sup>.

그러나 본 논문에서는 인터커넥트 라인의 배선 구조

\* 正會員, 現代電子産業 株式會社

(HYUNDAI Electronics Industries Co.,Ltd.)

接受日字:2000年 7月13日, 수정완료일:2000年 9月1日

에 따라서는 전체 지연시간이 소자에 의존하는 경향이 달라지며, 특히 전체 지연시간을 최소화하는 소자의 크기가 있음을 분석하였다. 즉, 인터커넥트 라인의 저항이 소자의 저항보다 작은 경우에는 소자의 크기를 증가시키는 것이 전체 지연시간을 감소시키는데 필요한 반면에 인터커넥트 라인의 저항이 소자의 저항보다 큰 영역에서는 일정한 MOSFET 크기 이상에서는 아무리 MOSFET의 크기를 증가시켜도 전체 지연시간은 거의 감소하지 않으며 오히려 전체 지연시간은 증가한다는 것을 발견하였다. 이러한 현상에 대한 체계적인 분석을 위해 0.18 $\mu$ m CMOS technology에서 인터커넥트 라인 길이별로 CMOS 게이트 폭 변화에 따른 RC지연시간을 측정결과와 해석적인 지연시간 모델을 이용하여 비교하였다. 이러한 특성에 대한 실험 결과는 인터커넥트 라인의 RC 지연시간을 줄이기 위해서 인터커넥트 라인 중간에 삽입하는 Repeater의 크기를 결정하여 회로의 성능을 극대화하면서 Chip의 직접도를 높이는데 유용하리라 여겨진다.

## II. 제작 공정

표 1에 본 논문에서 사용된 테스트 칩(test chip) 제작을 위해 적용된 공정 및 인터커넥트 라인의 design rule에 대해 나타내었다. 테스트 칩은 6층 인터커넥트 라인 구조를 갖는 0.18 $\mu$ m CMOS technology로 제작되었고, 주요 공정으로는 STI(shallow trench isolation), Retrograde twin well, NO annealed 35Å 게이트 절연막, LDD이온 주입, Sidewall 구조, Halo 이온주입, 소스/드레인 이온주입과 Ti-capped

표 1. 실험에 사용된 0.18 $\mu$ m CMOS technology에서 배선 및 소자의 주요 파라미터

Table 1. Key interconnect and device parameters of 0.18 $\mu$ m CMOS technology used for experiments.

Process	Key Parameter
Metal 1 Line width/space	0.23 $\mu$ m/0.23 $\mu$ m
Thickness of Metal	5250Å
Thickness of IMD (HSQ+PETEOS)	4500Å+3500Å
NMOS/pMOS Saturation Current	600/280 $\mu$ A/ $\mu$ m

코발트(cobalt) salicide등이 있다<sup>9, 11</sup>. 그리고 인터커넥트 라인의 기생 캐패시턴스 및 커플링 캐패시턴스를 줄이기 위해 절연상수가 3.1인 HSQ(Hydrogen Silesquioxane)를 IMD층의 일부로 사용하였다. 0.23 $\mu$ m 폭의 인터커넥트 라인을 균일하게 형성하고 전체 칩내에서 금속 밀도를 일정하게 유지하도록 배선의 밀도가 소밀한 곳에는 Dummy 금속층을 형성하였다. 6층으로 구성된 다층 인터커넥트 라인 (Multi level metalization) 구조의 공정 진행 결과를 그림 1에 나타내었다. 1층 인터커넥트 라인의 폭/간격(Width/Space)의 설계 룰(design rule)은 각각 0.23/0.23 $\mu$ m 이고 두께는 약 0.5 $\mu$ m 이다.

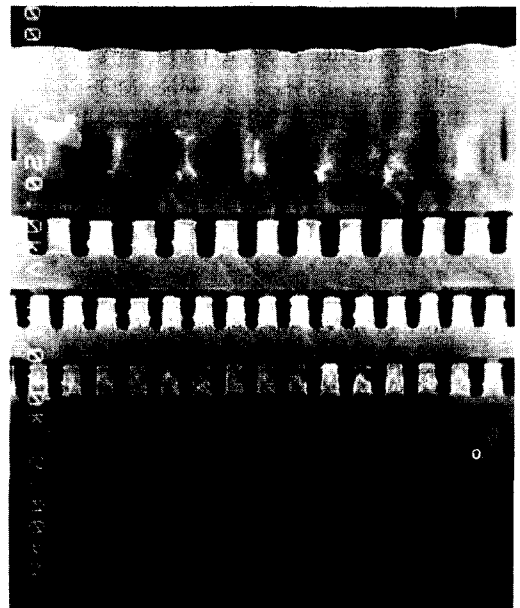


그림 1. 6층 금속 배선 구조에 대한 SEM 사진  
Fig. 1. SEM photograph of 6 level metal interconnect structure.

인터커넥트 라인에서 나타나는 캐패시턴스 성분은 그림 2와 같이 총 3가지로 분류할 수 있다. 즉 신호 라인과 인접한 라인 사이에서 발생하는 커플링 캐패시턴스( $C_C$ ), 신호 인터커넥트 라인과 기판 사이에 존재하는 인터커넥트 라인의 면적에 비례하는 커플링 캐패시턴스( $C_A$ ) 및 인터커넥트 라인의 Fringing 캐패시턴스( $C_F$ ), 신호 인터커넥트 라인과 상위 층의 인터커넥트 라인사이에서 발생하는 Crossover 캐패시턴스( $C_O$ ) 등으로 구성된다.

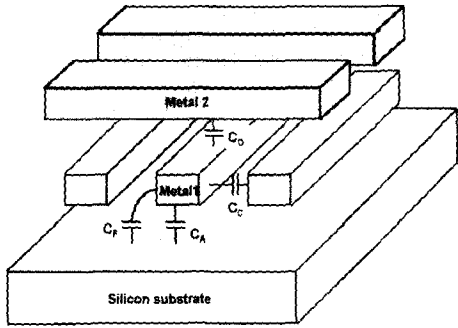


그림 2. 금속 배선에서의 캐패시턴스 성분  
Fig. 2. The schematic diagram of interconnect lines.

인터커넥트 라인 자체에 의한 RC 지연시간 및 인터커넥트 라인과 MOSFET 소자 상호간 영향에 의한 지연시간을 측정하기 위해서 NMOS와 PMOS의 쌍으로 구성된 인버터 형태의 링 오실레이터를 그림 3과 같이 구성하였다. 인터커넥트 라인을 구동하는 인버터의 NMOS와 PMOS의 게이트 폭의 비는 1:2 (NMOS : PMOS)로 설정하였으며, 각각의 폭은 1/2, 2/4, 5/10, 10/20, 30/60 $\mu\text{m}$ 로 split하였다. 이러한 인버터와 인터커넥트 라인에 대한 등가회로를 그림 4에 나타내었다. 그림 4에서 소자(NMOS, PMOS)의 게이트 폭( $W_G$ )에 관련된 성분은 소자의 On 저항 성분 ( $R_{Tr}$ )과 게이트 캐패시턴스 성분 ( $C_{Tr}$ )이다. 여기서 소자의  $R_{Tr}$ 은  $W_G$ 에 반비례하지만,  $C_{Tr}$ 은  $W_G$ 에 비례한다. 이러한 특성은 소자의  $R_{Tr}$  및  $C_{Tr}$ 가 인터커넥트 라인의 저항 및 캐패시턴스 성분과 곱으로 작용하여 전체 RC 지연시간으로 나타나기 때문에 소자의  $W_G$ 에 따라 RC 지연시간의 최소점이 발생하는 원인으로 작용한다.

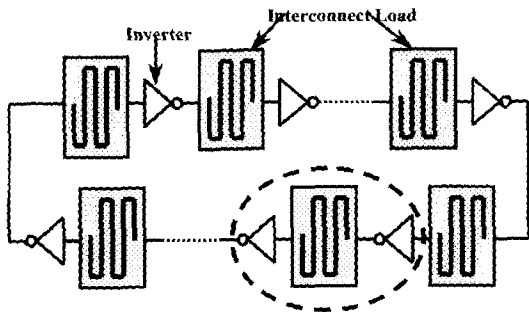


그림 3. 링 오실레이터 구조도  
Fig. 3. Multi-stage ring oscillator with identical interconnect load.

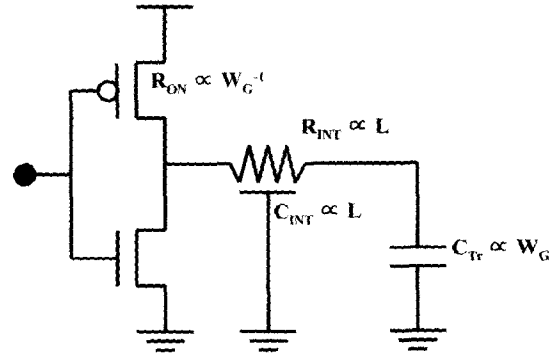


그림 4. 인터커넥트 라인의 등가회로  
Fig. 4. Equivalent circuit of the interconnect line.

인버터 사이에 삽입된 인터커넥트 라인 구조는 그림 5와 같이 두 가지 형태로 구성하였다. 그림 5(a)는 Comb형 구조로 인터커넥트 라인의 캐패시턴스 성분 ( $C_{INT}$ )만이 인터커넥트 라인에 의한 지연시간의 인자로 작용하도록 설계되었다.<sup>[4,5]</sup> 즉 comb형 구조는 multi fan-out 효과를 고려한 것으로 인버터 사이를 연결하는 인터커넥트 라인(신호 라인)에 길이가 80 $\mu\text{m}$ 인 여러 개의 동일한 인터커넥트 라인들을 병렬로 배치하여, capacitance 성분만이 지연시간 인자로 작용하도록 설계하였다. 반면 그림 5(b)는 Serpentine형 구조로 인터커넥트 라인의 저항 ( $R_{INT}$ ) 및 캐패시턴스 성분 ( $C_{INT}$ )이 RC 지연시간의 인자로 모두 작용하도록 설계된 형태이다. 즉, Comb형 구조에서 수직으로 교차된 전체 인터커넥트 라인과 동일한 면적 및 길이를 갖는 인터커넥트 라인(신호 라인)을 직렬 형태로

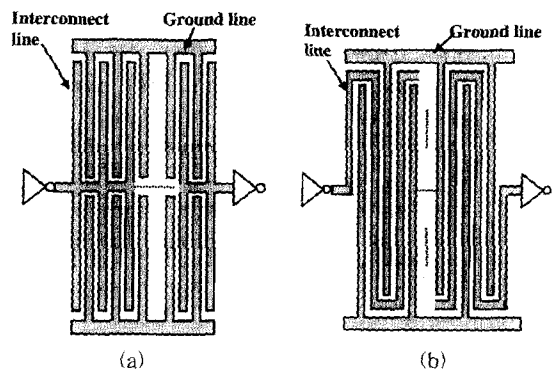


그림 5. 인터커넥트 라인의 테스트 구조 (a) comb형 구조 (b) serpentine형 구조  
Fig. 5. Schematic diagrams of interconnect load test structures. (a) comb test structure (b) serpentine test structure

인버터 사이에 삽입하였다. 결국 Serpentine형 구조는 Comb형 구조와 동일한 면적 및 길이를 갖는 인터커넥트 라인 구조이므로  $C_{INT}$  성분은 동일하지만, serpentine형 구조의 신호라인 길이는 comb형 구조에서 수직으로 교차된 인터커넥트 라인들의 총 합과 동일하므로 serpentine형 구조에서는  $R_{INT}$  성분이 추가로 인터커넥트 라인의 지연시간의 인자로 작용한다. Comb형 구조 및 serpentine형 구조의 길이는 각각 0.96, 1.92 및 2.88 mm로 split하였다.

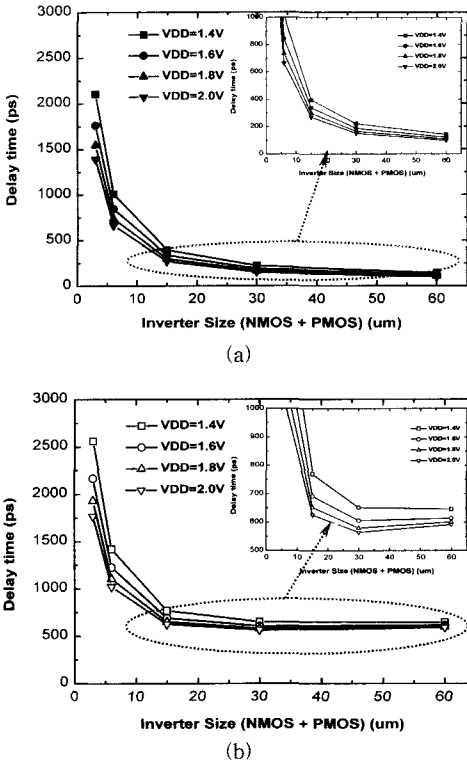


그림 6. VDD변화에 따른  $\tau_D$ -inverter size 그림(Interconnect length=2.88mm). (a) comb, (b) serpentine 구조

Fig. 6. Delay time versus the repeater width from (a) comb and (b) serpentine interconnects at the four different supply voltages of 1.4V, 1.6V, 1.8V, 2.0V, respectively (Interconnect length = 2.88mm).

### III. 실험 결과 및 토의

그림 6에 comb형 구조와 serpentine형 구조에 대해 공급전압( $V_{DD}$ )을 변화시키면서 인버터를 구성하는 소자의 폭,  $W_G$ 에 따른 전체 지연시간,  $\tau_D$ 의 측정결과

를 나타내었다. 그림 6(a)는 comb형 구조의  $\tau_D$ - $W_G$  측정 결과로  $W_G$ 가 증가할수록  $\tau_D$ 는 감소하는 특성을 나타낸다. Comb형 구조의 경우  $\tau_D$ 에 영향을 미치는 성분은 인터커넥트 라인의  $C_{INT}$ 만 작용하는데,  $W_G$ 가 증가할수록 인버터의 전류 구동능력이 증가하기 때문에  $C_{INT}$ 를 충전(charging) 또는 방전(discharging)하는 속도가 빨라지므로 이러한 특성이 나타난다. 그러므로 comb형 구조와 같이 캐패시턴스 성분이 주로 나타나는 인터커넥트 라인의 경우는 인버터의 크기가 커질수록 지연시간이 감소된다.

그림 6(b)는 Serpentine형 구조에서의  $\tau_D$ - $W$  측정 결과로 인터커넥트 라인의  $R_{INT}$ 와  $C_{INT}$  성분 모두 지연시간으로 작용하고, 인버터의 전류 구동능력 뿐만 아니라 소자의 ON저항 및 게이트 캐패시턴스도  $\tau_D$ 에 영향을 미치기 때문에 인버터 크기에 따른  $\tau_D$ 는 comb 테스트 구조의 경우와는 다른 특성을 보인다. 즉, Transistor의 크기가 증가함에 따라  $\tau_D$ 가 감소하다가 트랜지스터 크기가 10/20 $\mu$ m(NMOS+PMOS=30 $\mu$ m)근처에서 최소값을 갖고 그 이상의 크기에서는 Transistor 크기가 증가하여도  $\tau_D$ 가 감소하지 않고 오히려 증가하는 특성을 보인다. 따라서 Chip의 집적도를 높이면서 인터커넥트 라인에 의한 지연시간을 최소화하여 Chip의 동작속도를 최대로 하기 위해서는 트랜지스터의 크기를 최적화 하는 것이 중요하다. 다음 절 부터는 인터커넥트 라인에 의한 지연시간을 해석적으로 제시하고 최적의 트랜지스터 크기를 제안하였다.

일반적으로 인터커넥트 라인의 RC 지연시간과 소자의 게이트 지연시간을 포함하고 있는 링 오실레이터의  $\tau_D$ 는 식 (1)과 같이 주어진다<sup>[12]</sup>.

$$\tau_D = 0.4R_{INT}C_{INT} + 0.7(R_{ON}C_{INT} + R_{INT}C_{Tr}) \quad (1)$$

여기서  $C_{INT}$ ,  $R_{INT}$ 는 각각 인터커넥트 라인의 캐패시턴스(F) 및 저항( $\Omega$ )을 나타내며,  $R_{ON}$ 은 소자의 온저항( $\Omega$ ),  $C_{Tr}$ 은 소자의 게이트 캐패시턴스(F)를 나타낸다. 식 (1)에서  $R_{ON}$ 은  $W_G$ 에 반비례하고,  $C_{Tr}$ 은  $W_G$ 에 비례하며  $R_{INT}$ 와  $C_{INT}$ 는 L에 각각 비례하므로 식 (1)은 인터커넥트 라인길이 L과 소자의 게이트 폭( $W_G$ )의 함수로 식 (2)와 같이 표현될 수 있으며,

$$\tau_D = 0.4R'_{INT}C'_{INT}L^2 + 0.7R'_{ON}C'_{INT}LW_G^{-1} + 0.7R'_{INT}C'_{Tr}LW_G \quad (2)$$

식 (2)는 식 (3)과 같이 더욱 간단하게 표시될 수 있다.

$$\tau_D = C_1L^2 + C_2LW_G^{-1} + C_3LW_G \quad (3)$$

여기서  $R'_{INT}$  와  $C'_{INT}$  는 인터커넥트 라인의 단위 길이당 저항과 캐패시턴스를 나타내며,  $R'_{ON}$  와  $C'_{Tr}$  은 소자의 단위길이당 저항과 캐패시턴스를 나타내며,  $C_1$  은  $0.4R'_{INT}C'_{INT}$ ,  $C_2$  는  $0.7R'_{ON}C'_{INT}$  그리고  $C_3$  는  $0.7R'_{INT}C'_{INT}$  와 같다.

식 (3)의 장점은 인터커넥트 라인의 저항과 캐패시턴스를 정확하게 추출하지 않은 상태에서도 인터커넥트 라인의 지연시간을 정확하게 나타낼 수 있다는 것이며,  $C_1, C_2, C_3$  는 측정된 지연시간을 이용하여 추출할 수 있으며 추출 방법은 뒤에서 자세히 설명하였다.

인터커넥트 라인의 캐패시턴스 성분만이 주로 작용하는 Comb형 구조에서는  $R_{INT} \ll R_{ON}, C_{INT} \gg C_{Tr}$  이므로 식 (3)는 다음의 식 (4)와 같이 간단히 나타낼 수 있다.

$$\tau_D = C_2LW_G^{-1} \quad (4)$$

즉, 인터커넥트 라인의 캐패시턴스 성분이 주로 나타나는 구조에서는 식 (4)와 같이 전체 지연시간이 게이트 폭에 반비례함을 알 수 있으며 이는 그림 6(a)와 같이 실험결과와도 일치한다.

인터커넥트 라인의 저항과 캐패시턴스가 모두 작용하는 구조에서 지연시간의 게이트 폭에 대한 의존성을 분석하기 위해 식 (3)를  $W_G$ 의 함수로 미분하면 식 (5)와 같고,

$$\frac{d\tau_D}{dW} = -\frac{C_2L}{W_G^2} + C_3L \quad (5)$$

$\tau_D$ 가 최소가 되는  $W_{G,opt}$ 는 식 (6)와 같이 구해진다.

$$W_{G,opt} = \sqrt{\frac{C_2}{C_3}} = \sqrt{\frac{R'_{ON}C'_{INT}}{R'_{INT}C'_{Tr}}} \quad (6)$$

식 (6)는 인터커넥트 라인에 의한 지연시간이 최소가 되는 트랜지스터의 크기를 의미하고, 상수항  $C_1$ ,

$C_2, C_3$ 를 구하면 serpentine형 구조에서 가 최소  $\tau_D$ 가 되는  $W_G$ 를 계산할 수 있다. 식 (2)에 식 (6)을 대입하면 전체 지연시간은 식 (7)과 같이 구해진다.

$$\tau_{D,min} = 0.4R'_{INT}C'_{INT}L^2 + 1.4\sqrt{R'_{ON}R'_{INT}C'_{Tr}C'_{INT}}L \quad (7)$$

상수항  $C_2$ 는 그림 7(a)의  $\tau_D - L$  그래프를 이용하여 쉽게 구할 수 있다. 즉, Comb형 인터커넥트 부하의 경우에 지연시간은 식 (4)와 같이 표현되므로  $\tau_D - L$

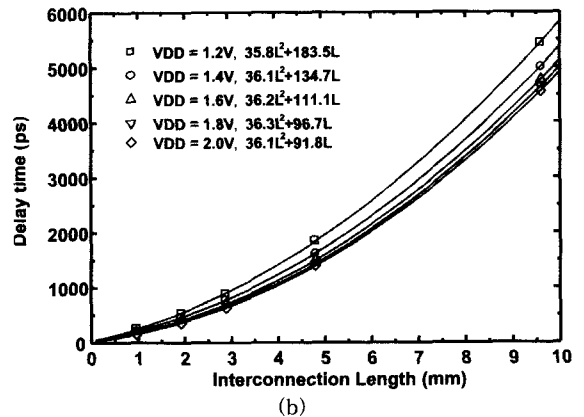
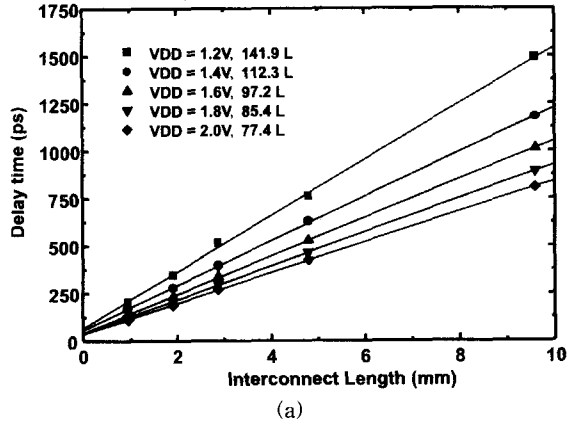


그림 7. VDD 변화에 따른  $\tau_D$ -interconnect length 그림 (a) comb구조 (b) serpentine 구조

Fig. 7. Delay time versus length of interconnect (L) with (a) comb and (b) serpentine interconnect at the five different supply voltage.

그래프의 기울기는  $C_2/W_G$ 를 의미하므로  $W_G$ 를 대입하면  $C_2$ 를 쉽게 구할 수 있으며,  $V_{DD}$  변화에 따른  $C_2$  값을 표 2에 나타내었다. 상수항  $C_1$ 과  $C_3$ 은 Serpentine형 구조의  $\tau_D - L$  그래프를 이용하여 쉽게 구할 수 있다. 즉 그림 7(b)의 serpentine형 구조의

$\tau_D$ -L 그래프를 2차 함수로 근사화(fitting)하면  $\alpha L^2 + \beta L$ 과 같이 표현할 수 있으며, 이를 식 (3)에 대입하여 상수항 과  $C_3$ 를 얻을 수 있다. 즉,  $L^2$  항의 계수  $\alpha$ 는 결국 상수항  $C_1$ 이고  $L$ 항의 계수  $\beta$ 는  $C_2 + C_3$  이므로 Comb형 구조를 이용하여 구한  $C_2$  값을 빼 값 이  $C_3$  항이 된다. 공급전압  $V_{DD}$  변화에 따른 상수항  $C_1, C_2, C_3$ 와  $W_G$  값을 표 2에 나타내었다.

표 2. 수식적인 방법을 이용하여 추출한 최소 지연시간을 갖는 repeater size의 Look-up table

Table 2. Look-up table for extracted optimum repeater size by analytic method.

	$C_1 (s/M^2)$	$C_2 (s)$	$C_3 (s/M^2)$	$\sqrt{C_2/C_3}$
$V_{DD}=1.4V$	$36.1 \times 10^{-6}$	$561.5 \times 10^{-15}$	$4.48 \times 10^{-5}$	$11.2 \mu\text{m}$
$V_{DD}=1.6V$	$36.2 \times 10^{-6}$	$486.0 \times 10^{-15}$	$2.78 \times 10^{-5}$	$13.2 \mu\text{m}$
$V_{DD}=1.8V$	$36.3 \times 10^{-6}$	$427.0 \times 10^{-15}$	$2.26 \times 10^{-5}$	$13.7 \mu\text{m}$
$V_{DD}=2.0V$	$36.1 \times 10^{-6}$	$387.0 \times 10^{-15}$	$2.88 \times 10^{-5}$	$11.6 \mu\text{m}$

식 (2)~(6)를 이용한 수식적인 해석 결과와 comb 및 serpentine형 구조에서 측정된  $\tau_D$  측정값을 비교하여 그림 8에 나타내었다. 두 가지의 인터커넥트 라인 구조에 대해 수식적인 해석 방법과 실험 결과는 거의 일치함을 알 수 있다. 따라서 인터커넥트 라인에 의해 야기되는  $\tau_D$ 를 최소화할 수 있는 최적화된 트랜지스터의 크기는 식 (6)을 통해 얻을 수 있으며 식 (5)와 식(6)를 이용하면 지연시간을 최소화하면서 Chip density를 높일 수 있는 방법을 알 수 있다. 예를 들어, 식 (6)에서 인터커넥트 저항 또는 커패시턴스가 20 % 감소한다면 전체 지연시간은 같지만 이때 트랜지스터의 폭을 감소시킨 경우에 더 작은 값을 나타낸다. 따라서 일정한 지연시간을 유지하면서 Chip의 집적도를 높이기 위해서는 인터커넥트 라인에서는 저항보다는 커패시턴스를, 소자인 경우에는 커패시턴스 보다는 저항을 줄이는 것이 바람직함을 알 수 있다. 그러므로 새로운 CMOS 기술을 개발할 때 다층배선에서는 가급적 저유전율을 갖는 IMD(Inter-metal dielectric)를 쓰는 것이 필요하며, 소자의 경우에는 구동전류를 유지하면서 동작전압을 낮추는 것이 중요하다.

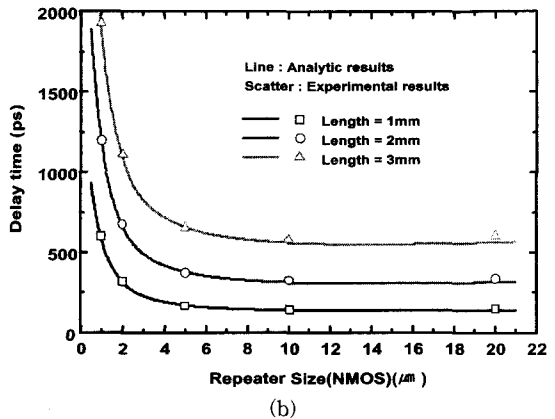
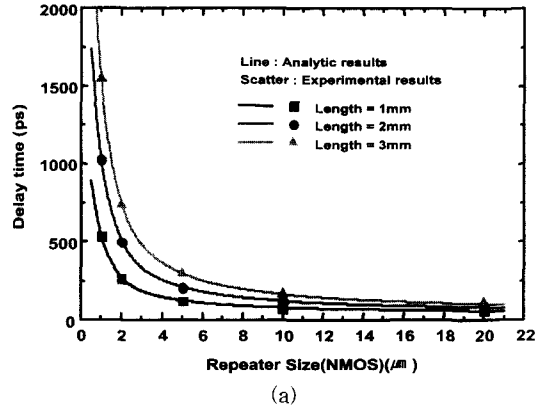


그림 8. -repeater size 그림 (a) comb (b) serpentine 구조, 수식적 방법과 실험적 방법 비교

Fig. 8. Delay time versus the repeater width from (a) comb and (b) serpentine interconnects at supply voltage of 1.8V.; Comparison of optimum repeater size as a method of analytic and experimental.

#### IV. 결 론

인터커넥트 라인을 구동하는 CMOS소자의 게이트 폭의 변화에 따라 인터커넥트 라인에 의한 RC 지연시간이 어떤 특성을 보이는지에 대하여 분석하였다. 인터커넥트 라인의 커패시턴스 성분만이 주로 나타나는 구조에서는 MOSFET의 크기가 커질수록 전체 회로의  $\tau_D$ 가 감소하는 특성을 보였다. 반면 인터커넥트 라인의 저항 및 커패시턴스 성분이 소자의 저항 및 커패시턴스 성분보다 훨씬 증가하는 인터커넥트 라인 구조에서는 전체 회로의  $\tau_D$ 가 최소가 되는 MOSFET 크기가 존재함을 수식적으로 제안하고 실험치와 비교하여 잘 맞음을 증명하였다. 따라서 Chip의 집적도를

높이면서 인터커넥트 라인에 의한 지연시간을 최소화 하여 Chip의 동작속도를 최대로 하기 위해서는 트랜지스터의 크기를 최적화 하는 것이 중요하며 더 나아가서 다층배선에서는 저유전율을 갖는 IMD(Inter-metal dielectric)를 쓰는 것이 필요하며, 소자의 경우에는 구동전류를 유지하면서 동작전압을 낮추는 것이 중요하다.

### 참 고 문 헌

- [1] S. Y. Oh, and K. J. Chang, "2001 Needs for Multi-Level Interconnect Technology," IEEE Circuit & Devices, pp. 16-21, Jan. 1995.
- [2] M. Miyamoto, T. Takeda, and T. Furusawa, "High-Speed and Low-Power Interconnect Technology for Sub-Quarter-micron ASIC's," IEEE Trans. Electron Devices, vol.44, no. 2, pp. 250-256, 1997.
- [3] D. H. Cho, Y. S. Eo, M. H. Seung, N. H. Kim, J. K. Wee, O. K. Kwon, and H. S. Park, "Interconnect Capacitance, Crosstalk, and Signal Delay for  $0.35\mu\text{m}$  CMOS Technology," in IEDM Tech. Dig., pp. 619-622, 1996.
- [4] H. D. Lee, M. J. Jang, D. G. Kang, J. M. Hwang, Y. J. Kim, O. K. Kwon, and D. M. Kim, "Characterization of Crosstalk-Induced Noise for  $0.18\mu\text{m}$  CMOS Technology with 6-Level Metallization Using Time Domain Reflectometry and S-Parameters," in IEDM Tech. Dig., pp. 905-908, 1999.
- [5] 장명준, 이희덕, 안재경, 이영중, "RC Time Delay of the Interconnection in Sub-Quarter-Micron VLSI Circuit," 제 5회 한국반도체 학술대회(The 5th Korean Conference on Semiconductors), pp. 265-266, 1998
- [6] H. D. Lee, M. J. Jang, D. G. Kang, Y. J. Lee, J. M. Hwang, and D. M. Kim, "Real Time On-Chip Characterization of Time Delay Arising from Multi-Level-Metallization : Decoupling of Pure Charging and Drift-and-Charging," in IEDM Tech. Dig., pp. 287-290, 1998.
- [7] S. Takahashi, M. Edahiro, and Y. Hayashi, "Interconnect Design Strategy : Structures, Repeaters and Materials toward  $0.1\mu\text{m}$  ULSIs with a Giga-hertz Clock Operation," in IEDM Tech. Dig., pp. 833-836, 1998.
- [8] T. Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's," IEEE Trans. Electron Devices, vol.40, no. 1, pp. 118-124, 1993.
- [9] H. D. Lee, and Y. J. Lee, "Arsenic and Phosphorus Double Ion Implanted Source/Drain Junction for  $0.25\mu\text{m}$  and Sub- $0.25\mu\text{m}$  MOSFET Technology," IEEE Electron Device Lett., vol. 20, no. 1, pp. 42-44, Jan. 1999.
- [10] D. K. Sohn, J. S. Park, B. H. Lee, J. U. Bae, K. S. Oh, S. K. Lee, J. S. Byun, and J. J. Kim, "High Thermal Stability and Low Junction Leakage Current of Ti Capped Co Salicide and its Feasibility for High Thermal Budget CMOS Devices," in IEDM Tech. Dig., pp. 1005-1008, 1998.
- [11] M. K. Park, H. D. Lee, and M. J. Jang, "Characterization of Channel Width Dependence of Gate Delay in  $0.18\mu\text{m}$  CMOSFET Technology," IEEE Electron Device Lett., vol. 20, no. 10, pp. 498-500, Oct. 1999.
- [12] H. B. Bakoglu, Circuits, Interconnection, and Packaginh for VLSI, Addison-Wesley Publishing Co., 1990.

저 자 소 개



張翊竣(正會員)

1970년 2월 6일생. 1998년 3월~1995년 2월 성균관대학교 전자공학과 공학사. 1995년 3월~1997년 2월 성균관대학교 전자공학과 공학석사. 1997년 1월~현재, 현대전자(舊 LG반도체) 메모리 연구

소 주임연구원. 1997년~1999년 0.25, 0.18 $\mu$ m CMOS 개발. 1999년~현재, 0.15 $\mu$ m CMOS technology 개발. 주관심분야: Interconnect line에 의한 지연시간, 차세대 CMOS 소자, CMOS 아날로그 회로설계



李熙德(正會員)

1967년 4월 15일생. 한국과학기술원 전기 및 전자공학과 학사(1990), 석사(1992), 박사(1996). 1993년 9월~현재, 현대전자(舊 LG반도체) 메모리 연구소 책임연구원. 1996년~1999년 0.35, 0.25, 0.18 $\mu$ m CMOS

개발. 1999년~현재, 0.15 $\mu$ m CMOS technology 개발 책임자. 주관심분야: 차세대 CMOS 소자, Interconnect line에 의한 지연시간 및 Crosstalk