

# PLL을 이용한 고속 마이크로프로세서용 32MHz~1GHz 광대역 클럭발생회로

김 상 규<sup>†</sup> · 이 재 형<sup>†</sup> · 이 수 형<sup>†</sup> · 정 강 민<sup>††</sup>

## 요 약

본 연구에서 PLL을 이용한 고속 마이크로프로세서용 클럭발생회로를 설계하였다. 이 회로는 32MHz ~ 1GHz 클럭을 발생시키며 마이크로프로세서내에 내장될 수 있다. 동적 차동래치를 사용하여 고속 D Flip-Flop을 설계하였고 이에 의거한 새로운 형태의 위상주파수 검출기를 제시하였다. 이 검출기는 위상민감도오차가 매우 적으며 이를 사용한 PLL은 위상오차가 적은 우수한 위상특성을 지닌다. 또한 전압제어발진기 VCO의 선형적 제어를 위하여 전압-전류 변환기가 구동하는 전류제어 발진기로 구성된 새로운 구조의 VCO를 제시하였다. 이러한 PLL에서 제어전압 범위를 1V ~ 5V로 넓히고 발생클럭의 주파수를 32MHz ~ 1GHz로 증가시킬수 있었다. 클럭발생회로는 0.65  $\mu\text{m}$  CMOS 기술을 이용하여 설계하였다. 이 회로는 1.1  $\mu\text{s}$ 의 lock-in 시간과 20mW 이하의 전력소비를 갖는다.

## A PLL Based 32MHz ~ 1GHz Wide Band Clock Generator Circuit for High Speed Microprocessors

Sang-Kyu Kim<sup>†</sup> · Jae-Hyung Lee<sup>†</sup> · Soo-Hyung Lee<sup>†</sup> · Kang-Min Chung<sup>††</sup>

## ABSTRACT

This paper presents a low power PLL based clock generator circuit for microprocessors. It generates 32 MHz ~ 1 GHz clocks and can be integrated inside microprocessor chips. A high speed D Flip-Flop is designed using dynamic differential latch and a new Phase Frequency Detector (PFD) based on this FF is presented. The PFD enjoys low error characteristics in phase sensitivity and the PLL using this PFD has a low phase error. To improve the linearity of voltage controlled oscillator (VCO) in PLL, the voltage to current converter and current controlled oscillator combination is suggested. The resulting PLL provides wide lock range and extends frequency of generated clocks over 1GHz. The clock generator is designed by using 0.65  $\mu\text{m}$  CMOS full custom technology and operates with 1.1  $\mu\text{s}$  lock-in time. The power consumption is less than 20mW.

## 1. 서 론

최근의 회로기술이 발전함에 따라 시스템에 사용되는 클럭의 속도가 점차 증가해 왔으며 첨단적인 펜티

엄드의 마이크로프로세서에서 500MHz 이상으로 증가하는 추세에 있다. 프로세서 칩에서 외부공급 클럭과 시스템 내부로 전송되는 클럭에 대한 동기화가 중요한 문제로 부각되고있다[1-5]. 내부전송 클럭은 외부공급 클럭으로부터 최소의 위상오차로 동기화되어 발생되어야 하며 이러한 목적에 PLL (Phase Locked Loop)이 중요한 역할을 담당한다[6-8]. PLL을 사용한 클럭발생회로는 마이크로프로세서뿐만 아니라 VLSI 디지털회

\* 본 연구는 성균관대연구비의 지원에 의하여 수행되었음. 또한 반도체설계교육센터(IDECC)의 장비 및 S/W 지원에 의하여 수행되었음.

† 준 회원 : 성균관대학교 대학원 전기전자 및 컴퓨터공학부

†† 정 회원 : 성균관대학교 전기전자 및 컴퓨터공학부 교수  
논문접수 : 1999년 8월 17일, 심사완료 : 1999년 12월 9일

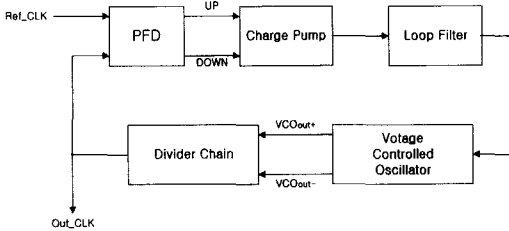
로 및 통신회로등에도 광범위하게 사용되고 있다.

PLL 클럭발생회로가 고속에서 동작하려면 기존의 회로가 지니고 있는 다음과 같은 문제점들을 해결 또는 개선해야 한다.

- (1) 고주파 클럭발생회로에서 위상주파수검출기(Phase Frequency Detector, PFD)는 고속으로 동작해야 하며 신호의 전달지연시간이 적고 위상오차 특성 또한 우수해야 한다.
- (2) PFD가 구동하는 전하펌프(Charge Pump)는 PFD가 고임피던스 상태로 천이하는 경우 기생 캐패시턴스에 의해 클럭 Feedthrough 및 전하주입 문제가 발생하며 또한 전하펌프에 UP/DOWN 신호가 인가될 때 이 신호들의 전달경로가 동일하지 않은 경우 lock-in 상태에서 정적 위상오차가 발생한다.
- (3) 전압 제어발진기(Voltage Controlled Oscillator, VCO)는 넓은 입력제어전압 범위에서 발진하여야 하며 선형적으로 제어가 가능해야 한다.

본 연구에서 위의 기존의 PLL 클럭발생회로의 문제점들에 대해 중점적으로 검토하였고 외부 시스템 클럭에 대해 적은 위상오차를 갖는 클럭신호를 마이크로프로세서 내부에 안정되게 공급할 수 있는 저전력, 고속 클럭발생회로를 설계하였다.

## 2. PLL 클럭발생회로



(그림 1) PLL 클럭발생회로의 블록도

클럭발생회로의 구성 블록들을 (그림 1)에 도시하였다. 본 클럭발생회로에서 개선되는 특성은 다음과 같다.

- (1) 먼저 PFD에서 기존의 정적 CMOS를 이용하는 경우 전달지연이 상당히 크므로 500MHz 이상의 빠른 클럭 주파수에서 주파수 및 위상오차를 검출하는 것이 불가능하다. 본 연구에서는 동적 CMOS를 이용한 D-FF를 사용하여 PFD를 설계함으로써 전달지연 및 전력소비를 개선하였으며 이로써 클럭발생회로의 작동범위를 1 GHz 이상으로 증가시킬 수 있었다.

- (2) 전하펌프는 입력에 전달게이트를 사용하여 전하주입을 막고 또한 입력과 출력을 격리한 구조로서 기생 캐패시터의 효과를 최소화하였다. UP과 DN 신호경로는 대칭구조로 설계하였으며 N과 P-트랜지스터 크기의 비율을 적절히 선택하여 UP/DN 신호의 전달지연을 동일하게 하였다. 이로써 발생클럭의 위상오차를 2ps~14ps로 감소시켰다.

- (3) VCO는 두 개의 출력을 갖는 전차동구조를 채택하였고 1V~5V의 넓은 입력전압 범위에서 선형성이 개선되고 발진의 안정도를 유지하도록 설계하였다. 이는 대기전류기능을 갖는 전압-전류변환기 및 cross-coupled 차동증폭기와 ring-type 지연단을 사용한 전류제어 발진기가 결합된 형태로 구성하였다

- (4) 입력 기준 클럭에 lock된 다양한 주파수의 클럭신호를 발생시키기 위해 divider chain 회로를 설계하였으며 이 회로에서 T-FF를 분주회로에 사용하였다. 또한 RS-FF을 이용하여 발생클럭의 duty cycle을 정확히 50%로 보상하였다.

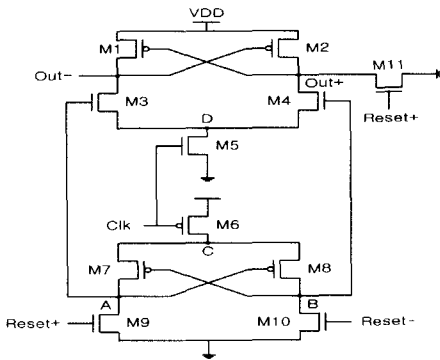
### 2.1 위상주파수 검출기(PFD)

PFD는 PLL에서 입력기준신호와 VCO 출력신호의 주파수 및 위상오차를 검출하는 기능을 수행한다. 일반적으로 PFD는 Flip-Flop같은 기억소자로 구성된다 [1, 2]. 입력 신호들의 주파수가 증가하면서 기존의 정적 CMOS 회로를 이용해 설계한 PFD[1]는 몇 가지 문제점들을 나타내게 되었다. 정적 CMOS PFD는 저주파 응용면에서 천이상태에 비해 정적 상태에 머무르는 시간이 많은 경우 전력소모가 매우 적으며 안정적인 동작을 보장한다. 그러나 높은 주파수에서는 정적 CMOS 회로가 완전한 Pull-UP/DOWN을 하지 못하여 내부 노드들이 천이상태에 있게 되어 전력소모가 상당히 증가하게 된다. 또한 입력에서 출력까지의 전달지연이 크기 때문에 입력신호가 빠른 스위칭을 할 경우 입력신호의 천이가 출력에 전달되지 못하는 경우도 있다.

이에 비하여 동적 CMOS PFD인 nc-type PFD[9]와 pt-type PFD[10]들은 고속동작을 하며 전력소모가 적은 특징을 가지지만 입력 신호간의 주파수 및 위상오차의 검출 범위가  $-\pi \sim +\pi$ 까지로 제한되기 때문에, 넓은 lock-range를 가지는 PLL에서는 사용하기 어렵다. 그리고 nc-type PFD의 경우 입력 신호들의 duty cycle에 대해 PFD의 이득이 변화되기 때문에 duty cycle을 보상이 없는 경우 PLL lock-in 상태에서 큰

정적 위상오차를 유발한다. 또한 pt-type PFD는 큰 dead zone이 존재하여 위상오차를 발생시킨다.

이런 문제점을 해결하기 위해 새로운 구조의 PFD용 D-FF을 (그림 2)에 제시하였다. 이 FF은 동적 차동래치[11-13]를 이용하여 설계되었으며 기존의 동적 CMOS PFD와 같이 고속, 저전력을 유지하면서 주파수 및 위상오차 검출범위가  $-2\pi \sim +2\pi$  까지 검출 가능한 이점을 지니고 있다.



(그림 2) 제안된 동적 D-FF

### 2.1.1 제안된 D/FF의 Set 동작

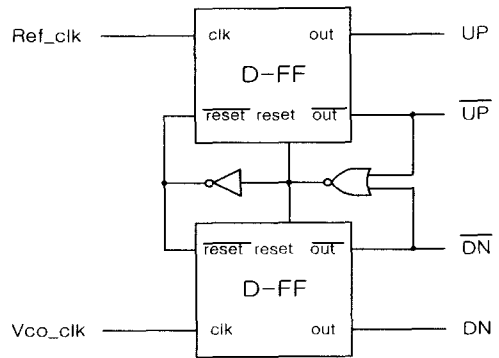
PFD에 사용될 D-FF은 Reset+ 신호가 인가되지 않은 상태에서 클럭 신호의 상승 Edge를 검출해서 출력을 HIGH로 만들어주고 Reset+ 신호 인가시 출력을 LOW로 만들어야 한다 Reset+ 신호가 인가되지 않은 상태에서 입력 클럭신호가 LOW 이면, 노드 C는 M6에 의해 VDD로 초기충전 되고 노드 B는 Reset-가 HIGH이므로 GROUND와 연결되어 LOW 상태에 있게 되어 M7을 구동하게 된다. 이때 노드 A는 노드 C의 초기충전된 값이 전달되어 HIGH 상태를 유지한다. 출력단 Out+는 입력신호가 LOW 상태에 있기 때문에 아직 전이가 일어나지 않은 상태를 유지한다. 클럭신호가 HIGH로 전이할 때 노드 D는 M5를 통해 방전하므로 Out-는 LOW로 전이를 하게 되고 M2를 구동하여 Out+는 HIGH로 전이하게 된다. 이 D-FF은 cross-couple된 구조를 가지므로 입력신호에 따른 출력신호의 응답이 빠르고, 또한 차동구조이므로 Out+와 Out-의 지연시간이 매우 짧은 장점을 지닌다.

### 2.1.2 제안된 D/FF의 Reset 동작

Reset+신호가 High로 천이하면, Set 동작에서와 반

대로 노드 A는 M9에 의해 GROUND와 연결되어 LOW 상태에 있게 되어 M8을 구동하여 노드 B는 HIGH 상태에 있게 된다. 그러면 Out+는 LOW, Out-는 HIGH로 천이하게 된다. 그러나 이 경우 Reset 신호는 귀환되는 신호이므로 전달지연이 걸리지게 되어 PFD의 고속 작동을 제한한다. 그러므로 출력 Out+ 노드에 M11을 연결하여 Reset+ 신호 인가시 바로 Out+를 GROUND와 단락시켜 LOW 상태를 만들어 주었다. 제안된 D-FF 전달 지연을 측정한 결과 Set 지연은 0.096ns, Reset 지연은 0.005ns로 매우 빠른 동작을 얻을 수 있었다.

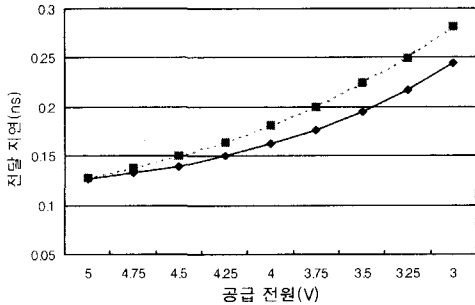
### 2.1.3 제안된 D/FF을 이용한 PFD



(그림 3) 제안된 D-FF을 이용한 PFD 회로

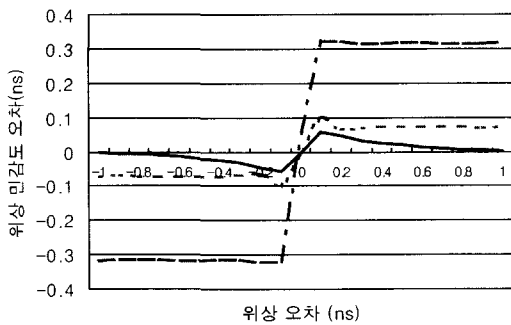
(그림 3)에 제안된 D-FF을 이용하여 설계된 PFD를 보였다. 이 PFD회로는 full-range( $-2\pi \sim +2\pi$ )의 범위 내에서 위상 및 주파수오차를 검출하도록 설계되었다. 이는 기존의 동적 CMOS 회로를 이용한 PFD와 유사한 구조를 가지고 있으나 실제로 주파수 및 위상의 오차 검출영역이 제한되지 않기 때문에 PLL의 lock-range를 매우 넓힐 수 있었다. 그리고 Reset을 위한 귀환회로가 필요하므로 귀환이 없는 Half-range PFD 회로에 비해 느리지만, 기존의 정적/동적 CMOS PFD에 비해서는 속도가 상당히 빠른 것으로 판명되었다.

(그림 4)에 본 full-range PFD의 전달지연을 공급전압의 함수로 제시하였다. 전압이 감소함에 따라 귀환 NOR 게이트의 전달지연이 증가하여 Reset 지연이 Set 지연보다 증가하지만 정격 5V 공급 전원에 대한 Set 지연은 0.126ns, Reset 지연은 0.127ns로 고속동작에 적합한 것으로 판단된다. 3V 전원에서 Set 지연은 0.244ns, Reset 지연은 0.281ns 정도로 증가한다.



(그림 4) 제안된 PFD의 공급전원에 대한 전달지연 (Set - 실선, Reset - 점선)

(그림 5)는 앞의 실험 결과에 기초하여 각각의 PFD 들에 대한 위상민감도오차를 분석한 것이다. 이에서 제안된 full-range PFD 회로가 가장 우수한 특성을 나타냈으며 초기에 0.05ns 정도의 민감도오차를 가지다가 위상오차가 커짐에 따라 감소하는 것으로 나타났다. 또한 이 구조는 dead zone 및 위상민감도 오프셋이 매우 작아 다른 동적 CMOS PFD에 비해 우수한 성능을 가짐을 확인할 수 있었다. 다른 동적 PFD들에서 민감도오차는 입력 신호들의 duty cycle에 심하게 의존할 뿐만 아니라 UP/DOWN 신호의 경로가 다르므로 인하여 매우 크게 증가하는 것을 알 수 있었다.

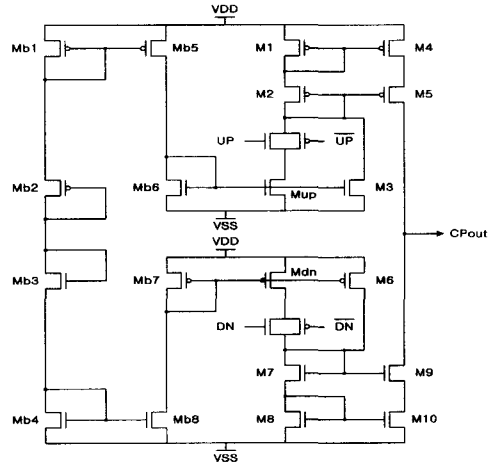


(그림 5) PFD들의 위상민감도오차 특성비교 (nc PFD-긴 점선, pt PFD-짧은 점선, 제안된 PFD-실선)

2.2 전하펌프와 루프필터

일반적인 3상태 전하펌프는 PFD의 UP/DN 출력신호에 의해 제어되는 switched current 회로로 구성되어 있다. 전하펌프는 PFD가 검출한 위상 오차를 UP/DN PWM신호로 변환하고, 펄스의 폭에 비례하는 전류를 출력하게 된다. 루프필터는 각각의 UP/DN전류를 적분

하여 VCO의 제어전압을 생성한다[1, 2]. 전하펌프는 일반적으로 UP, DN, 고임피던스의 3가지 상태를 가지며 입력 클럭들의 위상차에 따라 전이를 일으킨다. 그러나 설계구조에 따라 여러 가지 문제점이 유발된다. 전류원들에서 두개의 스위치가 동시에 개방되는 경우 전하주입과 클럭 feedthrough에 의해 순간적으로 VCO 출력의 위상이 변화되기 때문에 오차가 발생하며, 이때 유발된 위상오차는 다음의 클럭신호가 비교될 때까지 그대로 유지된다. 그리고 UP/DN 신호들에서 전달 지연이 일치하지 않으면 스위치가 단락되는 경우 전류 크기의 부정합이 발생한다. 이는 순간적인 위상변화를 유발하게 되어 정적 위상오차의 문제를 발생시킨다. 이러한 문제점들을 줄이기 위해서는 개선된 구조로 설계하여 전하주입 및 기생 캐패시턴스의 문제점들을 배제하여야 하며 또한 UP/DN 신호가 출력전류를 내보내기까지의 전달지연이 같도록 해야 한다.

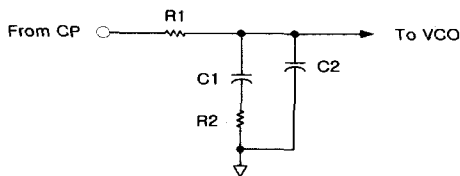


(그림 6) 제안된 전하펌프회로

(그림 6)은 제안된 전하펌프회로이다. 이는 다음과 같이 구성하였다. 기본전류원은 Mup, Mdn으로 구성하였고 대기전류원은 M3, M6로 구성하였다. Mb1~Mb8은 기본전류원과 대기전류전류원을 위한 bias 회로이며, M1~M10은 입력과 출력을 연결해주는 캐스코드 전류미러이다. 출력단은 루프필터에 안정적 전류를 공급해 주기 위하여 출력 임피던스가 높은 캐스코드 전류미러를 사용하였으며, 전체 출력전류는 UP 전류와 DN 전류의 차에 의해 결정된다. 이 회로에서 대기전류원은 출력에 항상 대기전류를 공급하여 3상태 전하

펌프에 존재하는 고임피던스 상태를 제거해 주며 따라서 전하주입효과를 개선하도록 하였다. 또한 고속 입력신호에 대하여 전하펌프가 빠른 응답을 할 수 있도록 출력단의 트랜지스터들을 항상 on 상태로 유지시킨다. 전하펌프의 출력전류의 공급과 차단을 결정해 주는 스위치회로는 고임피던스 상태에서 전하주입을 방지하기 위해 전달게이트를 사용하였다. 이 구조에서는 입력과 출력 노드가 다른 트랜지스터에 의해 격리되므로 클럭 feedthrough 효과를 효율적으로 감소시킬 수 있다. UP과 DN 신호경로는 대칭구조로 설계하였으며 N과 P-트랜지스터 크기의 비율을 적절히 선택하여 UP/DN 신호의 전달지연을 동일하게 하였다.

루프필터는 VCO를 제어하기 위한 DC성분 이외의 모든 고주파성분을 제거 또는 감쇄시키기 위하여 이용한다. 일반적으로 R1, R2, C1을 사용하는 1차 1 pole 1 zero 수동 RC 필터를 사용하지만 PLL의 고주파 응답특성을 개선하기 위하여 C2를 추가하였다. (그림 7)에 루프필터회로를 나타내었다. C2가 없는 경우 루프이득이 zero의 존재에 의하여 감쇄하지 않으며 고주파 신호의 필터링효과는 zero 주파수이상에서는 없어지게 된다. 따라서 고주파성분이 VCO 제어전압과 함께 인가되면 PLL에 큰 정적 위상오차와 함께 고주파 잡음을 야기하게 된다. 이러한 효과를 적게 하려면 C2를 추가하여 zero와 같은 주파수의 pole을 한 개 더 삽입하도록 한다. 이는 필터의 전달함수에서 zero의 영향을 상쇄하여 주파수응답을 개선해 주는 역할을 하며 고주파잡음이 효율적으로 제거되는 결과를 가져온다.

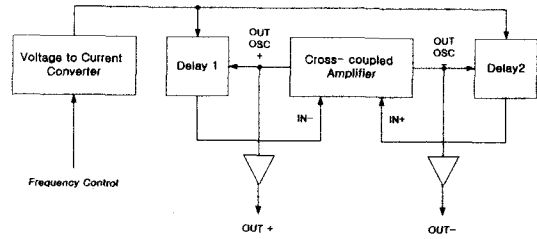


(그림 7) 2 pole-1 zero 루프필터

### 2.3 전압제어발진기(VCO)

본 논문에서 설계된 VCO의 블록도를 (그림 8)에 제시하였다. VCO는 다음과 같은 4개의 기능블록으로 구성하였으며 이들은 전달지연 조절을 위한 전압-전류 변환기(Voltage to Current Converter; VIC), 3단 pseudo inverter를 이용한 지연그룹(Delay 1, Delay 2), 지연그룹 출력간의 위상을 180°로 유지해 주는 증폭기

(Cross-coupled Amplifier), 그리고 출력버퍼이다.



(그림 8) 전압제어 발진기 VCO의 블록도

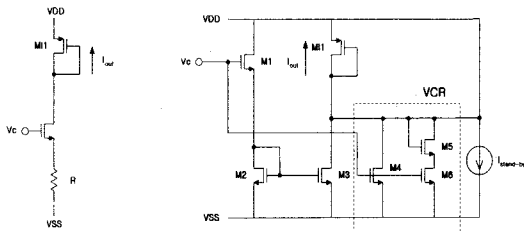
이 VCO에서 루프필터로부터 인가되는 입력 제어전압은 VIC에 의해 전압에 비례하는 전류로 변환된다. VIC에 의해 변환된 제어전류는 전류미러 회로를 통해 pseudo inverter 지연단으로 공급되어 각각의 지연단의 전달지연을 조절한다. VCO의 전달지연은 (그림 8)에서 두 개의 지연그룹 Delay1과 Delay2에 의해 조절이 가능하다. 두 지연그룹의 임출력은 cross-coupled 증폭기에 연결되어 180°의 일정한 위상차를 가지는 신호로 증폭된다. 발생클럭의 duty cycle 보상을 용이하게 하기 위해 VCO는 두 개의 출력 Out+와 Out-를 갖는 전차동구조를 채택하였다. 이들은 차후의 duty cycle 보상회로 및 divider chain에서 샘플링될 목적으로 출력된다.

#### 2.3.1 전압-전류 변환기(VIC)

본 논문에서 VCO는 기본 지연단으로서 pseudo inverter를 사용한 전류제어발진기(Current Controlled Oscillator, CCO)형태를 채택하여 구성하였다. CCO를 이용한 발진기의 특징은 지연단에 의해 만들어지는 전달지연이 CCO로 공급되는 전류의 양에 비례하여 결정된다는 것이다. 이 전류는 CCO를 구동하는 VIC가 공급하며 넓은 제어전압범위에서 선형적인 주파수제어를 위해서는 VIC가 선형적으로 전류를 공급하는 것이 중요하다. 또한 VCO의 제어전압 대 출력주파수( $V_c$  대  $f_o$ ) 특성을 정비례로 하기 위해서는 전압-전류 변환특성도 양의 기울기를 가져야 한다. 본 논문에서 이러한 특성을 갖는 새로운 VIC 회로를 제시하였다.

(그림 9)에 일반적인 VIC와 제시된 VIC 회로를 나타내었다. (그림 9.a)는 source 저항을 가지는 일반적인 전압반전 증폭기이며 여기에서  $I_{out} = g_m(V_c - V_R)$ 로 주어진다.  $g_m$ 은 트랜지스터의 전달컨덕턴스이다. 그러나 출력전류가 흐르기 위해서는  $V_c - V_R > V_i$ 의 조건이 만족되어야

하므로 실제 선형적 출력전류를 생성할 수 있는 제어 전압의 범위가 협소해진다. 또한 제어전압이 매우 낮아져서 출력전류를 생성할 수 없는 경우 VCO는 발진을 멈추기 때문에 PLL의 전체 안정도에도 심각한 영향을 주게 된다. 또한 R 값이 크거나 캐스코드 부하인 M11의 W/L 비율이 커야 전압 이득이 작아져서 선형적인 출력전류를 생성해 낼 수 있다. 이 경우 R의 값을 크게하면 선형적인 특성을 얻을 수 있지만 전류 자체가 감소하기 때문에 VCO의 대역폭을 제한하게 된다.



(a) 일반적인 VIC, (b)새로운 VIC  
(그림 9) VIC 회로

(그림 9.b)는 제안된 전압-전류 변환기 회로이다. 제안된 회로는 source follower인 M1~M2, 전압제어 저항(Voltage Controlled Resistor, VCR)의 역할을 하는 M4~M6[14], 그리고 대기전류원 Istand-by의 3부분으로 구성하였다. M11은 VCO로 전류를 공급하기 위한 미러 트랜지스터이다.

제안된 전압-전류 변환기의 동작영역은 크게 3부분으로 나뉘어진다. 제어전압이  $V_t$  보다 작은 경우, source follower와 VCR이 모두 off 된 상태에서는 대기전류원 Istand-by만이 출력전류를 생성하는 최소 발진상태를 유지한다. 그러므로 제어전압이  $V_t$  이하로 감소하는 경우에도 VCO는 안정된 발진상태를 유지한다.  $V_c - V_{gs2} - V_t < 0$ 인 경우 source follower는 동작을 하지 않게 되며 출력전류는 VCR에 의해 생성된다. VCR은 낮은 제어전압에 대해 매우 선형적인 전압-전류 변환특성을 갖도록 설계할 수 있으므로 이 전압구간에서 상당히 선형적인 출력전류를 생성할 수 있다.

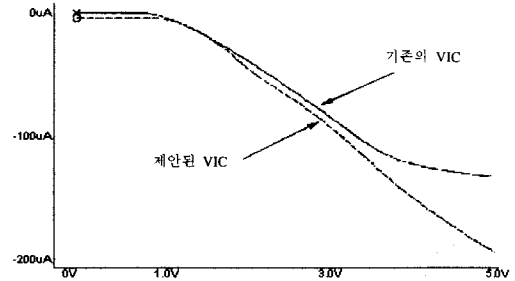
그러나 제어전압이 차츰 증가하면 VIC의 출력전압 값이 급격히 감소하게 되어 VCR에 의해 생성되어지던 출력전류는 더 이상 증가를 하지 못하고 감소하게 된다. 이를 보상해 주기 위해 source follower 형태의 전

류원을 추가하였다. 이는  $V_c - V_{gs2} - V_t = 0$ 에서 동작을 시작하여 VCR에 의해 출력전류가 감소되는 것을 보상에 줄 수 있도록 한다.

이러한 VIC에 의해 변환되어 출력되는 전류는 다음과 같다.

$$I_{out} = I_{source\ follower} + I_{VCR} + I_{stand\ by} \quad (1)$$

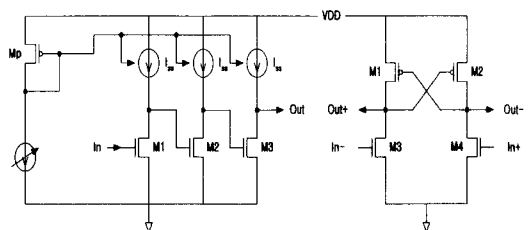
여기에서  $I_{source\ follower} = g_{m1}(V_c - V_{gs2})$ ,  $I_{VCR} = (g_{m4} + g_{m6}) \cdot V_c$ 로 구할 수 있다. 제어전압이  $V_t$  이하인 경우 출력전류는 대기전류에 의해 약  $6\mu A$ 정도가 공급되어 최소 VCO 발진 주파수 23 MHz를 발생시킨다. 출력전류를 변화시킬 수 있는 입력 제어전압의 범위는 1V~5V이며,  $6\mu A \sim 200\mu A$ 까지의 선형적인 출력전류를 생성할 수 있었다.



(그림 10) 기존의 VIC와 제안된 VIC의 V-I 특성비교

(그림 10)은 기존의 VIC와 제안된 VIC의 전압-전류 변환특성을 동일 이득상에서 비교한 결과이다. 제안된 구조의 경우 1V~5V까지의 제어 전압범위에서 선형성을 보이며 기존의 구조에서는 3.5V 이상의 제어 전압에 대하여 전류가 더 이상 증가하지 않게 되어 상당히 큰 왜곡을 가지므로 제어전압범위가 제한된다.

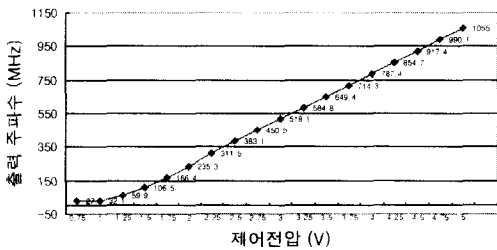
### 2.3.2 Pseudo-ring type 지연단을 이용한 CCO



(a) Oscillator에 이용된 지연단 구조 (b) 위상차 보정을 위한 전압동공배기

(그림 11) Pseudo-ring type 지연단을 이용한 CCO

(그림 11)은 CCO의 구성도이다. 지연단은 (그림 11.a)와 같은 pseudo inverter의 형태로서 구성하였으며, VIC의 공급전류에 의해 지연시간이 결정된다. 전력소모를 줄이기 위해서는 지연단의 개수를 줄여야 하는데 지연단을 줄이면 충분한 위상지연을 생성할 수 없으므로 (그림 11.b)와 같은 전차동 cross-coupled 증폭기에 의해 추가적인 지연을 발생시켰다. 3개의 지연단을 이용하면 전력소모는 줄일 수 있지만 1개의 지연단이 각각 60°씩의 위상지연을 발생해야 하는데 반하여, 4개의 지연단을 이용하게 되면 각각 45°씩의 위상지연을 발생하면 된다. 따라서 4개의 지연단을 이용하면, 위상 지연에 대한 여유를 가지므로 안정적인 VCO의 발진을 얻을 수 있다.



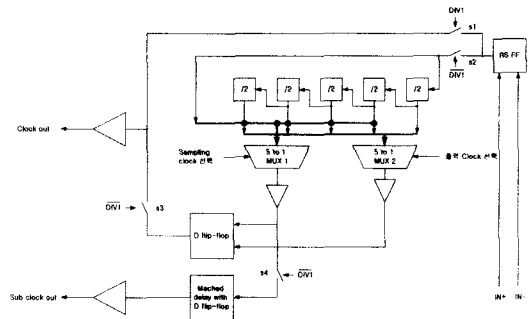
(그림 12) VCO의 Vc-fo 특성

(그림 12)에 제한된 VCO의 제어전압에 대한 출력주파수를 제시하였다. VCO의 출력주파수는 VIC에 의해 공급되는 전류에 의해 제어되므로 VIC의 전류 출력곡선에 비례하여 증가한다. VCO는 양의 Vc 대 fo (제어전압 대 주파수) 특성을 가지며, 출력주파수는 0.5 V ~ 5 V 까지의 제어전압에 대하여 27.8 MHz ~ 1.055 GHz 까지의 매우 넓은 범위를 가진다. 그러나 실제적으로 VCO의 주파수를 변화시킬 수 있는 제어전압의 범위는 1 V ~ 5 V로서 발진 주파수 범위는 32.1 MHz ~ 1.055 GHz이다.

### 2.4 Divider Chain

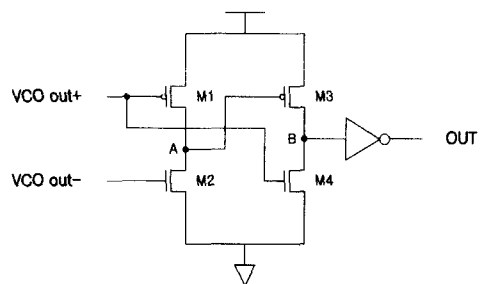
(그림 13)은 divider chain을 이용한 출력단의 블록도이다. 입력신호에 대하여 다양한 비율로 분주된 클럭신호를 발생하도록 설계하였으며, 기본 분주회로는 동적 CMOS로 설계한 T-FF를 이용하였다. divider chain에 의해 출력되는 신호는 입력신호를 1, 2, 4, 8, 16, 32 배한 신호이며 분주비율 선택신호가 출력될 클럭의 주파수를 결정한다. 또한 출력신호의 위상과 일

지하는 Sub클럭 발생회로를 추가하여 다양한 Sub클럭 신호들을 발생시키도록 설계하였다. 마이크로프로세서에서는 클럭신호의 HIGH와 LOW상태를 모두 사용하기 때문에 발생하는 클럭신호의 duty cycle이 50%를 유지하는 것이 중요하다. 그러므로 VCO의 두 개 출력 Out+ 와 Out- 신호를 divider chain의 입력단에서 처리하여 duty cycle을 정확히 50%로 보상한 뒤 divider chain 전체에 공급하였다. 이 목적에 다음과 같이 RS-FF를 사용하였다.



(그림 13) PLL 출력 Divider chain 블록도

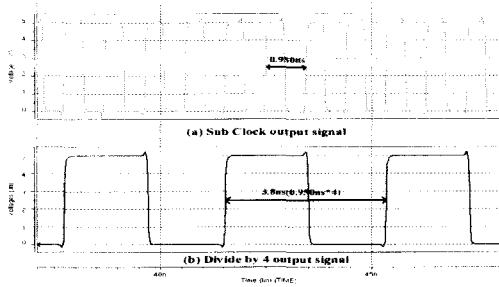
(그림 14)는 VCO 출력신호간의 180° 위상차를 이용하여 duty cycle을 보상해 주는 RS-FF이다. Out+ 신호가 LOW 상태에 있는 동안 노드 A는 ~0.5 VDD 수준의 전압을 유지하며, HIGH로 천이하는 순간 노드 B는 pull-down되어 출력신호를 HIGH로 만들며, Out- 신호가 HIGH로 천이하는 순간 노드 B는 pull-up 되어 출력신호를 reset 하게 된다. 입력되는 두 신호의 위상차가 180°로 유지된다면 PLL 출력 신호의 duty cycle은 50%를 유지할 수 있게 된다.



(그림 14) Duty cycle 보상을 고속RS-FF

(그림 15)는 divider chain의 출력신호이다. (그림

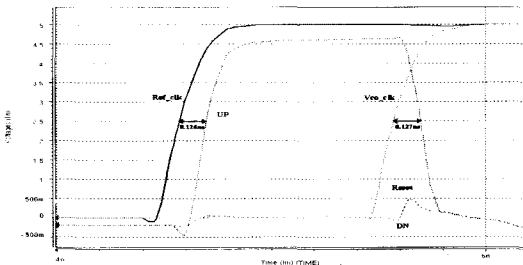
15.a)에 한 주기가 0.95ns인 최대주파수 1.055 GHz 클럭파형을 제시하였다. (그림 15.b)는 DIV4 신호에 의해 4분주된 신호이며, 여기에서 기준 입력신호로는 최대주파수의 클럭을 인가하였다.



(그림 15) Divider chain의 출력신호

### 3. 실험결과

#### 3.1 PFD 전달지연

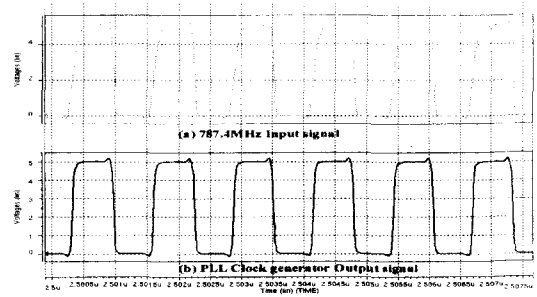


(그림 16) 제안된 PFD 전달지연

(그림 16)은 제안된 PFD의 전달지연을 측정하는 것이다. 입력신호의 위상차를 1ns로 인가하고 위상감도를 측정하는 결과 검출된 위상오차는 정확히 1ns로 측정되었다. 입력신호인 Ref\_clk과 Vco\_clk신호가 인가된 후 UP 신호와 DN 신호가 출력되기까지의 전달지연은 각각 0.126ns로 측정되었으며, PFD가 Reset되기까지 0.127ns의 시간이 소요되었다.

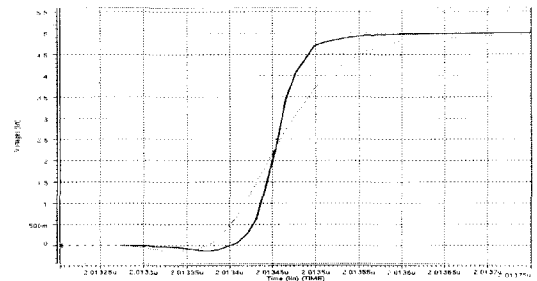
#### 3.2 입출력 신호 분석 및 위상오차

(그림 17)은 787.4 MHz 기준 입력신호 인가시 PLL이 최종 안정상태에 도달했을때 출력신호를 나타낸다. 출력신호에서 duty cycle이 정확하게 50%로 유지되는 것을 확인할 수 있었다.



(그림 17) Lock-in 상태에서의 PLL 입,출력신호

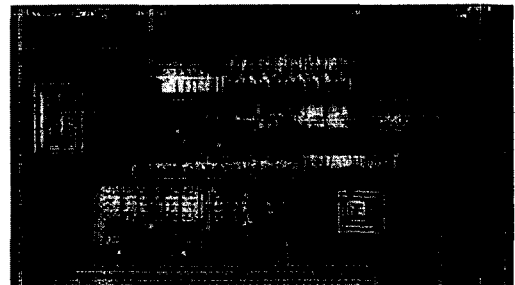
(그림 18)은 입력신호(점선)와 출력신호(실선)를 겹쳐서 표현한 것으로서 최종 상태에서의 최소 위상오차는 2ps, 최대 위상오차는 14.2ps로 측정 되었다. (그림 18)에 최소 위상오차에 대한 경우를 나타내었다.



(그림 18) PLL 발생클럭의 최종 위상오차

#### 3.3 PLL 성능의 요약

본 PLL은 HSPICE를 사용하여 시뮬레이션 및 설계하였고 CADENCE 를 사용하여 layout을 수행하였으며 (그림 19)에 제안된 PLL 클럭발생기의 layout을 제시하였다. 이는 27°C에서 0.65 μm CMOS full custom 2-poly 2-metal 공정변수에 따른 것이다. 또한 기존에



(그림 19) 본 PLL 클럭발생기의 layout



보고된 전형적인 마이크로프로세서 클럭발생회로[6, 7]와 비교하였으며 <표 1>에 요약하였다. 본 회로가 일반적인 PLL의 사양, 즉 출력주파수 범위(32MHz ~ 1.055GHz), 전력(20mW) 및 위상 오차(2ps ~ 14ps)면에서 설계된 의도에 따라 좋은 특성을 보이는 것을 알 수 있다.

<표 1> 본 PLL의 성능 및 기존회로와의 비교

	본 연구	참고문헌[6]	참고문헌[7]
설계기술	0.65μm CMOS	0.5μm CMOS	0.4μm CMOS
공급전압(V)	5	3.3	2.5
제어전압(V)	1 - 5	1.5 - 2.25	1.8 - 3.3
출력주파수(MHz)	32 - 1055	6 - 175	340 - 612
위상오차(ps)	2 <sub>MIN</sub> - 14.2 <sub>MAX</sub>	10 <sub>MAX</sub>	10 <sub>MAX</sub>
Lock-in 시간(μs)	1.1	15	
소비전력(mW)	20 @ f <sub>MAX</sub>	10 @ f <sub>MAX</sub>	100 @ f <sub>MAX</sub>

#### 4. 결 론

본 논문에서 마이크로프로세서용 PLL 클럭발생회로를 설계하였다. 설계된 PLL은 1 GHz의 매우 넓은 lock-range를 가지며, 칩 내부에 추가적인 외부소자 없이 내장될 수 있도록 설계되었다. 제안된 동적 D/FF을 이용한 PFD는 기존 PFD에 비해 속도 및 전력소비면에서 우수한 성능을 보이며, 위상민감도특성 또한 우수한 성능을 보인다. 전하펌프 회로에서 기존의 3상 전하펌프 회로에서의 전하주입 및 클럭 feedthrough 현상을 제거하여 최종 lock-in상태에서의 정적 위상오차 및 jitter를 감소시키는 구조를 제시하였다. VCO는 pseudo inverter로 기본지연단을 구성하고 cross-coupled 구조의 증폭기를 이용하여 전차동으로 구성하였다. 이 VCO는 넓은 범위에 걸쳐 선형제어가 가능하다. VCO의 출력신호는 divider chain으로 인가되어 시스템 내부에 사용되는 여러가지 주파수의 출력신호를 발생하도록 설계하였다. 본 논문에서 제안된 PLL 클럭발생기는 고속 마이크로프로세서에 적합하며 응용면에 따라 고속 주파수 합성기, timing generator와 같은 통신회로에도 이용될 수 있을 것으로 예상된다.

#### 참 고 문 헌

[1] R. E. Best, "Phase-Locked Loops Theory, Design, and Applications," Sandoz Pharma Ltd, 1992.  
 [2] B. Razavi, "Monolithic Phase-Locked Loops And

Clock Recovery Circuits," IEEE Press, 1996.  
 [3] D. K. Jeong, G. Borriello, D. A. Hodges and R. H. Katz, "Design of PLL-Based Clock Generation Circuits," IEEE, J. Solid-State Circuits, Vol.SC-22, No.2, pp. 255-261, Feb.,1987.  
 [4] P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits," 3rd Ed. John Wiley & Sons, Inc. 1997.  
 [5] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL Clock Generator with 5 to 110MHz of Lock Range for Microprocessors," IEEE J. Solid-State Circuits, Vol.SC-27, No.11, pp.1599-1607, Nov., 1992.  
 [6] J. Alvarez, H. Sanchez, G. Gerosa and R. Countryman, "A Wide-Band Low-Voltage PLL for PowerPC Microprocessors," IEEE, J. Solid-State Circuits, Vol.SC-30, No.4, pp.383-391, Apr., 1995.  
 [7] D. W. Boerstler, "A Low-Jitter PLL Clock Generator for Microprocessors with Lock Range 340-612 MHz," IEEE, J. Solid-State Circuits, Vol.SC-34, No.4, pp.513-519, Apr., 1999.  
 [8] V. Kaenel, D. Aebischer, C. Piguet and E. Dijkstra, "A 320MHz, 1.5mW@1.35V CMOS PLL for Microprocessor Clock Generation," IEEE, J. Solid-State Circuits, Vol.SC-31, No.11, pp.1715-1722, Nov., 1996.  
 [9] H. O. Johansson "A Simple Precharged CMOS Phase Frequency Detector," IEEE J. Solid-State Circuits, Vol.SC-33, No.3, pp.295-299, Mar., 1998.  
 [10] H. Kondoh, H. Notani, T. Yoshimura, and Y. Matsuda, "A 1.5-V 250-MHz to 3.3-V 622MHz CMOS Phase Locked Loop with precharge type CMOS Phase Detector, IEICE Trans. Electron., Vol.E78-C, No.4, pp.381-338, Apr., 1995.  
 [11] M. Afghahi, "A Robust Single Phase Clocking for Low Power, High-speed VLSI Applications," IEEE J. Solid-State Circuits, Vol.SC-31, No.2, pp.247-254, Feb., 1996.  
 [12] G. M. Blair, "New Single-Clock CMOS latches and Flip-Flops with Improved Speed and Power savings," IEEE J. Solid-State Circuits, Vol.SC-32, No.10, pp.1610-1611, Oct., 1997.  
 [13] Q. Huang and R. Rogenmoser "Speed Optimization of Edge-Triggered CMOS circuit for Gigahertz

Single-Phase Clocks," IEEE J. Solid-State Circuits, Vol.SC-31, No.3, pp.456-465, Mar., 1996.

- [14] S. D. Lee, W. H. Lee, K. M. Chung, "A Highly Linear Voltage Controlled Resistor for Neural Chip," IEEE, SMC Conf. Proc. San Diego, USA Oct., 1998.



### 김 상 규

e-mail : robinksa@yahoo.co.kr

1998년 성균관대학교 전자공학과 졸업(학사)

1998년~현재 성균관대학교 대학원 전기전자컴퓨터공학과 석사과정

관심분야 : PLL/DLL, Analog/Digital VLSI 설계, ASIC 설계



### 이 재 형

e-mail : jayclub@nature.skku.ac.kr

1997년 성균관대학교 전자공학과 졸업(학사)

1998년~현재 성균관대학교 대학원 전기전자컴퓨터공학과 석사 과정

관심분야 : PLL/DLL, Memory 설계



### 이 수 형

e-mail : cesign@nature.skku.ac.kr

1998년 성균관대학교 전자공학과 졸업(학사)

1998년~현재 성균관대학교 대학원 전기전자컴퓨터공학과 석사 과정

관심분야 : Analog 회로 설계, ADC/ DAC, Mixed-mode 회로 설계



### 정 강 민

e-mail : kmchung@yurim.skku.ac.kr

1971년 서울대학교 전기공학과 졸업(학사)

1976년 미 Texas 대 전기공학과 공학석사

1979년 미 Texas 대 전기공학과 공학박사

1979년~1983년 미 AT&T Bell 연구소 연구원

1983년~1985년 미 Sperry Computer Systems 연구고문

1985년~현재 성균관대 전기전자컴퓨터공학부 정교수

관심분야 : 반도체 VLSI 설계