

# 다중브리지 PWM 인버터로 구성된 SSSC의 동특성 분석

論 文  
50B-6-6

## Dynamic Characteristic Analysis of Multi-bridge PWM Inverter SSSC

韓炳文\* · 朴德義\*\* · 金城南\*\*\*

(Byung-Moon Han · Duk-Hee Park · Sung-Nam Kim)

**Abstract** - This paper proposes a SSSC based on multi-bridge inverters. The dynamic characteristic of the proposed SSSC was analyzed by EMTF simulation and a scaled hardware model, assuming that the SSSC is inserted in the transmission line of the one-machine-infinite-bus power system. The proposed SSSC has 6 multi-bridge inverters per phase, which generates 13 pulses for each half period of power frequency. The proposed SSSC generates a quasi-sinusoidal output voltage by 90 degree phase shift to the line current. The proposed SSSC does not require the coupling transformer for voltage injection, and has a flexibility in operation voltage by increasing the number of series connection.

**Key Words** : FACTS(Flexible AC Transmission System), STATCOM(Static Synchronous Compensator), SSSC(Static Synchronous Compensator), EMTF(Electro-Magnetic Transients Program)

### 1. 서 론

GTO를 이용한 인버터식 FACTS 기기는 전력계통의 조류제어, 과도안정도증대, 저주파공진감쇠 등에 탁월한 효과가 기대되어 선진국에서 많은 연구가 진행되고 있다[1]. SSSC는 선로에 직렬로 삽입되어 선로양단에 걸리는 전압을 직접 제어하는 기능을 갖는다[2][3].

SSSC에 사용되는 인버터는 STATCOM에서와 마찬가지로 동작전압을 높이기 위해 다수의 GTO를 직렬로 결합한 스위치로 구성되어 있다. 그런데 GTO 소자의 직렬운용은 대단히 난이하고 직렬운용이 가능한 소자수에도 많은 제약이 따른다. 따라서 전력계통과 원만한 결합을 위해 강압변압기를 사용하는 것이 보편적이다.

소자의 직렬운용을 피하기 위해 처음으로 고안된 것이 다중레벨 STATCOM 이다. 그러나 다중레벨인버터는 출력전압의 형성이 복잡하고 많은 역결합 다이오드를 필요로 한다. 이러한 단점을 보완하고자 Peng은 한 상당 5개의 단상 풀브리지로 구성된 다중브리지 STATCOM을 제안하고 그 동작과 특성을 축소모형을 통한 실험으로 분석하였다[4][5].

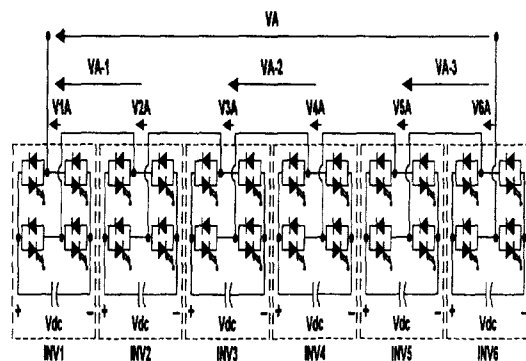
본 논문에서는 한 상당 6개의 단상 풀브리지로 구성된 다중브리지 SSSC를 제안하고 EMTF에 의한 시뮬레이션으로 검증한 내용을 기술하고 이를 축소모형 실험을 통하여 확인

하였다. 먼저 2장에서는 SSSC의 동작원리와 특성을 설명하고 다중브리지인버터가 출력전압을 형성하는 원리에 대해 기술하며 스위치의 온·오프됨에 따라 출력단자에 나타나는 전압을 세부적으로 분석하였다. 3장에서는 EMTF를 이용한 게이트신호발생, 제어기구성, 시뮬레이션회로, 시뮬레이션결과에 대해 상세히 기술한다[6][7]. 4장에서는 축소모형 실험을 통하여 검증하였다.

### 2. 다중브리지 SSSC

#### 2.1 다중브리지인버터

본 논문에서는 다중브리지를 이용하여 SSSC의 인버터를 구성하였다.



(a) 다중브리지 SSSC

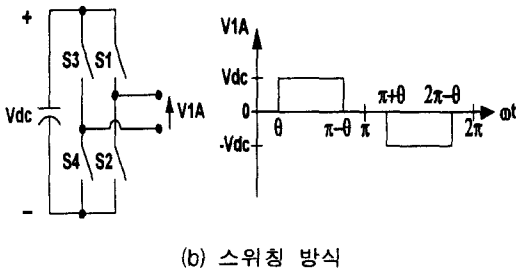
\* 正 會 員 : 明 知 大 電 氣 工 學 科 副 教 授 · 工 博

\*\* 正 會 員 : (주)지오닉스 연구원

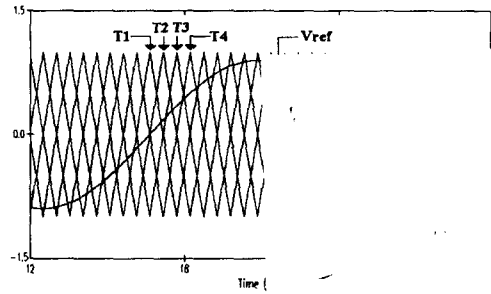
\*\*\* 正 會 員 : (주)두이전기통신 부사장

接受日字 : 2001年 4月 11日

最終完了 : 2001年 5月 15日

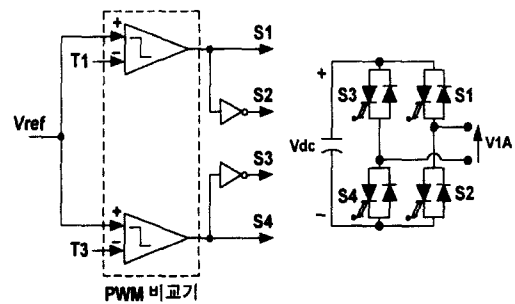


(b) 스위칭 방식  
 그림 1. 다중브리지인버터 동작원리  
 Fig. 1 Principle of operation



(a) 캐리어와

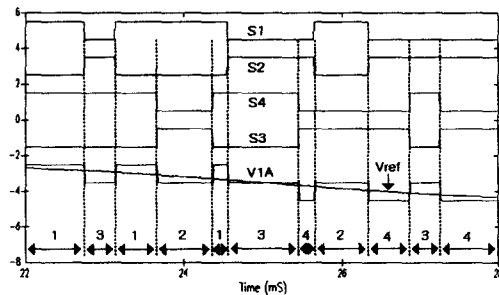
그림 1(a)는 다중브리지로 구성된 SSSC의 한 상에 대한 구성을 보여준다. 그림 1(a)에서 보듯이 다중브리지인버터는 6개의 단상 풀브리지 인버터로 구성되어 있다. 그림 1(b)와 표 1은 다중브리지인버터의 정확한 동작을 위해서 각각의 단상 풀브리지 인버터의 스위치가 어떠한 방식으로 동작을 해야 하는지를 보여준다. 그림 1(b)의 인버터는 그림 1(a)의 INV1 인버터의 GTO소자와 역병렬 다이오드를 양방향 도통 가능한 이상 스위치로 나타낸 것이다. 그림 1(b)의 오른쪽 그림과 같은 출력을 발생하기 위한 인버터의 S1~S4 스위치의 동작은 출력 전압의 크기가  $V_{dc}$ , 0,  $-V_{dc}$ 인 경우로 나누어서 설명할 수 있으며 각각의 상태에 대한 스위치 동작을 표 1에 정리하였다.



(b) Gate 펄스 생성 방법

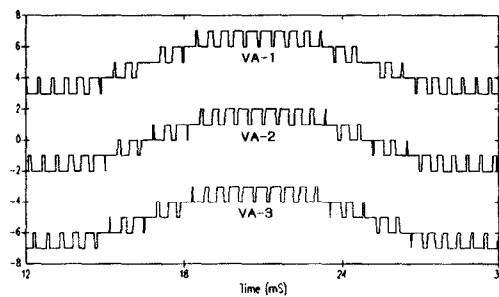
표 1 다중브리지인버터 스위칭 방식  
 Table 1 Switching method

V1A	Switch State	
$V_{dc}$	S1, S4 : on and S2, S3 : off	1
0	i) S1, S3 : on and S2, S4 : off ii) S2, S4 : on and S1, S3 : off	2 3
$-V_{dc}$	S2, S3 : on and S1, S4 : off	4

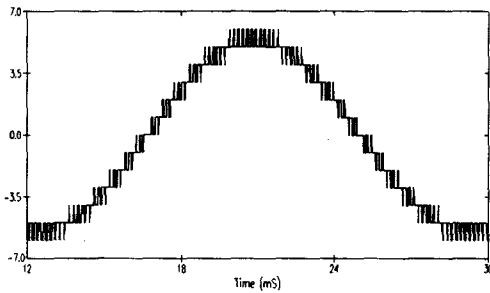


(c) Gate 신호 및 출력전압

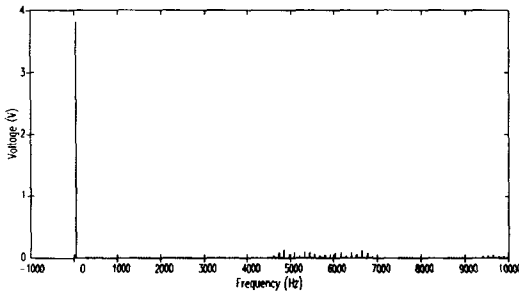
그림 2는 다중브리지인버터의 PWM 동작시 그림 1(b)의 인버터 Gate 펄스 생성 및 그림 1(a)의각부 전압파형을 나타낸다. 그림 2(a)는 그림 1(a)에서 INV1과 INV2 인버터의 Gate 펄스를 만들기 위한 캐리어와 기준 신호를 보여준다. 캐리어 T1, T2, T3, T4의 주파수는 480[Hz]이며, 네 개의 캐리어는 각각  $90^\circ$ 의 위상차를 가지고 있다. 그리고 기준 신호  $V_{ref}$ 는 최대값이 0.9이고 주파수는 60[Hz]인 정현파이다. 그림 2(b)는 그림 2(a)의 신호를 가지고 어떻게 Gate 펄스를 만드는 가를 보여주며 오른쪽의 단상 풀브리지 인버터는 그림 1(a)의 INV1에 해당한다. 그림 2(c)는 그림 2(b)의 네 개의 Gate 펄스와 인버터 출력전압 형태 그리고 기준신호가 동시에 나타나 있고, 그림에서 보면 각각의 S1~S4 신호는 표 1의 상태를 만족하며 그림 밑 부분의 번호는 표 1의 오른쪽에 있는 출력전압의 상태에 따른 스위치 동작의 구분번호이다.



(d) VA-1, VA-2, VA-3



(e) VA 전압 파형



(f) VA의 FFT 분석

그림 2. Gate 펄스 발생과 출력파형 형성  
Fig. 2 Gate pulse generation

INV2 인버터의 Gate 펄스는 그림 2(b)의 캐리어 T1, T3가 T2, T4로 바뀌는 것만 빼고 모두 동일하고, 그림 1(a)의 6개의 단상 풀브리지 인버터는 두 개씩 세 개의 인버터 그룹(INV1-2, INV3-4, INV5-6)으로 묶을 수 있으며 그림 2(d)는 이 세 개의 인버터 그룹의 출력전압 VA-1, VA-2, VA-3의 전압 파형이다. 그리고 이 때  $V_{dc}$ 는 1V이다. 그림 2(a)는 세 개의 인버터 그룹 출력전압 중 VA-1의 경우에 해당하며 VA-2와 VA-3의 전압형태를 얻기 위해서 VA-1과의 차이점은 그림 2(a)에 나타낸 4개의 캐리어인데 총 4개로 구성된 캐리어 집합이 VA-1, VA-2, VA-3의 경우 각각  $120^\circ$ 의 위상차를 두어야 한다는 것이다.

최종적으로 다중브리지인버터가 PWM 동작을 해서 선로로 주입하는 전압은 그림 2(e)에 나타나있다. 이 전압은 그림 1(a)에서 VA에 해당하는 것이다. 전압 VA는 캐리어 주파수가 480[Hz]이고 총 12개의 캐리어가 존재하므로 약 6[KHz]의 스위칭 효과가 나타난다. 그림 2(f)는 전압 VA의 파형을 FFT분석을 수행한 결과이며 THD는 10.2%이다.

2.2 시스템 구현

현재 개발된 GTO소자를 이용하여 다중브리지인버터를 구현할 때 그림 1(a)의 INV1 단상 풀브리지 인버터에서 GTO소자의 직렬운용을 하지 않고 실제로 구현할 수 있는 정격은 다음과 같다.

- 정격 DC 전압 :  $V_{dc} \approx 5kV$

- 정격 출력전압 크기 :  $V_o \approx V_{dc} \approx 5kV$
- 정격용량 :  $S \approx 1/2 \cdot V_{dc} \cdot 2kA \approx 5MVA$

위의 경우 실제로 FACTS 장비에 적용하기엔 낮은 정격이다. 따라서 직렬운용이 불가피한데 직렬운용에는 소자의 직렬운용과 인버터 자체의 직렬운용이 있으며, 본 논문에서 제안한 6개의 단상 풀브리지 인버터로 구성된 다중브리지인버터의 정격은 다음과 같다.

- 정격 DC 전압 :  $6 \cdot V_{dc} \approx 30kV$
- 정격 출력전압 크기 :  $V_o \approx V_{dc} \approx 30kV$
- 정격용량 :  $S \approx 3 \cdot V_{dc} \cdot 2kA \approx 30MVA$

위의 다중브리지인버터의 정격 출력전압( $V_o$ )의 크기는 154kV 송전선로 상전압의 33.74%에 해당하며 실제 송전선로에 적용되는 FACTS 장비의 동작전압을 만족시키기 충분하다.

3. EMTF 시뮬레이션

다중브리지 PWM 인버터로 구성된 SSSC의 동작 특성을 분석하기 위해서 EMTF를 이용한 시뮬레이션을 수행하였다.

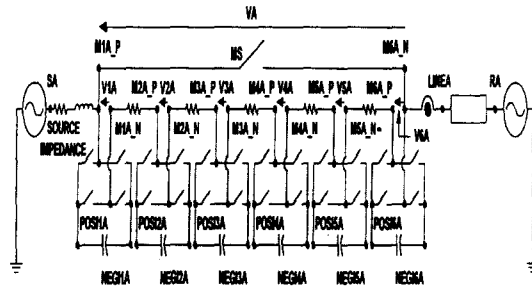


그림 3. 시뮬레이션 모형  
Fig. 3 Simulation model

그림 3에서 보여지는 시뮬레이션 모형은 한 상에 해당하며 각 상이 같은 형태로 구성되어 있다. 송전단과 수전단 사이에 다중브리지인버터가 삽입되어 있고 다중브리지인버터와 수전단 사이에 선로 인덕턴스를 삽입하였으며, 선로 인덕턴스는 집중 선로정수로 모델링 하였다.

표 2 시뮬레이션 회로정수  
Table 2 Simulation parameters

Base 전압	154[kV]
Base 용량	400[MVA]
전원 주파수	60[Hz]
선로 인덕턴스	1.56[pu]
송·수전단 위상차(전력각)	$30^\circ$

시뮬레이션에서 사용된 회로정수는 표 2에 나타나 있으며 시뮬레이션상의 모든 값은 표 2에 있는 기준값을 바탕으로 pu값으로 환산하여 나타내었다.

### 3.1 시뮬레이션 제어기

다중브리지 PWM 인버터로 구성된 SSSC의 제어기가 그림 4에 나타나있다. 그림에 보여지는 제어기는 3상 다중브리지인버터의 경우 각 상이 캐패시터를 공유하지 않기 때문에 각상 분리 제어를 하고 있음을 보여준다.

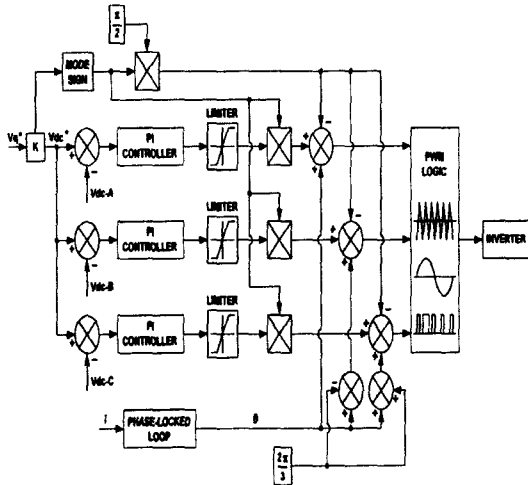
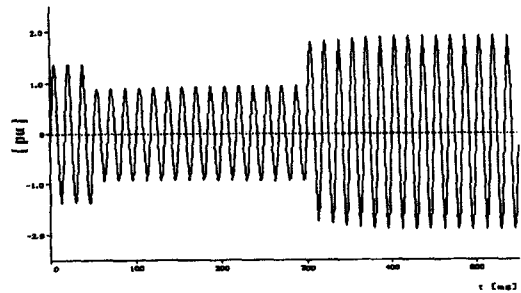


그림 4. 시뮬레이션 제어기  
Fig. 4 Control diagram

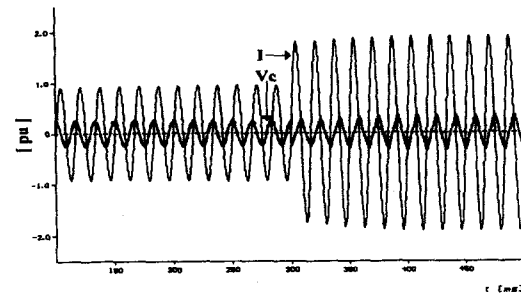
제어기의 동작은 선로 전류를 측정하여 Phase-Locked Loop에 의해서 선로 전류에 동기된  $\theta$ 를 발생하고 이  $\theta$ 는 각 상에 맞게 재조정된다.  $V_q^*$ 는 개인과 곱해져서  $V_{dc}^*$ 를 생성하고 각 상별로 DC Link 캐패시터 전압을 Feedback 받아 PI-Controller를 거쳐서 나온 신호는 Limiter에서 적당한 동작범위의 값으로 제한되어 출력된다. 이 때 DC Link 캐패시터의 실측치는 그림 1에서 보여지는 다중브리지인버터를 구성하는 6개의 단상 풀브리지 인버터의 DC Link 캐패시터 전압의 평균값이고  $V_{dc}^*$ 는 0.045pu이다. PI-Controller의 출력 신호는  $V_q^*$ 의 부호를 나타내는 Mode Sign과 곱해진다. Mode Sign은 SSSC의 C-Mode와 L-Mode의 경우 DC Link 캐패시터 전압을 제어하는데 있어서 동일 PI-Controller의 출력을 이용하여 각 모드에서 정확한 동작을 하기 위한 것과 C-Mode와 L-Mode에서 SSSC가 주입하는 전압의 위상을 C-Mode에서는 전류보다  $90^\circ$  뒤지게, L-Mode에서는 전류보다  $90^\circ$  앞서게 하는 역할을 동시에 수행한다. 시뮬레이션 상에서 Mode Sign의 값은 C-Mode시 1, L-Mode시 -1이다. 3상 선로 전류에 동기된 신호와 DC Link 캐패시터 전압을 제어하기 위한 신호 그리고 각 Mode별 SSSC 주입 전압의 위상을 결정하는 신호가 조합되어 최종적으로 인버터 게이트신호 로직에서 주입전압의 레퍼런스 신호를 발생하는데 사용된다. 그리고 앞 절에서 설명한 방법으로 생성된 게이트신호는 각각의 인버터에 입력된다.

### 3.2 시뮬레이션 결과

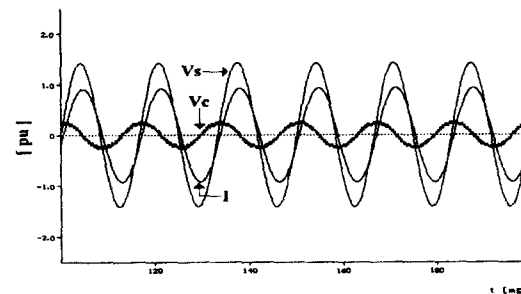
시뮬레이션 시나리오는 최초 50ms동안 그림 3에서 나타난 MS 스위치는 on상태이고 각 상의 다중브리지인버터의 스위치들은 off상태로 있으며 SSSC는 동작을 하지 않는다. 50ms~300ms동안 Mode Sign은 -1로 설정되어 SSSC는 L-Mode로 동작을 하며, 300ms~550ms사이에는 Mode Sign이 1로 설정되어 C-Mode로 동작을 한다. 시뮬레이션 결과는 그림 5에 나타나있다.



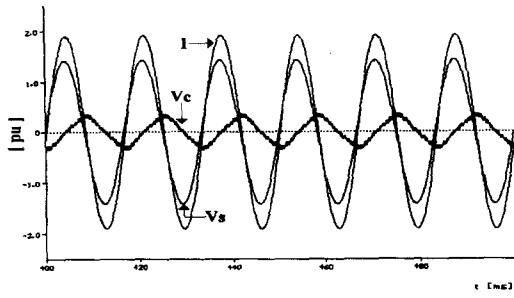
(a) 선로전류



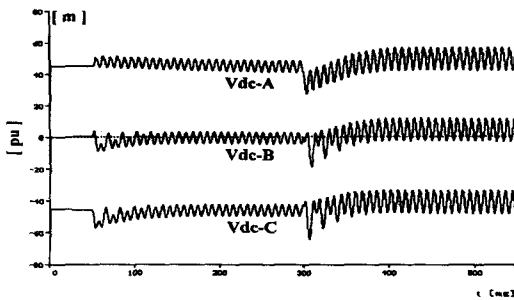
(b) 인버터 주입전압( $V_c$ )과 선로전류(I)



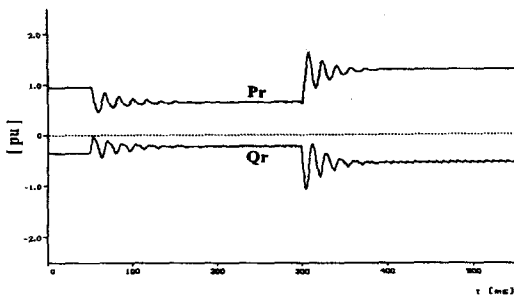
(c) L-Mode시 전원전압( $V_s$ ),  
인버터 주입전압( $V_c$ ), 선로전류(I)



(d) C-Mode시 전원전압(Vs),  
인버터 주입전압(Vc), 선로전류(I)



(e) DC Link 캐패시터 전압



(f) 수전단의 유·무효전력

그림 5. 시뮬레이션 결과  
Fig. 5 Simulation results

그림 5(a)는 총 시뮬레이션 시간동안 선로전류의 변화를 나타내며 SSSC가 동작을 하지 않는 때와 비교하여 L-Mode시에는 전류가 감소하고 C-Mode에서는 전류가 증가하는 것을 볼 수 있다. 그림 5(b)는 L-Mode에서 C-Mode로의 천이과정에서 인버터 주입전압과 선로전류를 나타낸 것으로서 천이과정이 반주기 내에 이루어지고 있음을 알 수 있다. 그림 5(c)는 L-Mode시 전원전압과 인버터 주입전압 그리고 선로전류를 나타낸 것으로서 이때 SSSC는 0.82pu의 유도성 리액턴스와 같이 동작을 한다. 그림 5(d)는 C-Mode시 전원전압과 인버터 주입전압 그리고 선로전류를 나타낸 것인데 이때 SSSC는 0.51pu의 용량성 리액턴스와 같이 동작한다. 그림 5(e)는 그림 4의 제어기에서 쓰이는 DC Link 캐패시터 실측치를 나타낸다. 그림 5(f)는 수전단의 유·무

효전력은 나타낸 것으로서 SSSC가 각 모드로 동작할때 유·무효전력( $P_r$ ,  $Q_r$ )의 변화를 나타내며  $P_r$ 과  $Q_r$ 은 각각 SSSC가 동작하기 전에는 0.93pu, -0.35pu에서 L-Mode시 0.64pu, -0.21pu로 감소하고 C-Mode시 1.28pu, -0.55pu로 증가함을 알 수 있다.

#### 4. 축소모형 실험

다중브리지인버터로 구성된 SSSC의 동작 특성을 분석하기 위해서 축소모형을 제작하여 실험하였다. 인버터의 스위칭 소자는 IGBT single-type을 사용하였고, 전체 시스템의 제어와 펄스생성 장치로는 TMS320C31를 사용하였다. 인버터 게이트 펄스의 기준신호는 선전류를 사용하였고 그림 2에 설명한 바와 같이 기준 선전류를  $\pm \theta$ 의 각도로 변화시켜서 단상 풀브리지 인버터의 게이트 펄스를 생성하였다. 그림 6은 축소모형 회로도를 나타낸 것이다. 축소모형은 기본적인 다중브리지 SSSC의 동작특성을 분석하기 위해서 단상으로 제작하였고 향후 3상으로 제작할 예정이다. 다중브리지 SSSC는 그림 6과같이 풀브리지 인버터 6개로 구성하였고 시뮬레이션 모형과 같이 각각의 인버터는 DC Link 캐패시터를 분리제어한다. 표3은 축소모형 회로정수를 나타낸 것이다.

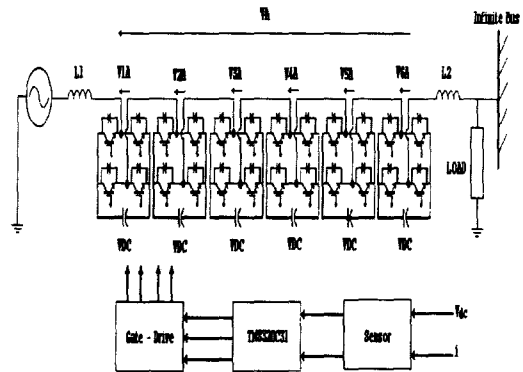
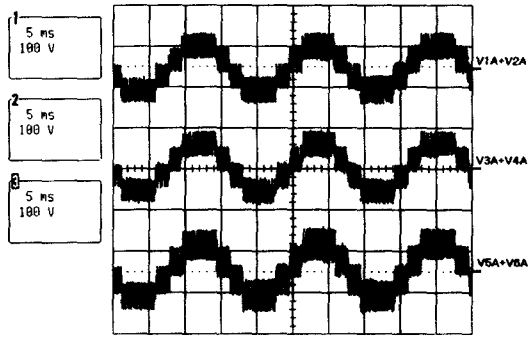


그림 6. 축소모형 회로도  
Fig. 6 Scaled model

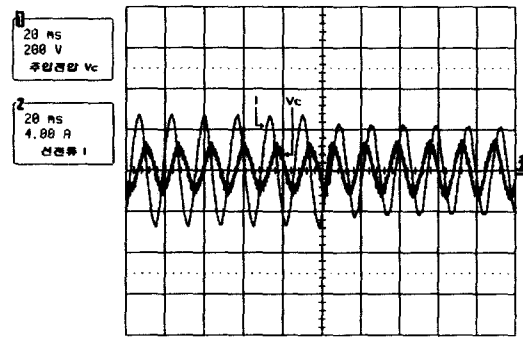
표 3 축소모형 회로정수

Table 3 Scaled model parameters

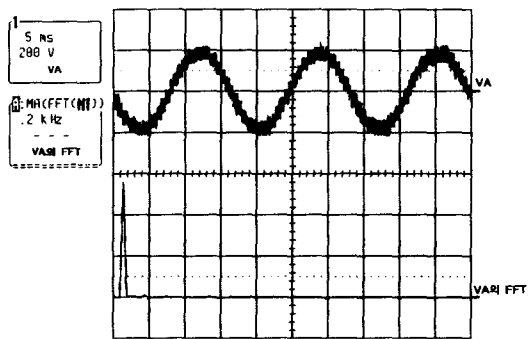
전원전압	200[V]
선로모형 L1	15[mH]
선로모형 L2	28[mH]
부하	50[Ω]
DC Link 캐패시터	2200[μF]



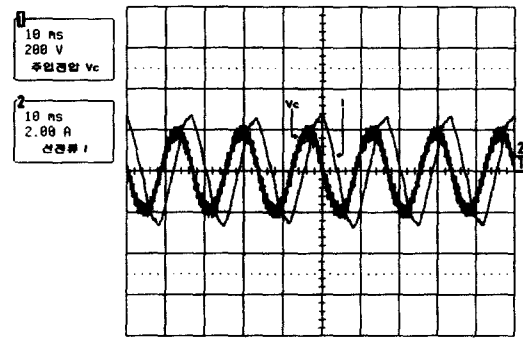
(a) V1A+V2A, V3A+V4A, V5A+V6A 전압 파형



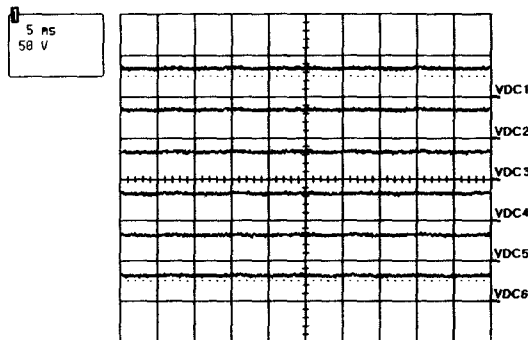
(e) 인버터 주입전압(Vc)과 선로전류(I)



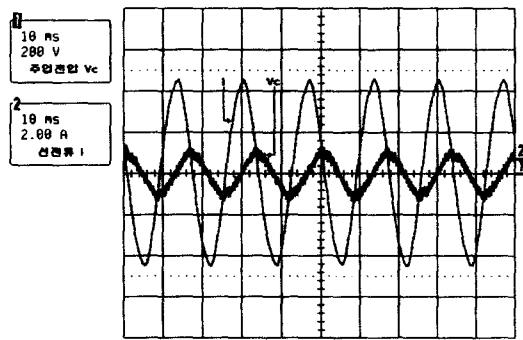
(b) VA의 전압파형과 FFT분석



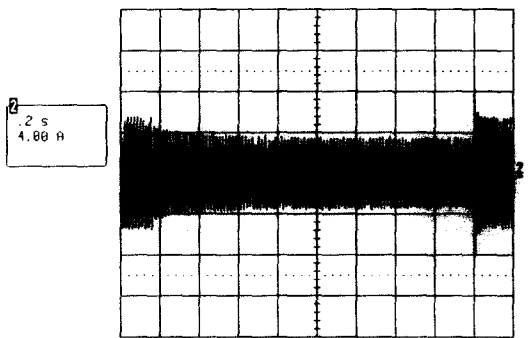
(f) 인버터 주입전압과 선로전류 (L\_Mode시)



(c) DC Link 전압



(g) 인버터 주입전압과 선로전류 (C\_Mode시)



(d) 선로전류

그림 7. 실험결과

Fig. 7 Experiment results

그림 7은 축소모형 실험결과를 나타낸 것이다. 그림 7(a)는 다중브리지 SSSC의 6개 풀브리지를 2개씩 묶은 상태의 출력전압인 V1A+V2A, V3A+V4A, V5A+V6A를 나타낸 것이며 그림 7(b)는 이것을 모두 합친 다중브리지 SSSC의 출력전압 VA와 VA의 FFT를 나타낸 것이다. 그림 7(c)는 풀브리지 인버터의 DC Link 캐패시터 전압을 나타낸 것이다. 각각의 전압이 거의 균등함을 볼 수 있다. 그림 7(d)는 선로전류의 변화를 나타내며 시뮬레이션에서와 같이 SSSC가 동작을 하지 않을 때와 비교하여 L-Mode시에서는 전류가 감

소하고 C-Mode에서는 전류가 증가하는 것을 볼 수 있다. 그림 7(e)는 C-Mode에서 L-Mode로의 천이과정시 인버터 주입전압과 선로전류를 나타낸 것으로서 천이과정이 빠른 것을 알 수 있다. 동작천이시간은 1600ms동안은 C-Mode로 동작하다가 1600ms후에는 L-Mode로 동작하도록 설정하였다. 그림 7(f)는 L-Mode시 인버터의 주입전압과 선로전류를 나타낸 것으로서 이때 SSSC는 유도성 리액턴스와 같이 동작을 한다. 그림 7(g)는 C-Mode시 인버터 주입전압과 선로전류를 나타낸 것인데 이때 SSSC는 용량성 리액턴스와 같이 동작한다.

### 5. 결 론

본 논문에서는 다중브리지로 구성된 SSSC의 동특성을 EMTP 시뮬레이션과 축소모형 실험으로 분석한 결과에 대해 기술하였다. 제안하는 다중브리지 SSSC는 전력계통에서 요구되는 동작전압에 따라 브리지의 수를 가감하여 용이하게 구성할 수 있으며 주입용 변압기가 없이 선로에 직접 연결이 가능하다.

### 감사의 글

본 논문은 한국과학재단의 특정기초 연구비 지원에 의하여 수행된 결과의 일부임. (98-0101-09-01-3)

### 참 고 문 헌

[1] L. Gyugyi, "Solid-State Control of Electric Power in AC Transmission System", Paper No. T-IP.4, International Symposium on Electric Energy Converter in Power System. Capri, Italy, 1989.

[2] Laszlo Gyugyi, Colin D. Schauder, Kalyan K. San, "Static Synchronous Series Compensator : A Solid-State Approach to The Series Compensation of Transmission Lines", IEEE Trans. on Power Delivery, Vol. 12, No. 1, January 1997.

[3] Kalyan K. Sen, "SSSC-Static Synchronous Series Compensator : Theory, Modeling, and Applications", IEEE Trans. on Power Delivery, Vol 13, No.1, January 1998.

[4] F. Z. Peng and J. S. Lai, "A Multilevel Voltage-Source Inverter with Separate DC Sources for Static Var Generation," IEEE/IAS Annual Meeting. pp.2541-2548, Orlando, FL, Oct. 8-12, 1995.

[5] F. Z. Peng and J. S. Lai, "Dynamic performance and control of a static var compensator using cascade multilevel inverter," IEEE/IAS Annual Meeting. pp.1009-1015, San Diego, CA, Oct. 6-10, 1996.

[6] B. Han, G. Karady, J. Park, S. Moon, "Interaction Analysis Model for Transmission Static Compensator with EMTP", IEEE Trans. on Power Delivery, Vol. 13, No. 4, October 1998.

[7] 한병문, 강중구, "EMTP 시뮬레이션과 축소모형 실험에 의한 SSSC의 성능 해석" 대한전기학회 논문지 48A권 5호, pp. 524-530, 1999. 5.

[8] 한병문, 박덕희, 백승택, 김희중, 소용철, 김현우, "다중브리지로 구성된 SSSC의 동특성 분석" 전력전자학회논문지 제5권 제3호, pp. 229-237, 2000. 6.

### 저 자 소 개



#### 한 병 문 (韓炳文)

1953년 7월 5일 생. 1976년 서울대 전기공학과 졸업. 1988년 미 아리조나주립대 대학원 전기공학과 졸업(석사). 1992년 동대학원 전기공학과 졸업(공학박사). 미 Westinghouse 중앙연구소 선임 연구원. 현재 명지대 전기정보제어공학부 부교수.

E-mail : erichan@wh.myongji.ac.kr



#### 박 덕 희 (朴德羲)

1973년 2월 9일 생. 1988년 명지대 전기공학과 졸업. 2000년 동 대학원 전기공학과 졸업(석사). 현재 (주)지오닉스 연구원

E-mail : pdh@nownuri.net



#### 김 성 남 (金城南)

1953년 9월 17일 생. 1980년 명지대 전기공학과 졸업. 1988년 동 대학원 전기공학과 졸업(석사). 2000년 동 대학원 전기공학과 박사과정수료. 현재 (주)두이전기통신 부사장

E-mail : traic@chollian.net