Journal of the Korean Association of Crystal Growth
Vol. 11, No. 3 (2001) 89-95

The annihilation of the flow pattern defects in CZ-silicon crystal by high temperature heat treatment

Ji Wook Seo and Young Kwan Kim†

Department of Material Science & Engneering, University of Inchon, Inchon 402-749, Korea

(Received February 5, 2001)

Abstract The CZ-silicon crystal was annealed at 1350°C to dissolve the vacancy type grown-in defects. At this temperature, the equilibrium concentration of the oxygen in the silicon crystal is around 1.7×10^{18} which induces the oxygen undersaturation in the silicon crystal. This situation results in the faster dissolution of the grown-in defects in the bulk of the silicon wafer than near the surface. This indicates the possibility that the presence of the higher concentration of silicon interstitial hinders the dissolution of the grown-in defects, which were known to compose of the vacancy clusters with surrounding silicon oxide film. This expectation was confirmed by the observation that the slower dissolution of the grown-in defects near the surface of the silicon wafer in the oxygen atmosphere than in the argon atmosphere. This result is quite opposite to the previous argument that presence of the excess silicon interstitial leads to faster dissolution of the vacancy type defects.

고온 열처리에 의한 결정결함의 재용해

서지욱, 김영관†

인천대학교 재료공학과, 인천, 402-749

(2001년 2월 5일 접수)

요 약 규소 결정의 용융 온도 근처인 1350°C에서 Ar과 O_2 gas를 이용하여 규소 wafer의 열처리시 vacancy type 결함의 거동에 대해 알아보았다. 이 열처리에서는 wafer의 표면보다 wafer내부에서 결함의 용해속도가 매우 높음을 확인하였다. 이는 1350°C에서는 규소내의 평형산소농도가 대부분의 CZ silicon에서의 산소농도보다 높아 산소의 undersaturation현상과 silicon interstitial 농도의 영향에 기인된 것으로 예상된다. 열처리 분위기의 영향을 알아보기 위하여 Ar과 O_2 분위기에서 열처리한 결과 vacancy type 결함의 용해속도는 wafer의 내부에서는 차이가 없었고, wafer의 표면에서는 Ar이 O_2의 경우보다 결함의 용해속도가 높았다. O_2의 경우에는 표면산화막 성장시 유입된 silicon interstitial의 농도가 높아 결함의 용해속도가 떨어지는 것으로 판단된다. 이는 기존 연구에서 예상된 silicon interstitial이 vacancy cluster로 알려진 결정결함의 제거에 기여한다는 예상과는 상반된다. 본 연구의 결과 silicon interstitial의 존재는 void외부 산화막의 용해속도를 늦추어 결함 용해속도를 떨어뜨리는 것으로 예상된다.

1. 서 론

Cz법으로 성장된 규소 단결정에서 발견된 vacancy type의 grown-in defects(결정결함)는 여러 가지 방법으로 분석이 가능하며, 분석방법에 따라 각기 다르게 불려지고 있다. SC1 cleaning후 Laser particle counter에 의해 측정하는 COP(Crystal Originated Particle), Secco etching에 의해 선택에칭방법으로 분석하는 FPD(Flow Pattern Defects), 그리고 Laser Scattering Tomography방법으로 분석하는 LSTD로 크게 나눌 수 있으며, 이러한 결함들의 밀도나 분포가 Gate Oxide Integrity(GOI)의 특성에 영향을 미치는 것으로 알려져 있다[1-2].

V. Voronkov 등은 컴퓨터 시뮬레이션을 통해 결정성장시 생성되는 결함은 vacancy type와 interstitial type이 존재한다고 하였으며, 이들 중 우세한 결함의 종류는 결정성장속도와 고액경계면 영역에서의 성장축방향의 온도 구배 비율로써 결정되어진다고 하였다[3-11]. D. Graf 등의 보고에 의하면 GOI 결함 밀도와 FPD 밀도는 비례하며, 같

†Corresponding author
Tel: 82-32-770-8272
Fax: 82-32-761-6658
E-mail: youngkim@incheon.ac.kr

은 성장조건이라도 결정의 크기가 크면 GOI 결함 밀도와 FPD 밀도가 줄어들었음을 보고하였다. 이것은 규소결정의 직경이 클수록 성장속도와 냉각속도가 느리기 때문에 점결함이 확산하여 재결합되어 결함밀도가 줄어든다는 사실을 나타낸다고 하였다[12]. 그리고 FPD의 발생은 1150°C와 1300°C에서 가장 활발하다는 결과를 보고하였다[12].

이들 연구의 결과는 고온에서 열처리로 결함의 재용해를 통해 결함감소 효과를 볼 수 있는 가능성을 나타낸다. 이에 대하여 R. Rantamaki 등은 선택적 에칭(Secco)법에 의해 나타나는 Cz-silicon의 FPD는 결정성장시 인상속도에 의존하고, 고온(1200°C)에서의 열처리로 감소되어질 수 있다고 보고하였다[13].

R. Schmolke 등은 vacancy type 결함을 TEM으로 관찰한 결과 8면체 void 외부에 얇은 산화막의 존재를 밝혀내었다[14]. M. Brohl 등은 1200°C, O_2 열처리로 wafer 표면의 결함감소 효과가 거의 없다고 보고하고 있다[15-16].

이들 외에 N. Adachi 등은 결함용해과정을 두 가지 단계로 제시하고 있다. 즉, 첫 번째 단계로 void 외부의 thin oxide film이 용해되어야 하며, 두 번째 단계로 void에 silicon interstitial (Si(I))이 유입되어서 void가 수축된다고 하였다[17]. 또한 S. Umeno 등은 O_2 열처리시 규소결정의 산소농도에 따라 결함 용해를 두 가지로 구분하였다. 1) supersaturation의 경우에는 wafer 표면에서 유입된 Si(I)이 void 외부의 thin oxide film을 성장시켜서 void를 수축시킨다 하였고, 2) undersaturation의 경우에는 결함외부의 thin oxide film이 용해되어 wafer 표면에서 유입된 Si(I)이 void를 수축한다고 하였다[18]. 결국 N. Adachi와 S. Umeno는 SI(I)이 vacancy type 결함용해를 촉진한다고 예상하였다.

이들 연구를 종합하여 보면 규소 결정결함의 거동은 열처리 온도, Si(I) 농도 및 oxygen 농도에 관련이 있다고 예상된다. 따라서 최근에는 웨이퍼상태에서 열처리를 하여 규소 단결정의 열이력을 해소함과 동시에 결정결함의 제어를 하고자 하는 노력이 수행되고 있다[12-18]. 그러나 이들 연구는 대부분 wafer 표면에 존재하는 규소 결정결함 거동에 치중하고 있으며, 또한 열처리온도는 대개 1200°C 정도이다[12, 14-18]. 실제로 1200°C에서 열처리시 표면에서 40~60 %의 FPD 결함감소가 있다고 보고되고 있다[13]. 그러나 FPD의 발생이 1300°C 근처의 고온에서 주로 생긴 점결함의 cluster라는 결과[12]는 1300°C 이하에서의 열처리로는 결정결함의 용해와 wafer 내부의 uniformity 향상은 어렵다고 판단된다. 따라서 좀더 고온에서의 열처리가 결정결함의 용해에 유효할 것으로 예상된다. 더욱이 규소 결정용융 온도근처인 1350°C에서는 평형산소농도가 높아서 대부분의 규소 결정에서는 산소농도가 undersaturation이 된다. 이 경우 void 외부의 산화막 제거가 용이할 것으로 예측된다. 따라서 본 연구에서는 Ar과 O_2 gas가 1350°C에서 annealing시에 결정결함에 어떠한 영향을 미치는가에 대해 확인하고자 한다.

2. 실험 방법

본 실험에서는 LG 실트론사의 5 inch 규소 웨이퍼를 사용하였고, 사양은 Table 1과 같다. 모든 규소 웨이퍼는 4등분하였으며, inside와 edge 두 부분으로 구분하여 샘플링하였다. 열처리전 모든 시편은 SC1, HF, SC2로 표면을 세정하였다. 규소 웨이퍼의 열처리는 1350°C에서 1, 2, 7시간 동안 Fig. 1과 같은 스케줄에 따라 진행하였으며 사용된 가스인 Ar과 O_2는 반도체용 고순도 가스를 사용하였다. 열처리시 승온과정에서 결함의 증식을 막기위해 1200°C까지 분당 10°C로 승온시켰으며, 1200°C부터 1350°C까지는 분당 1°C의 승온율을 주었다. 냉각은 결함생성 구역인 1300~1150°C를 피하기 위해 상온까지 분당 10°C의 속도로 냉각하였다. 열처리 효과를 비교하기 위해 열처리를 하지 않은 시편을 표준시편으로 만들었다. 열처리후 시편 표면에 존재하는 오염물과 자연산화막 제거를 위해 SC1 (H_2O-NH_4OH-H_2O_2 : 5-1-1), HF-H_2O(1 : 10), SC2(H_2O-HCl-H_2O_2 : 6-1-1)에서 각각 15분, 15초, 15분씩 세정한 후 건조질소로 표면의 습기를 제거하였다. Secco etchant

Table 1
Classification of wafer

Type	Orientation	Dopant	O_i (ppma)	Res. (Ωcm)	Diam. (mm)
p	100	Boron	12~15	5~8	125
n	100	Phosphrous	12~15	1.6~2.6	125

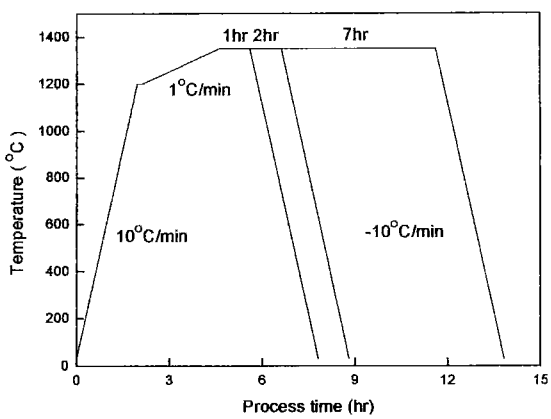


Fig. 1. Thermal cycles for determining effect of different times on shrinkage of grown-in defects.

에서 non-agitation 방법으로 30분간 에칭하였다.

결정내부의 결함밀도를 측정하기 위해 표면을 관찰한 시편을 Buehler사의 MiniMet 1000모델을 사용하여 polishing 하였다. 습기와 먼지를 방지하기 위하여 글로브박스를 제작하여 박스내에서 작업하였다. polishing이 끝난 시편은 각각 10분씩 에칭하였다. Secco 에칭된 시편은 Olympus 사의 CK40M 현미경을 이용하여 counting 하고 촬영하였다.

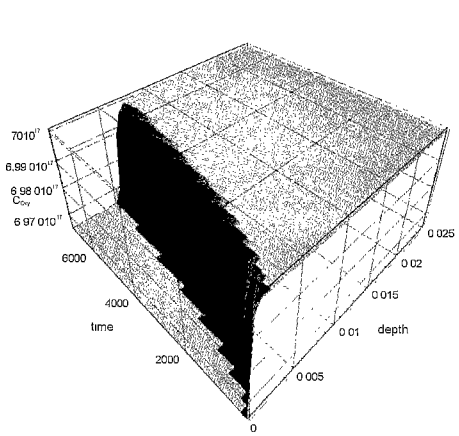
Table 2
Oxygen solubility $[O]_s$ as a function of temperature

Temperature (°C)	Oxygen solubility (/cm^3)	Oxygen solubility (ppma)
1200	5.6×10^{17}	11.2
1250	8.3×10^{17}	16.6
1300	1.2×10^{18}	24
1350	1.7×10^{18}	34

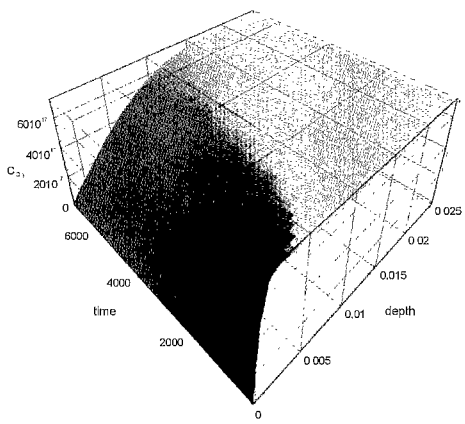
3. 결과 및 고찰

3.1. 이론적 계산과 결함용해 Model

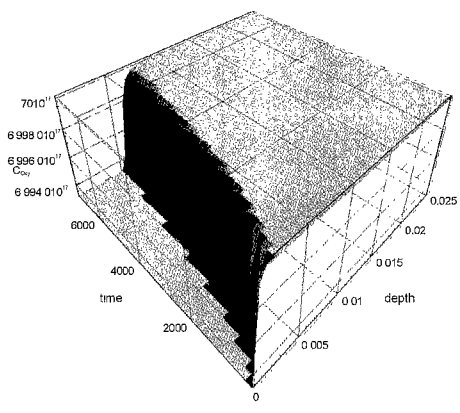
Vacancy type 결함의 용해는 먼저 void 외부의 산화막이 용해되는 단계를 거치게 된다. 결정결함의 산화막의 반응식은 $SiO_2 \leftrightarrow Si(I) + 2O_i$이며, 이 반응속도 및 방향은 Si(I) 농도와 산소농도의 함수가 된다. 열처리시 void 외부 산화막의 성장및 소멸은 산소농도에 영향을 받으므로 다음과 같은 식(1), (2)를 이용하여 온도와 시간에 따른 wafer 내부의 산소농도변화에 대해 계산해 보았다. wafer의 두께는 산소의 out-diffusion length 보다 길고 이미 존재하는



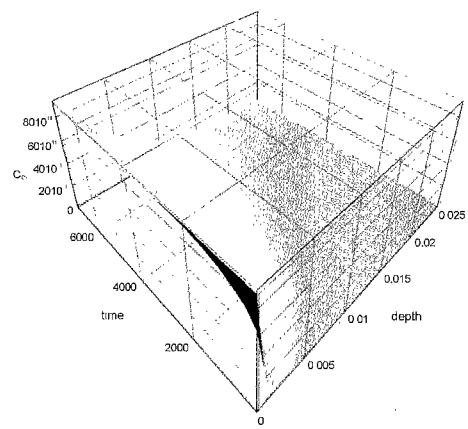
(a) 1200℃ in Ar ambient



(b) 1350℃ in Ar ambient



(c) 1200℃ in O_2 ambient



(d) 1350℃ in O_2 ambient

Fig. 2. Calculated values for oxygen diffusion (a) annealed at 1200°C for 2 hours in Ar ambient, (b) annealed at 1350°C for 2 hours in Ar ambient, (c) annealed at 1200°C for 2 hours in O_2 ambient, (d) annealed at 1350°C for 2 hours in O_2 ambient.

oxygen precipitate나 wafer 내에 포획되어있던 산소가 diffusion하지 않는 다고 가정하면 wafer내의 깊이방향의 산소농도는 다음과 같은 식으로 표시할 수 있다[19].

$$[O]_s = 9\times10^{22}\exp\left(-\frac{1.52}{kT}\right) \quad (1)$$

$$[O](x,t) = [O]_s + ([O]_0 - [O]_s)\times\mathrm{erf}\left(\frac{x}{2\sqrt{D_{oxy}t}}\right) \quad (2)$$

where,

$[O]_s$ = Solid solubility of oxygen in silicon at SiO_2/Si

$[O]_0$ = Initial oxygen concentration in the wafer

D_{oxy} = Diffusion coefficient of oxygen

식(1)을 이용한 wafer속에서의 각 온도에 따른 평형 산소 농도의 변화는 Table 2와 같다. 본 실험에 사용된 규소 웨이퍼의 O_i 농도는 $6\sim7.5\times10^{17}cm^{-3}$이며 열처리 온도에 따라 supersaturation과 undersaturation의 상황으로 구분되어진다. 식(2)를 이용하여 1200°C, 1350°C, Ar과 O_2 분위기에서 2시간 열처리 하였을 때 wafer 내의 산소농도 변화는 Fig. 2와 같이 예측된다. 그림에서 보듯이 열처리 온도가 1200°C에서는 Ar과 O_2 경우 모두 산소가 out-diffusion이 된다. 반면에 1350°C에서는 O_2 열처리시 wafer 표면에서 산소가 외부에서 wafer 내부로 in-diffusion이 되는 상황이 발생함을 예상할 수 있다. 따라서 1200°C에서는 두 경우 모두 wafer 표면이 oxygen undersaturation이 되며 내부에서는 oxygen supersaturation 현상이 발생한다. 1350°C에서는 Ar과 O_2 분위기 모두 내부는 undersaturation이 되며, 특히 O_2 분위기의 경우는 표면만 superaturation이 된다. 이를 이용하여 규소결정내의 결함외부 산화막의 용해모델을 설정할 수 있다. Fig. 3은 산소농도 supersaturation상황에서의 결함 외부산화막의 용해모델을 나타낸다. Ar 분위기의 열처리시에 표면에서 결함밀도가 낮아지는 것은 산소의 out-diffusion의 발생으로

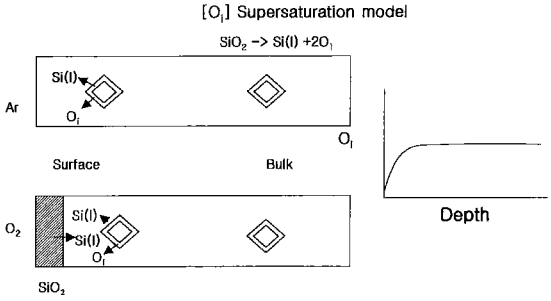


Fig. 3. Schematic model for annealing behavior of the thin oxide film at supersaturation.

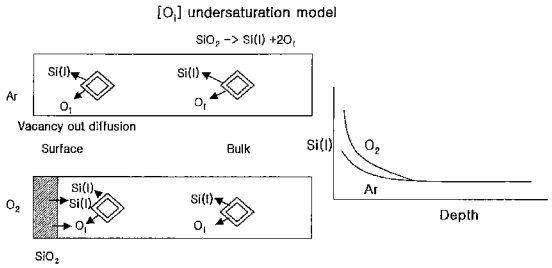


Fig. 4. Schematic model for annealing behavior of the thin oxide film at undersaturation.

인하여 표면의 산소농도가 낮아지므로 산화막의 용해가 용이하게 되기 때문으로 예상된다. 반대로 O_2 분위기에서는 열처리시 wafer표면에서 유입되는 Si(I)의 농도가 높아질것으로 예상된다. 이 경우 $SiO_2 \leftrightarrow Si(I) + 2O_i$의 정방향 반응속도가 떨어져서 산화막의 용해가 용이하지 못할것으로 예측된다. 또한 wafer 내부에서는 산소가 supersaturation이 되어 oxygen precipitation이 발생하거나 산화막의 용해가 억제되는 현상이 발생할 수 있다고 예상할 수 있다.

Fig. 4는 산소농도 undersaturation 상황에서의 결함 외부산화막의 용해모델을 나타낸다. 고온에서의 열처리시 규소결정은 oxygen undersaturation이 되어 oxygen supersaturation의 경우와 반대 현상이 나타날 것으로 예상된다. 즉 wafer내부에서도 평형산소농도보다 낮은 상태에 있기 때문에 결함 외부산화막이 쉽게용해 될 것으로 예상할 수 있다. 그러나 O_2 분위기의 경우는 Ar 분위기와 다르게 표면에서 산화막성장시 유입되는 Si(I)와 산소의 indiffusion으로 인해 산화막의 용해가 억제되는 현상이 발생할 수 있다고 예상된다.

두 번째 단계로 외부 산화막이 없는 void의 수축현상을 vacancy 확산에 의한 수축으로 가정하면, 다음과 같은 식

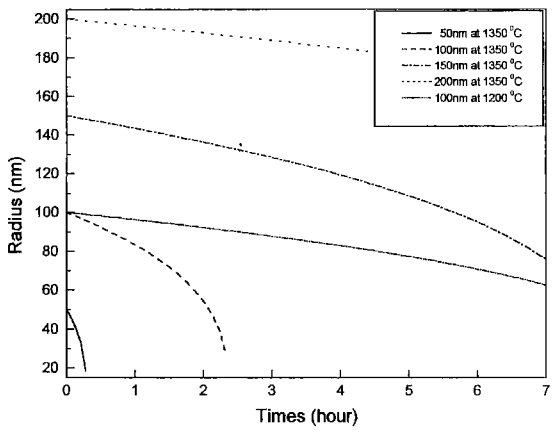


Fig. 5. Variation of void radius with annealing times.

으로 예측할 수 있다[20].

$$\frac{dr}{dt} = -\frac{D_v}{r}\left(\exp\left(\frac{2\gamma_s\Omega}{rkT} - 1\right)\right) \quad (3)$$

Fig. 5는 1200°C와 1350°C에서 열처리온도에 따른 결함의 소멸시간을 식 (3)을 사용하여 계산해본 것이다. 1350°C에서는 크기가 100 nm인 결함은 2시간의 열처리로 소멸되나 1200°C에서는 7시간 열처리에도 소멸되지 않을 것으로 예측된다. 100 nm 보다 큰 결함의 경우에는 1350°C에서도 장시간 열처리를 해야 소멸될 것으로 예상된다. 그러나 void외부의 산화막이 없다고 가정하였기 때문에 실제 결함이 소멸되는 시간은 Fig. 5에 표시된 시간보다 장시간이 필요할 것이라고 예상할 수 있다.

3.2. Ar 열처리효과

Table 3은 본 실험에 사용된 규소 wafer의 FPD 밀도를 나타낸다. p, n-type 모두 결정의 반경방향 내측의 결함밀도가 반경방향 외측보다 높다. 이는 성장축과 고액경계면상의 온도 구배비율에 의해 규소결정 반경방향의 내측에는 vacancy type의 결함이, 외측에는 interstitial type의 결함이 우세하다는 예상과[3-10] 일치한다.

Fig. 6은 wafer 표면에서 1350°C, Ar 분위기, 1, 2, 7시간 동안 annealing한 시편의 FPD밀도의 변화를 나타

Table 3
FPD density of non-annealed sample

Type	p-type edge	p-type inside	n-type edge	n-type inside
Number of FPD (#/cm^2)	1374	1645	916	1008

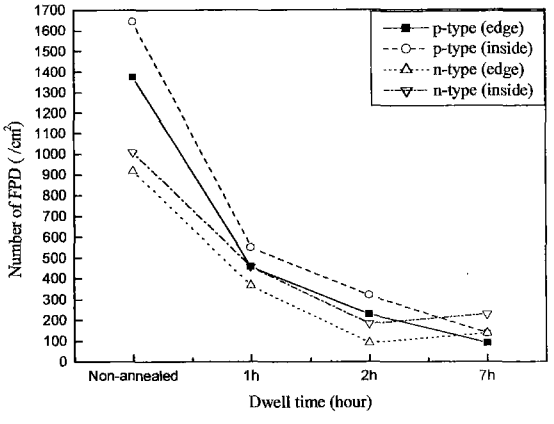


Fig. 6. FPD density variation with dwell time at 1350°C in Ar ambient.

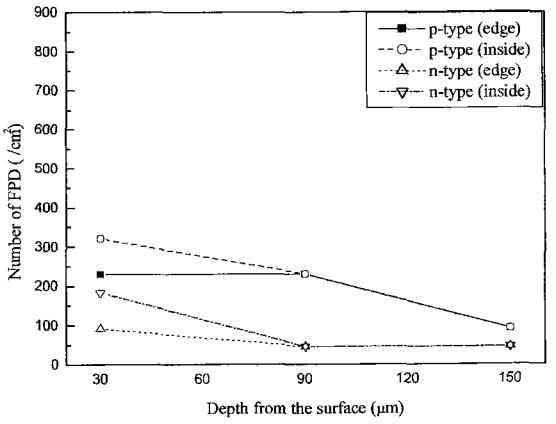


Fig. 7. FPD density variation with depth in Ar ambient for 2 hours at 1350°C.

낸다. wafer 표면에서 FPD 밀도는 60~80 %까지 감소하였다. 이 수치는 R. Rantamaki 등이 1200°C에서 관찰한 40~60 %의 결함밀도 감소치보다 크다[13]. 이는 본 실험에서 사용한 열처리 온도가 높기 때문에 void외부 산화막의 용해가 더욱빠르게 진행된것으로 판단된다. 또한 Fig. 5의 결과에서 예상되었듯이 열처리 시간이 길어질수록 vacancy type 결함의 용해현상이 계속되는 것이 확인되었다.

Fig. 7은 1350°C에서 2시간 열처리에 의한 wafer 내부의 FPD 밀도의 변화를 나타낸다. 그림에서 보듯이 wafer 내부에서도 결함의 밀도가 낮아지는 것을 볼 수 있다. 이는 Fig. 4와 5에서 예상되었듯이 FPD용해는 O_i 이외에 Si(I)도 영향을 미치는 것으로 판단된다.

Fig. 8은 열처리 시간에 따른 wafer 표면과 내부에 존

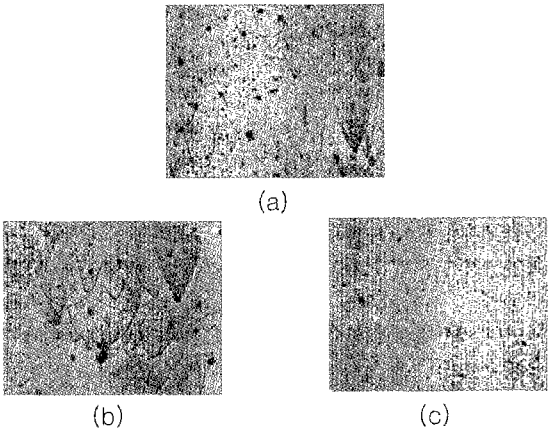


Fig. 8. Microphotographs of p-type sample (a) non-annealed sample, (b) annealed for 2 hours at Ar ambient, (c) annealed for 2 hours at Ar ambient. respectively (b) is surface, (c) is 150 μm from the surface [magnification ×50].

재하는 FPD의 현미경 사진이다. (a)의 경우는 열처리를 수행하지 않은 기준시편의 FPD모습이며, (b)와 (c)는 1350°C에서 2시간 동안 열처리를 행한 시편의 표면과 내부의 FPD 모습을 나타낸다. 사진에서 보듯이 열처리에 의하여 FPD가 줄어들며, 더욱이 wafer의 내부에서는 FPD를 찾아보기 어려웠다. FPD 이외에 SEPD(Secco Etch Pit Defect)도 보여지는데, wafer 표면에서는 열처리시간이 2시간까지 SEPD의 크기가 커지며 FPD 꼭지점의 etch pattern도 커지는 것을 확인할 수 있었다. 그러나 wafer 내부에서는 2시간 이상 열처리하여도 SEPD를 관찰할 수 없었다.

Ar 분위기에서 열처리시에 wafer 내부의 결함밀도가 표면보다 더욱 빠른 속도로 감소하였는데 이는 wafer 내부보다 wafer 표면에 Si(I)의 농도가 높기 때문에 기인된 것으로 예상된다. 최근의 점결함의 농도와 확산계수에 대한 연구에 의하면 공통적으로 $C_V > C_I$라고 보고 되고 있으나 확산계수에는 예측이 서로 엇갈리고 있다[21-23]. 어떻든 열처리 과정동안에 이미 생성된 vacancy와 interstitial 등의 점결함은 서로 상쇄되어 소멸하거나 wafer 표면으로 확산될 것이다. 실제로 결정성장시에 결정의 표면근처에서는 Si(I)로 기인된 결함의 농도가 높고 결정의 내부에서는 vacancy로 기인된 결함의 농도가 높은 사실로 보아 표면에서 소실된 vacancy의 농도가 interstitial 농도보다 높음을 유추할 수 있다. 따라서 본 실험에서도 wafer의 표면근처에서는 wafer의 내부에 비하여 interstitial의 상대농도가 높을것으로 판단된다. wafer의 내부에 비하여 wafer의 표면에 고농도로 존재하는 Si(I)가 FPD 외부의 산화막의 용해 즉, $SiO_2 \leftrightarrow Si(I) + 2O_2$로 용해되는 반응을 wafer에 비하여 억제 시키는 것으로 판단된다.

3.3. O_2 열처리의 효과

Fig. 9는 표면에서 1350°C, O_2 분위기, 1, 2, 7시간 동안 annealing한 시편 표면에서의 FPD 밀도의 변화를 나타낸다. wafer 표면에서의 결함 감소율은 10~60 %로서 Ar 분위기에서의 열처리 경우보다 낮았다. M. Brohl 등의 실험결과에서는 O_2 분위기 1200°C 열처리에서 결함감소가 확인되지 못하였다[16]. 그러나 본 실험에서 확인된 FPD 밀도의 감소는 열처리 온도가 상대적으로 높았기 때문에 기인된 것으로 판단된다. Ar 분위기 열처리에 비하여 결함 용해속도가 크게 떨어지는 이유는, Fig. 2(d)에서 보듯이 wafer 표면에서 외부산소의 in-diffusion 현상이 발생한 것과 웨이퍼 표면산화막 성장에 따른 Si(I)의 유입에 기인된 것으로 판단된다.

Fig. 10은 1350°C에서 2시간 열처리에 의한 wafer 내부의 FPD 밀도의 변화를 나타낸다. O_2 분위기 열처리의 경우에는 wafer 내부에서 결함의 수가 크게 감소하여 Ar 분위기의 경우와 차이가 나지 않음을 확인하였다. 이는 wafer의 내부에서는 표면으로부터 유입되는 Si(I)의 영향이 없기 때문인것으로 판단된다.

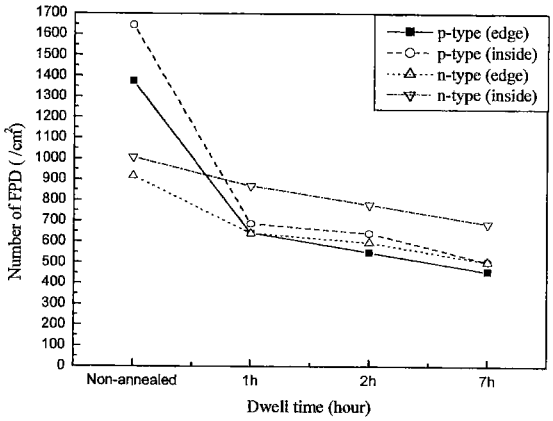


Fig. 9. FPD density variation with dwell time at 1350°C in O_2 ambient.

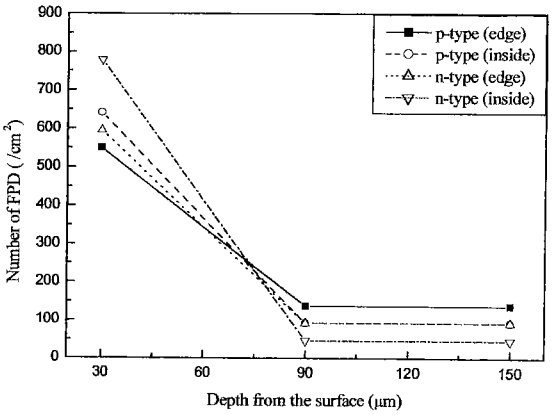


Fig. 10. FPD density variation with depth in O_2 ambient for 2 hours at 1350°C.

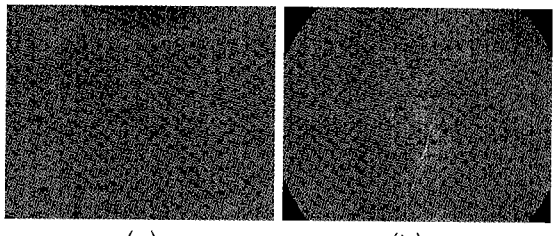


Fig. 11. Microphotographs of p-type sample (a) annealed for 2 hours at O_2 ambient, (b) annealed for 2 hours at O_2 ambient. respectively (a) is surface, (b) is 150μm from the surface [magnification ×50].

Fig. 11은 1350°C에서 2시간 열처리에의한 wafer 표면과 내부의 FPD의 모습을 나타낸다. (a)는 wafer 표면에 (b)는 wafer 내부에 존재하는 FPD의 모습이다. 사진에서 보듯이 O_2 분위기 열처리의 경우에는 Ar 분위기에서의 열처리와 다르게 wafer 표면에서는 SEPD의 밀도가 시간에 따라 증가하는 것을 볼 수 있었다. 이는 O_2 분위기 열처리시에 wafer 표면에 성장되는 SiO_2 film의 두께가 증가하여 다수의 SEPD가 생성되는 것으로 예상된다.

4. 결 론

본 연구에서는 고온에서(1350°C) Ar과 O_2 분위기에서의 열처리가 규소 wafer 표면과 내부에서의 vacancy type 결함의 거동에 미치는 영향을 관찰하여 다음과 같은 결론을 얻었다.

1) Ar과 O_2 분위기의 열처리시에 wafer 표면에서 각각 60~80 %와 10~60 %의 FPD 밀도의 감소를 보았다. 열처리 시간이 증가할수록 FPD의 밀도가 감소함을 확인하였고, Ar 분위기에서의 열처리가 O_2 분위기에서의 열처리보다 FPD 용해 효과가 높음을 보았다. 이는 O_2 분위기의 경우엔 Ar 분위기의 경우에 비하여 wafer 표면산화막으로부터 내부에 유입되는 Si(I)가 많기 때문인것으로 판단된다. Si(I) 농도가 높을 경우 void의 외부 산화막의 용해속도를 떨어뜨릴 것으로 예상된다.

2) Ar 분위기와 O_2 분위기에서 열처리시 wafer 내부에서는 열처리 분위기가 결함 용해속도에 미치는 영향이 거의 없음을 확인하였다. 이는 wafer 내부에서는 wafer의 표면으로부터 유입되는 Si(I)의 영향이 없음을 예상할 수 있다. 단지 wafer 내부에서는 산소농도의 undersaturation으로 인하여 void 외부산화막의 용해가 이루어지는 것으로 판단된다.

3) Ar과 O_2 분위기 모두 wafer 표면보다 wafer 내부에서 FPD 감소율이 높음을 확인하였다. 이는 vacancy type 결함의 용해는 결함외부 산화막의 용해가 우선되어야 하며, 이 반응은 $SiO_2 \leftrightarrow Si(I) + 2O_i$로 이루어지며 고농도 Si(I) 및 Oi의 존재는 void 외부 산화막의 용해속도를 저해하는 것으로 판단된다.

감사의 글

본 연구는 인천대학교의 2000년도 연구비 지원사업의 일환으로 수행되었습니다.

참 고 문 헌

[1] D. Graf, M. Suhren, U. Lambert, R. Schmolke, A. Ewert, W. Von Ammon and P. Wagner, J. Electrochem. Soc. 145 (1998) 275.
[2] M. Suhren, D. Graf, U. Lambert and P. Wager 144 (1997) 4041.
[3] J. Vanhellemont, G. Kissinger and D. Gräf, High purity silicon IV, C. L. Clacys, electronic division proceeding volume 96-13, pp. 226-237.
[4] K. Takano, M. Iida, E. Iino, M. Kimura and H. Yamagishi, Journal of Crystal Growth 180 (1997) 363.
[5] Takao Abe, Journal of Korean Association of Crystal Growth 9 (1999) 402.
[6] V.V. Voronkov, J. Crystal Growth 59 (1982) 625.
[7] R. Habu and K. Koyoshi, Jpn. J. Appl. Phys. 33 (1994) 1234.
[8] R. Habu and K. Koyoshi, Jpn. J. Appl. Phys. 36 (1997) 2800.
[9] R. Habu and K. Koyoshi, Jpn. J. Appl. Phys. 35 (1996) 1.
[10] Erich Dornberger, Wilfried von Ammon J. Electrochem. Soc. 143 (1996).
[11] Talid Sinno and Robert A. Brown, J. Electrochem. Soc. 145 (1998) 302.
[12] E. Dornberger and W. Von Ammon, High purity silicon IV, C. L. Claeys, electronic division proceeding volume 96-13 pp. 141-150.
[13] R. Rantamaki, J. Molarius, M. Tilli and T. Tuomi, Physica Scripta T69 (1997) 264.
[14] R. Schmolke and D. Gräf, Defects in silicon III, T. Abe, electronic division proceeding volume 99-1, pp. 386-400.
[15] A. Romenowski and G. Rozgony, J. Appl. Phys. 85 (1999) 6408.
[16] D. Grëf, U. Lambert and M Borhl, J. Electrochem. Soc. 142 (1995) 3189.
[17] N. Adachi, T. Hisatomi, M. Sano and H. Tsaya, Journal of The Electrochemical Society 147 (2000) 350.
[18] S. Umeno, Y. Yanase, M. Hourai and M. Sano, JPN. J. Phys. 38 (1999) 5725.
[19] F. Shimura, Oxygen in Silicon, F. Shimura, Semiconductors and Semimetals, Vol. 42, Academic Press, Inc., pp. 607.
[20] R.E. Smallman, Modern Physical Metallurgy, R. E. Smallman, Fourth Edition, Burrerworths, pp. 320.
[21] Naoko Ono, Kazuhiro Harada, Jun Furukawa, Kazuya Suzuki, Michio Kida and Yasushi Shimanuki, Proceedings of the Eighth International Symposium on Silion Materials Science and Technology - Volume 1, V. 1, 1998.
[22] H. Lemke and W. Sudakamp, Phys. Stat. Sol. (a). 176 (1999) 843.
[23] Kozo Nakamura, Toshiaki Saishoji, Toshimichi Kubota, Tetsuhiro Iida, Yoshiyuki Shimanuki, Toshirou Kotooka and Junsuke Tomioka, J. Crystal Growth 180 (1997) 61.