

## STI-CMP 공정에서 Torn oxide 결함 해결에 관한 연구

### A Study for the Improvement of Torn Oxide Defects in Shallow Trench Isolation-Chemical Mechanical Polishing(STI-CMP) Process

서용진\*, 정현상\*\*, 김상용\*\*\*, 이우선\*\*, 이강현\*\*\*\*, 장의구\*\*\*\*\*

(Yong-Jin Seo\*, Hun-Sang Chung\*\*, Sang-Yong-Kim\*\*\*, Woo-Sun Lee\*\*, Kang-Hyun Lee\*\*\*\*, Eui-Goo Chang\*\*\*\*\*)

#### Abstract

STI(shallow trench isolation)-CMP(chemical mechanical polishing) process have been substituted for LOCOS(local oxidation of silicon) process to obtain global planarization in the below sub-0.5  $\mu\text{m}$  technology. However STI-CMP process, especially STI-CMP with RIE(reactive ion etching) etch back process, has some kinds of defect like nitride residue, torn oxide defect, etc. In this paper, we studied how to reduce torn oxide defects after STI-CMP with RIE etch back process. Although torn oxide defects which can occur on trench area is not deep and not severe, torn oxide defects on moat area is sometimes very deep and makes the yield loss. Thus, we did test on pattern wafers which go through trench process, APCVD process, and RIE etch back process by using an IPEC 472 polisher, IC1000/SUVA4 PAD and KOH base slurry to reduce the number of torn defects and to study what is the origin of torn oxide defects.

**Key Words** : STI(Shallow Trench Isolation), CMP(Chemical Mechanical Polishing),  
Torn Oxide Defect, Reverse Moat Etch

#### 1. 서 론

반도체 제조 공정 중에 집적도가 증가함에 따라 필드 절연(field isolation) 공정으로 널리 사용하던 LOCOS(local oxidation of silicon) 공정 대신 STI(shallow trench isolation) 공정을 도입하여 사용

하고 있다. 이 STI 기술은 CMP 공정이 필수적으로 사용되어야 하는데 이에 따른 문제 공정들이 있다[1, 2]. 그들 중 하나인 torn 산화막은 모트(moat) 지역과 필드(field) 지역의 경계지역에서 필드 위의 산화막이 뜯겨져 나가는 현상을 말한다. 현재 STI-CMP 공정을 원활하게 진행되도록 하기 위하여 전 공정에서 reverse moat 식각 공정을 실시하고 있다[3, 4]. 이때 필드의 양쪽 끝에는 예리한 형태의 산화막 모서리가 생성된다. 연마를 실시할 때에 패턴 웨이퍼에 초기 압력이 가해지고, 그 압력에 의해 산화막 모서리가 뜯겨져 나가거나, 뜯겨져 나간 산화막은 particle source로 작용하여 주변 산화막에 attack을 가하게 된다. 조밀한 지역에서는 필드 산화막의 모

\*: 대불대학교 전기전자공학부  
\*\*: 조선대학교 전기공학과  
\*\*\*: 아남반도체 FAB 사업부  
\*\*\*\*: 조선대학교 전자정보통신공학부  
\*\*\*\*\*: 중앙대학교 전자전기제어공학부  
2000년 7월 22일 접수, 2000년 12월 12일 심사완료

서리가 촘촘하게 있어 균일한 힘을 받는 반면, 절연 분리한 영역에서의 산화막 모서리는 불균일한 힘을 집중적으로 받는다. 이 때문에 torn 산화막 대부분이 넓은 지역인 더미 모트(dummy moat) 지역에 나타나고 있다. 결함의 발생유형은 결함의 모형상 edge형, 전면형, 스타형, active damage형 이있는데 이 결함이 소자의 셀(main cell) 영역에 막대한 지장을 주어 수율에 큰 영향을 주고 있다.

본 논문에서는 STI-CMP 공정을 개선하기 위해 reverse moat 식각 공정 후, 트렌치(trench) 위의 예리한 산화막의 취약함을 극복하고자 torn 산화막 결함에 대해 고찰하였다.

## 2. 실험

본 실험에서는 IPEC 472 연마기에서 IC1000/SUVA4 패드와 KOH 계 슬러리를 사용하였다. 트렌치 공정은 깊이 5000Å을 형성한후, APCVD(atmospheric pressure chemical vapor deposition) 공정으로 두께를 스플릿하였으며, RIE(reactive ion etching) REV. Etch 공정을 거친 6인치 패턴 웨이퍼를 사용 하였다. STI fill 공정의 두께를 각각 8400Å, 9400Å, 10400Å, 11400Å로 스플릿하여 실험하였으며 질화막 잔존물(nitride residue)[5]을 없애기 위하여 rev. moat etch 공정을 행한 후, 그 결과를 KLA 2135, AFM 과 JOEL SEM에서 결함들을 검사하였다. 그림1은 본 논문에서 고찰한 공정 소자의 대표적인 결함 단면을 나타낸 것이다.

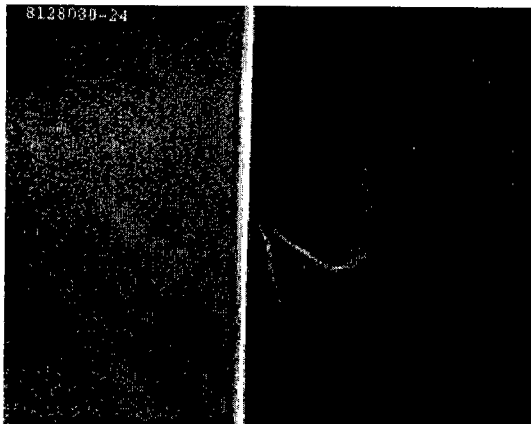


그림 1 전형적인 Torn 산화막 결함의 단면도  
Fig. 1 Cross section of a typical torn oxide defect

## 3. 실험결과 및 고찰

### 3.1 결함의 발생 유형

Torn 산화막의 발생 유형을 웨이퍼 모형상 4가지 형태로 분류하였다.

1) Edge형: 그림 2는 전형적인 torn 산화막 유형을 나타낸 것으로 전체 발생의 80 % 이상이 여기에 해당되었다. 이 결함의 결함밀도는 약 5 % ~ 10 % 정도이며 대분 dummy moat 지역에서 발생하며, cell 지역 침범 정도가 미약하여 소자 수율 측면에는 큰 영향을 주지 않는다.

2) 전면형: 이 유형은 그림3에 보였으며 발생 빈도가 그다지 높지는 않지만 edge형에 비해 필드지역 산화막이 뜯겨져 나가는 정도가 심하다. 결함밀도는 10 % 이상이며 액티브 지역에 발생되는 경우도 있어 소자 수율에 영향을 미친다.

3) Star형: 이 유형은 그림4에 보였으며 웨이퍼 가장자리에서 발생하며 방향성을 가지고 있다. 이는 할킨 자국(scratch)처럼 보이며 연마하는 동안 뜯겨진 torn 산화막 입자가 원인이 되어 발생하는 것으로 추정된다.

4) Active damage형: 이 유형은 그림5에 나타냈으며 torn 산화막과는 발생 메카니즘이 틀린 결함으로 아직 정확한 원인이 밝혀지지 않고 있다. 다만 하지 박막의 불안정한 상태가 원인으로 작용하여 CMP 공정에서 압력을 가할 때 발생한 것으로 추정된다. 이 결함을 SEM으로 분석한 결과 nitride(moat 지역) 아래 액티브(active) 지역이 영향을 받아 소자에 지대한 영향을 준다.

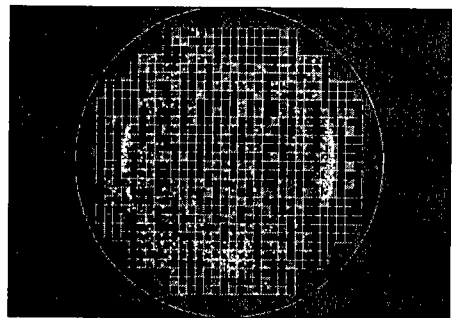


그림 2 가장자리형 torn 산화막 결함  
Fig. 2 Edge type torn oxide defect

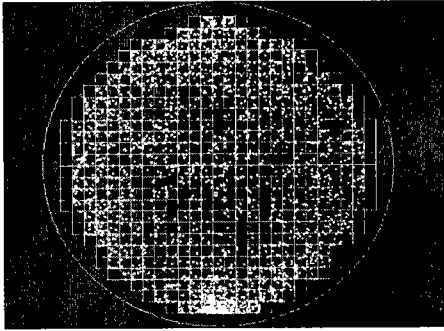


그림 3 전면형 torn 산화막 결함  
Fig. 3 Whole area type torn oxide defect

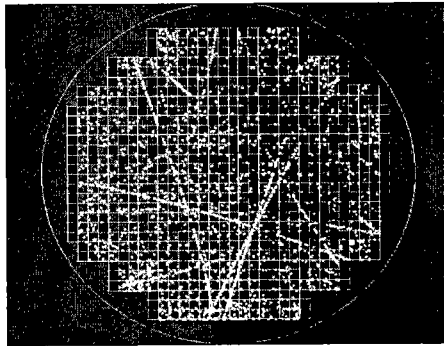


그림 4 Star형 torn 산화막 결함  
Fig. 4 Star type torn oxide defect

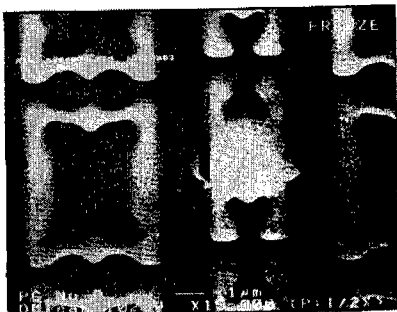


그림 5 활성 손상형 torn 산화막 결함  
Fig. 5 Active damage type torn oxide defect

### 3.2 결함의 발생 원인

1) 트렌치 위 산화막 모서리의 모형: STI fill의 두께가 두꺼워 질수록 reverse moat 공정 후에 생기는 트렌치 위의 산화막 모서리는 두뚝해지면서 완만한 경사를 이루게 되므로 연마시 초기의 압력을 받아도 뜯겨져 나가는 torn 산화막의 갯수가 줄어들게 된다. 그림6은 NSG (nondoped silica glass)박막을 열처리한 후, JOEL SEM으로 찍은 사진으로 STI Fill의 두께가 두꺼운 그림6의 (a)(b)의 산화막 모서리가 STI Fill의 두께가 얇은 그림 (c), (d)의 산화막 모서리보다 훨씬 안정되어져 있음을 알 수 있다.

2) Moat 지역과 필드지역의 두께 변화 : 그림7은 STI fill공정의 두께 변화에 따른 moat 지역과 필드 지역의 두께 변화를 프로파일러(profiler)로 측정한 AFM(atomic force microscope) 결과이다. 그림 7(a)는 moat 지역보다 필드 지역이 높기 때문에 그림 7(b) 보다 안정적인 구조를 이루고 있다. 그림7(a)에서 연마 초기에 뜯겨져 나간 부분과 뜯겨져 나간 산화막 때문에 생긴 필드지역의 패인 부분은 연마를 지속함에 따라 사라지게된다. moat 지역에서 떨어진 산화막은 nitride를 습식 식각 함으로써 제거될 수 있다.

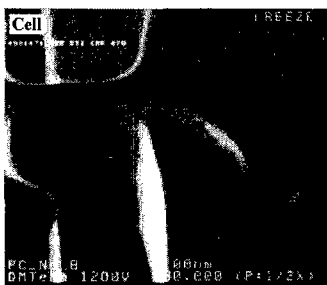
3) Moat 지역과 필드지역의 두께 변화 : STI Fill의 두께가 두꺼울수록 reverse moat etch 공정 후의 예리한 산화막 모서리는 어느 정도까지는 무디게 되어 뜯겨져 나가는 산화막은 줄어들 것이다. STI fill은 장비특성상 edge 부분이 중간 부분보다 두께가 낮게 되는 현상을 보였다.

4) Trench depth의 균일성(uniformity) : 트렌치 깊이가 깊을수록 moat지역과 필드지역 사이의 두께가 낮아져 불안정한 구조를 이루게 되는 그림을 그림 8에 보였다. 일반적으로 STI 공정에서의 loading 효과 때문에 edge 부분이 다른 곳보다 깊게 되고 있다. 만약 edge 부분에서 STI fill의 두께가 낮고 트렌치 깊이가 깊게 되면 torn 산화막이 생기기 쉬운 불안정한 구조와 예리한 산화막 모서리를 형성할 것이다.

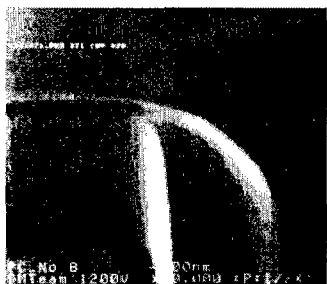
5) Pre-particle의 존재 : 그림 9에 보인 것과 같이 STI CMP 공정 전 트렌치 위의 산화막은 APCVD 방식으로 증착한 NSG 박막이다. 이 박막에 증착 particle이 존재하거나 연마하기 전의 particle이 존재하게 되면 산화막이 패이거나 뜯겨져 나가 torn 산화막 결함을 유발할 수 있다.

### 3.3 결함 밀도 및 발생 비율

post CMP 후의 두께가 높아질수록 결함밀도가 감



(a) cell 지역 (STI Fill Thickness = 11291 Å)



(b) Dummy Moat 지역 (STI Fill Thickness = 11291 Å)

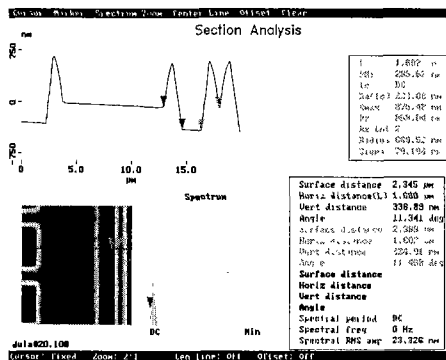


(c) Cell 지역 (STI Fill Thickness = 8339 Å)

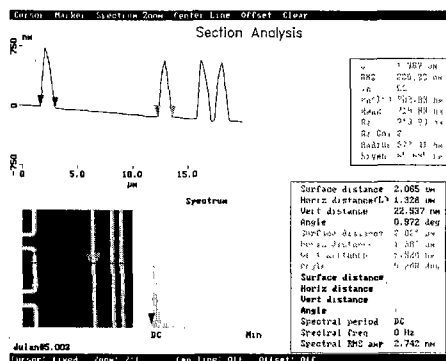


(d) Dummy Moat 지역 (STI Fill Thickness = 8339 Å)

그림 6 Reverse Moat 산화막의 단면 SEM 사진  
Fig. 6 Cross-sectional SEM photograph of a reverse moat oxide



(a) STI Fill Thickness = 11291 Å



(b) STI Fill Thickness = 8339 Å

그림 7 Reverse Moat 산화막의 AFM  
Fig. 7 AFM cross-section of a reverse moat oxide

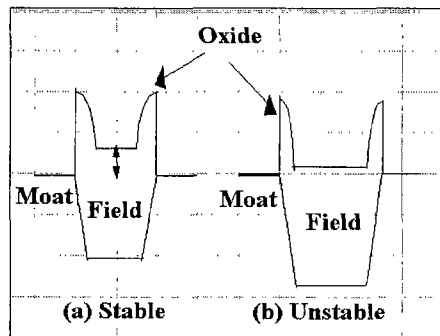


그림 8 트렌치 깊이의 비교  
Fig. 8 Comparison of trench depth

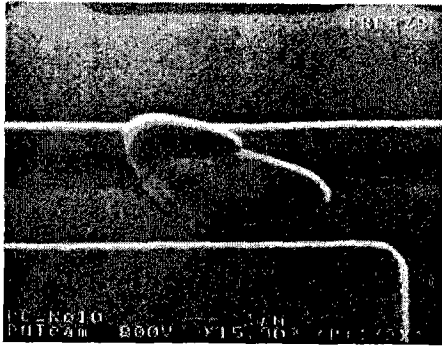


그림 9 Pre-particle이 형성된 결함의 SEM 사진

Fig. 9 SEM photograph of preparticle defect

소하였다. 즉 STI fill 두께가 11400Å, 10400Å, 9400Å, 8400Å일 때 결함밀도는 각각 2.49, 2.64, 3.75, 10.7 이었다. 또한 KLA로 측정된 결함들 중 torn 산화막이 차지하는 비율은 STI fill의 두께가 8400Å일 때 약 98%, 9400Å일 때 약 87%, 10400Å일 때 약 37% 이었다. 또한 torn 산화막 결함의 크기는 0.1 ~ 0.6 μm이었으며, 이중 0.2 ~ 0.3 μm인 torn 산화막이 전체의 약 70 %를 차지하였다.

### 3.4 결함 발생분석

STI-CMP 공정에서 적절한 연마를 하지 못할 경우, 활성 영역에 결함이 생성 되어 후속 공정에 심각한 영향을 끼친다. 이 결함발생은 일반적으로 STI를 채운 후에 두께가 두껍게 제거되는 지역과 패턴이 조밀한 셀 지역에서 매우 빈번하게 나타나고 있는데 STI의 깊이가 균일하지 못하고 STI를 산화물로 채운 후 웨이퍼의 중앙 근처에서 두께가 다른 지역보다 높아 CMP 연마 후에도 두께가 두껍기 때문인 경우도 있다. 특히 CMP 공정 시 질화막 위의 산화막을 충분히 연마해야하는데, 충분히 연마되지 못하고 산화막이 과도하게 잔존하면 후속 공정인 질화막 식각시 산화막이 capping 층으로 작용하여 질화막 식각을 방해한다. 이러한 경우 활성영역에 질화막이 잔존하여 결함이 발생하고 소자 제조 공정에 막대한 영향을 주어 소자로서 작용을 할 수가 없게 된다.

## 4. 결 론

STI-CMP 공정의 최적화를 위한 torn 산화막 결함의 개선을 위한 실험에서 얻은 결과는 다음과 같다.

1) STI fill 두께가 11400Å, 10400Å, 9400Å, 8400Å일 때 결함밀도는 각각 2.49, 2.64, 3.75, 10.7 로 되어 STI fill의 두께가 낮을수록 트렌치 위의 예리한 산화막 모서리가 CMP 연마 시에 압력을 받아 뜯겨져 나가 torn 산화막 결함의 생성이 증가함을 알 수 있었다. STI fill의 두께가 높을수록 산화막 모서리가 안정적인 구조를 이루고 있음을 알 수 있었다. 연마시 초기에 뜯겨져 나간 부분과 뜯겨져 나간 산화막 때문에 생긴 필드지역의 패인 부분은 연마를 지속적으로 행함으로써 제거할 수 있다.

2) 트렌치의 깊이가 깊게되면 필드의 박막이 낮아 지므로 불안정한 구조를 이루기 때문에 torn 산화막 결함이 발생할 가능성이 증대되므로 균일도를 개선 하여야 한다.

3) Moat 패턴 공정에서 CD(critical dimension)가 트렌치 CD보다 적을 때는 torn 산화막이 주로 생성되며, CD가 다소 클 때는 nitride residue 문제가 발생된다.

본 연구는 1999년도 조선대학교 교내 학술연구비 지원에 의해서 연구되었음

## 참 고 문 헌

- [1] M. Galiano, E. Yieh, S. Robles and B. C. Nguyen, "Stress-Temperature Behavior of Oxide Films Used for InterMetal Dielectric Applications," Chicago, USA, Proc. VMIC, pp.97-100, 1992.
- [2] S. Y. Kim, M. K. Baek, C. I. Kim and E. G. Jang, "Study of Chemical Mechanical Polishing on Shallow Trench Isolation to Obtain Low Defect," Electrochemical Society Proceedings. Hawaii, USA, Vol. 99-2, pp.215-219, 1999.
- [3] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역평탄화에 관한 연구," 전기전자재료학회 논문지, Vol. 11, No. 12, pp. 1084-1090, 1998.
- [4] 김상용, "Chemical Mechanical Polishing 공정변수의 이해", 전기전자재료 제12권 제10호, pp. 9-18, 1999.
- [5] 서용진, 장의구, "CMP 공정에 기인하는 소자특성의 열화를 방지하기 위한 PMD 구조에 대한 연구," 전기전자 재료학회 논문지, Vol. 12 No. 2, pp. 111-117, 1999