

드레인오프셋 다결정실리콘 박막트랜지스터의 누설전류 해석

An Analysis on the Leakage Current of Drain-offset Poly-Si TFT's

이인찬*, 김정규**, 마대영**

(In-Chan Lee*, Jeong-Gyoo Kim**, Tae-Young Ma**)

Abstract

Poly-Si TFT's(Polysilicon thin film transistors) have been actively studied due to their applications in active matrix liquid crystal displays and active pull-up devices of CMOS SRAM's. For such applications, the leakage current has to be in the range of sub-picoampere. However, poly-Si TFT's suffer from anomalous high leakage currents, which is attributed to the emission of the traps present at grain boundaries in the drain junction. The leakage current has been analyzed by the field emission via grain-boundary traps and thermionic field emission over potential barrier located at the grain boundary. We found that the models proposed before are not consistent with the experimental results as far as drain-offset poly-Si TFT's we fabricated concern. In this paper, leakage current of drain-offset poly-Si TFT's with different offset lengths was studied. A conduction model based on the thermionic emission of the tunneling electrons is developed to identify the leakage mechanism. It was found that the effective grain size of the drain-offset region is important factor in the leakage current. A good agreement between experimental and simulated results of the leakage current is obtained.

Key Words : Poly-Si TFT, Drain-offset, Leakage current, Thermionic emission

1. 서론

TFT는 MOSFET에 비하여 제조공정이 간단하고, 경제적이며 제조된 소자간의 우수한 절연성과 값이 큰 수동소자가 포함된 회로를 직접회로화 하는데 편리하다는 잇점이 있다. 최근 들어 poly-Si TFT는 SRAM의 부하[1], LCD(Liquid Crystal

Display)의 스위칭소자[2-5], 3차원 IC[6] 등에 활용되면서 중요성이 더욱 증가되고 있다. 일반적으로 poly-Si TFT는 입계(grain-boundary)의 트랩으로 인한 전위장벽의 증가 등이 원인이 되어 낮은 이동도, 높은 문턱전압 등의 단점을 갖고 있다. 이러한 poly-Si TFT의 단점을 극복하기 위한 연구로서 solid phase crystallization[7], Si 이온주입 후 열처리[8], laser 열처리[9] 등이 진행되어 왔다. 그러나 poly-Si TFT의 이동도를 개선시키기 위해 다결정실리콘박막의 입자크기(grain size)를 증가시킬 경우 차단상태(cut-off region)에서도 다량의 누설전류가 흐르게 된다. 최근에는 poly-Si TFT에 존재하는 누설전류를 감소시키기 위한 방안이 다각도로 연구되고 있으며, 그 중의 하나로 drain-offset 구조의 TFT가 제시되고 있다. J.

* : 경상대학교 전기공학과 박사과정 및 컴퓨터·자동화응용기술연구소 연구원

** : 경상대학교 전기전자공학부 교수 및 컴퓨터·자동화응용기술연구소 연구원

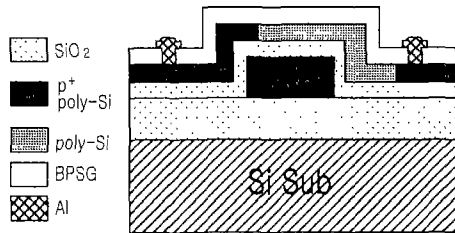
(경남 진주시 가좌동 900, Fax : 055-759-2723,

E-mail:tyma@nongae.gsnu.ac.kr)

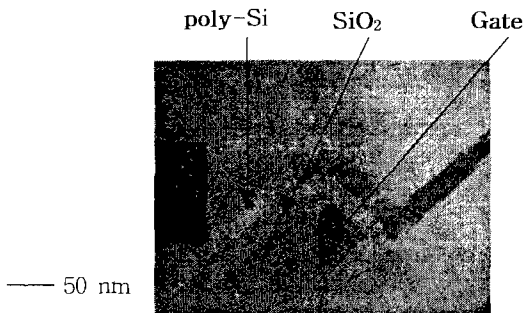
2000년 12월 4일 접수, 2001년 1월 29일 심사완료

Fossum[10] 등은 poly-Si TFT에 존재하는 누설전류가 채널과 드레인의 경계면에 인가되는 전계에 비례하는 것으로 밝히고 있다. 따라서 채널과 드레인 사이에 offset 영역을 둬으로써 드레인과의 전계를 감소시키며, 이로 인해 누설전류를 감소 시키게 된다. 현재 drain-offset poly-Si TFT에 대한 실험적인 결과는 다수 보고되고 있으나, offset 영역에서의 전도현상에 대한 연구는 이루어지지 않고 있다. 최적의 offset 길이, 불순물 농도 등을 결정하기 위해서는 offset 영역의 전도현상에 대한 연구가 필수적이다.

본 논문에서는 drain-offset poly-Si TFT에 존재하는 누설전류를 offset 영역에 존재하는 전자의 tunneling 및 thermionic emission으로 해석하였다. Drain-offset poly-Si TFT를 제조하고 offset 간격에 따른 poly-Si TFT의 특성변화를 측정하였으며, 전도모델을 측정치와 비교하여 그 타당성을 검토하였다.



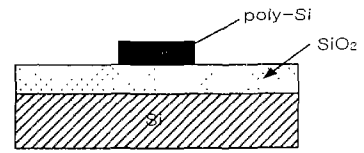
(a)



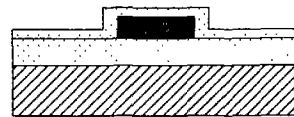
(b)

그림 1. (a) poly-Si TFT의 단면도 및 (b)TEM 사진.

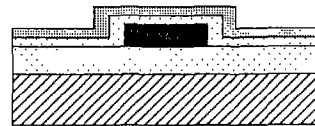
Fig. 1. (a) Cross-sectional view and (b)TEM micrograph of poly-Si TFT.



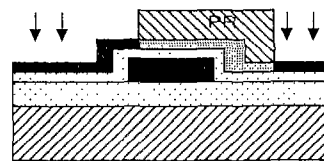
(a) Gate poly-Si deposition



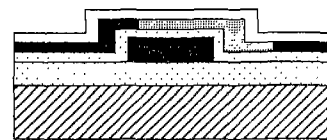
(b) Gate oxide deposition



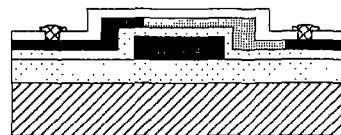
(c) Channel poly-Si deposition



(d) Ion implantation for source and drain



(e) BPSG deposition for passivation



(f) Metallization

그림 2. poly-Si TFT의 제작공정.

Fig. 2. Fabrication process for drain offset poly-Si TFT.

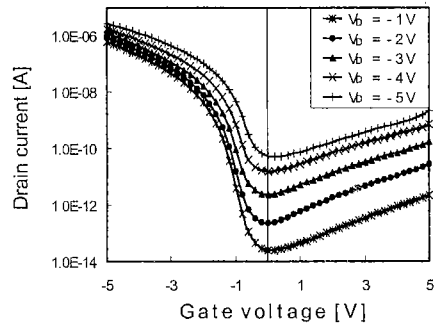
2. Drain-offset poly-Si TFT의 제조

그림 1은 제조된 poly-Si TFT의 단면구조 및 TEM 사진을 보여 주고 있다. Bottom gate type 구조로 $0.35\mu\text{m}$ 의 width와 $0.7\mu\text{m}$ length를 가지며, offset 간격을 조정하여 그에 따른 특성을 분석할 수 있도록 설계하였다. Offset 영역은 $0.1 \sim 0.4\mu\text{m}$ 까지 $0.1\mu\text{m}$ 간격으로 변화시켰다. Poly-Si TFT 제조공정을 그림 2에 나타내었다. 먼저 제조된 기판 위에 P'-doped poly-Si을 800\AA 증착 후 게이트 영역을 정의하였다. 게이트 절연층 형성을 위해 LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 830°C 에서 HTO(High Temperature Oxide)를 300\AA 증착하였다. 형성된 게이트 절연층 위에 LPCVD방식으로 480°C 에서 Si_2H_6 가스를 이용하여 비정질 실리콘막을 320\AA 증착 시킨 후 650°C 에서 6시간 열처리하여 결정화시켰다. Boron을 $1.0 \times 10^{15} \text{ cm}^{-2}$ 로 이온주입시켜 source 및 drain을 형성하였다. 그 위에 평탄화 및 passivation layer 형성을 위하여 BPSG(Boron Phosphorus Silica Glass)를 증착하였다. Barrier metal로 Ti와 TiN을 증착한 후 Al을 임etch contact 을 형성하였으며, 마지막으로 N_2 분위기에서 410°C 로 30분간 열처리하였다.

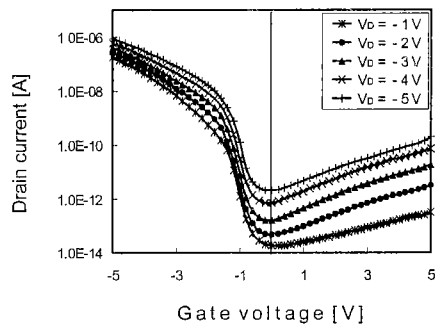
3. 결과 및 고찰

3.1 Drain-offset 길이에 따른 poly-Si TFT의 특성

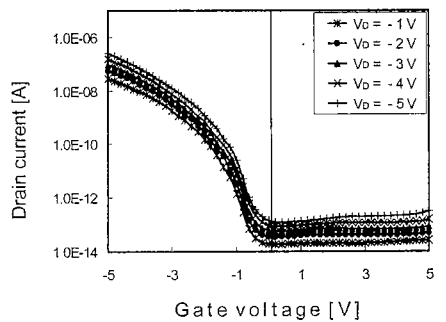
그림 3은 제조된 박막 트랜지스터의 offset영역 (L_{off})의 변화에 따른 드레인전류(I_D)-게이트전압 (V_G)특성을 나타낸 것이다. L_{off} 가 증가할수록 도통 전류(I_{on}) 및 누설전류(I_{off})가 감소하였다. 이때 I_{on} 는 음의 게이트전압, I_{off} 는 양의 게이트전압이 인가 될 때의 드레인전류 값을 의미한다. 여기서 L_{off} 증가에 따른 I_{on} 의 감소는 기생 채널저항의 증가에 기인하며, I_{off} 의 감소는 드레인영역의 전계 감소가 원인인 것으로 사료된다. $L_{\text{off}}=0.1\mu\text{m}$ 에서 $0.2\mu\text{m}$ 로 증가한 경우에는 미소한 누설전류의 변화가 나타나지만, $L_{\text{off}}=0.4\mu\text{m}$ 이 되면 급격한 누설전류의 감소가 관측된다. 이것은 누설전류가 L_{off} 에 지수적으로 반비례함을 의미하며 또한 드레인 영역의 전계가 L_{off} 에 지배적으로 영향을 받는다는 것을 뜻한다. 본 실험의 결과 $L_{\text{off}}=0.4\mu\text{m}$ 일 때 충분한 누설전류 감소효과를 얻을 수 있었다. 그림 4는 L_{off} 에 따른 I_{off} 의 변화를 V_G 를 변수로 하여 나타낸 것이다.



(a) $L_{\text{off}} = 0.1 \mu\text{m}$



(b) $L_{\text{off}} = 0.3 \mu\text{m}$



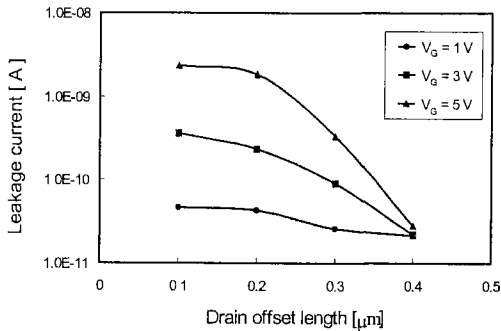
(c) $L_{\text{off}} = 0.4 \mu\text{m}$

그림 3. poly-Si TFT의 게이트전압-드레인전류의 특성.

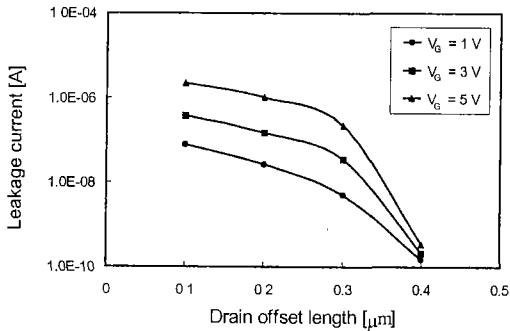
Fig. 3. I_D - V_G characteristics for poly-Si TFT.

$L_{off}=0.4\mu m$ 의 경우 V_G 에 따른 I_{off} 의 변화폭이 급격히 감소하고 있다. 이것은 offset 영역에서의 반송자 전도메커니즘이 복잡적이며 L_{off} 에 따라 주도적인 전도메커니즘이 바뀐다는 것을 의미한다. 그림 5는 L_{off} 에 따른 I_{off} 의 변화를 V_D 를 변수로 하여 나타낸 것이다. $L_{off}=0.3\mu m$ 까지는 I_{off} 에 지수적으로 반비례하나 $L_{off}=0.4\mu m$ 에서는 급격히 감소하는 것으로 관찰된다. $L_{off}=0.4\mu m$ 의 경우 V_D 변화에 따른 I_{off} 이 변화폭 역시 현저히 감소하였다.

3.2 누설전류 모델



(a) $V_D = -1 V$

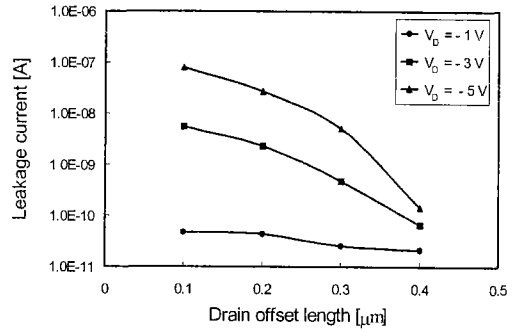


(b) $V_D = -5 V$

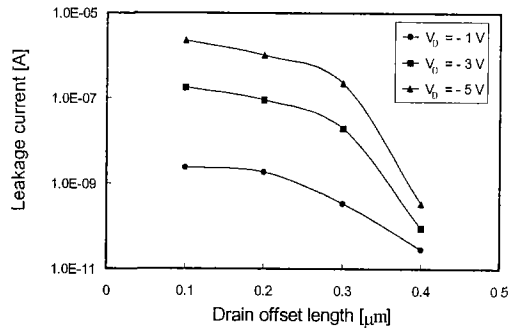
그림 4. poly-Si TFT의 드레인전압 변화에 따른 누설전류-드레인 오프셋 길이 특성.

Fig. 4. I_{off} - L_{off} characteristics at $V_G=1, 3, 5 V$ for poly-Si TFT's with drain voltage of : (a) -1 and (b) -5 V.

그림 6는 offset 영역의 에너지 band diagram을 나타낸 것이다. 양의 게이트전압에 의해 채널은



(a) $V_G = 1 V$



(b) $V_G = 5 V$

그림 5. poly-Si TFT의 게이트전압 변화에 따른 누설전류-드레인 오프셋 길이 특성.

Fig. 5. I_{off} - L_{off} characteristics at $V_D=-1, -3, -5V$ for poly-Si TFT's with gate voltage of : (a) 1 and (b) 5 V.

n-type으로 바뀌며, 음의 드레인전압은 트랩에 포획된 일부 전자를 제외한 나머지 전자를 offset 영역 밖으로 밀어낸다. 트랩에 포획된 전자의 일부는 인가된 전계에 의해 전도대로 뛰어 올라 입계면의 에너지 장벽(qV_{BO})을 변화시킨다. 트랩레벨(E_T)은 하나로 가정하였다. 전도대의 전자는 thermionic emission에 의해 채널로 흘러간다. Thermionic emission에 의한 전류는 다음으로 표현된다.[11]

$$I_L = T^2 AA^* \exp\{q(V_{GB} - V_{BO})/kT\} \quad (1)$$

여기서 T는 온도(K), A는 채널의 단면적(cm^2), A^* 는 유효 Richardson 상수(A/cm^2K^2), V_{GB} 는

입계면의 전위(V)이다. 완전 공핍된 그레이의 입계면 전위장벽[12]은

$$V_{BO} = kT/q \log(2N_{ST}/NL_G) \quad (2)$$

로 표현된다. k 는 Boltzmann 상수, q 는 단위 전하량, N_{ST} 는 단위면적당 트랩 밀도, L_G 는 유효 그레이 크기(effective grain size), N 은 그레이의 전자농도를 나타낸다. 전자의 농도[10]는

$$N = (N_{ST}/2X_J)(1/L_J)(V_D/E_J) \quad (3)$$

로 표현되며, 여기서 X_J 는 유효 접합면 깊이, L_J

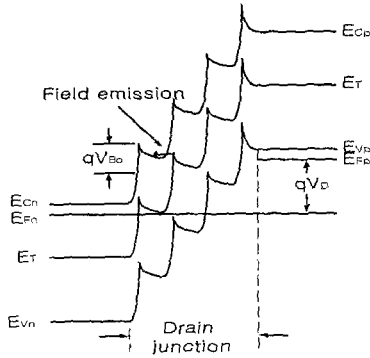


그림 6. p⁺ 드레인 및 인버전 영역사이의 에너지밴드 다이어그램.

Fig. 6. Energy-band diagram between the inversion layer and the p⁺ drain.

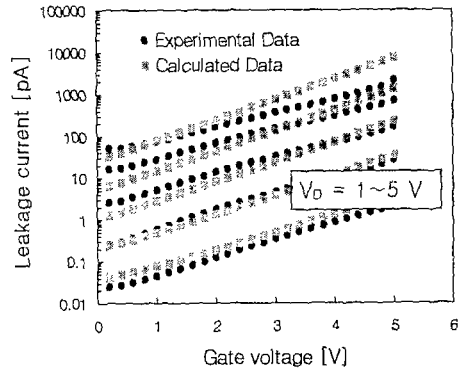
와 E_J 는 각각 공핍영역의 길이와 전계를 나타낸다. 식 (1)과 (3)으로부터

$$I_L = K_1(V_D/E_J) \exp(K_2 E_J) \quad (4)$$

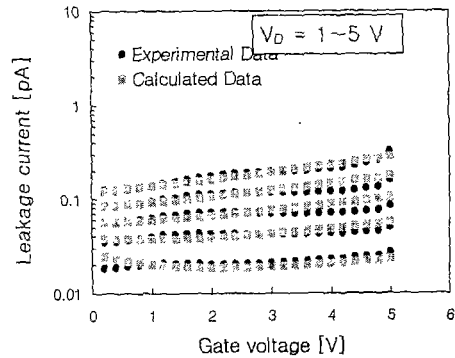
가 된다. $K_1 = A^* T^2 (L_G W / 4 L_J)$, $K_2 = g L_G / kT$ 이다. E_J 는 드레인전압에 의한 전계와 모서리 효과(fringing effect)에 의한 전계의 합으로 구해진다.

그림 7에 식(4)에 의한 계산치와 실험에 의한 측정치를 동시에 나타내었다. L_{off} 를 변화시키며 curve fitting을 한 결과 K_1 은 $1.2 \times 10^{-7} \sim 2.7 \times$

10^{-7} , K_2 는 $2.3 \times 10^{-8} \sim 6.2 \times 10^{-8}$ 사이의 값을 나타내었다. K_1 및 K_2 의 값이 offset 간격에 따라 약간의 오차를 나타내었으나 10%미만이었으며, 측정치와 계산치가 잘 맞는 것을 확인할 수 있었다. 본 모델로 누설전류를 해석한 결과 offset 영역의 grain size가 작을수록 누설전류가 감소하였다. Effective grain size는 수백 Å로 TEM으로 측정된 grain size에 비해 작게 나타났다. 그러나 $V_D=1$ V이하에서는 K_1 및 K_2 의 값이 V_G 에 따라 큰 차이를 보였다. 이것은 $V_D=1$ V 이하에서는 offset 영역에 인가되는 전계가 약해 본 논문에서



(a) $L_{off} = 0.1 \mu m$



(b) $L_{off} = 0.4 \mu m$

그림 7. poly-Si TFT의 오프셋 길이에 따른 누설전류-게이트전압 특성.

Fig. 7. The leakage current as a function of gate voltage for drain offset poly-Si TFT's with the offset length of : (a) 0.1 and (b) 0.4 μm .

제한한 tunneling 현상이 적용되지 않기 때문으로 사료된다.

4. 결론

Drain-offset poly-Si TFT에 존재하는 누설전류를 offset 영역에 존재하는 전자의 tunneling 및 thermionic emission으로 해석하였다. Drain-offset poly-Si TFT를 제조하고 offset 간격에 따른 poly-Si TFT의 특성변화를 측정하였으며, 전도모델에 의한 전류식을 측정치와 비교하였다. 전도모델로 구한 계산치는 제조된 drain-offset poly-Si TFT의 측정치와 잘 일치하였다. 본 모델에 의하여 drain-offset poly-Si TFT의 누설전류는 offset 영역에 존재하는 입계의 상태 및 입계에 인가된 전계에 의존하며, grain size가 작을 수록 누설전류가 감소한다는 것을 확인할 수 있었다.

참고 문헌

[1] S. Lkeda, S. Hashiba, I. Kuramoto, H. Katoh, S. Ariga, T. Yamanaka, T. Hashimoto, N. Hashimoto, and S. Meguro, "A polysilicon transistor for large capacity SRAM's," *IEEE tech Dig.*, 1990.

[2] A. Mimura, N. Konish, K. Ono, Y. Hosokawa, Y.A. Ono, T. Suzuki, K. Miyata, and H. Kawakami, "High-performance low-temperature poly-Si TFT's for LCD," *IEDM*, pp. 436-439, 1987.

[3] 황한욱, 황성수, 김용상, "LDD 구조의 다결정 실리콘 박막 트랜지스터의 특성," 전기전자재료학회논문집, Vol. 11, No. 7, pp. 522-526, 1998.

[4] 이우선, 정용호, 김남오, "전력 TFT소자의 제작과 전기적 특성," 전기전자재료학회논문지, Vol. 11, No. 10, pp. 790-795, 1998.

[5] 진교원, 박태성, 백희원, 이진민, 조봉희, 김영호, "p-채널 Poly-Si TFT's 소자의 Hot-Carrier 효과에 관한 연구," 전기전자재료학회논문지, Vol. 11, No. 9, pp. 683-686, 1998.

[6] S. D. S. Malhi et al, "characteristics and tree-dimensional integration of MOSFET's in small-grain LPCVD polycrystalline silicon," *IEEE Trans. Electron Devices*, Vol. ED-32, No.2, pp.258-281, 1985.

[7] M.K. Hatalis and D. W. Greve, "Large grain polycrystalline silicon by low-temperature annealing of low-pressure chemical vapor deposited amorphous silicon films," *J. Appl. Phys.*, Vol. 63, No. 7, pp. 2260- 2266, 1988.

[8] K. T-Y. Kung, and R. Rief, "Comparison of thin-film transistors fabricated at low temperature ($\leq 600^{\circ}\text{C}$) on as-deposited and amorphized-crystallized polycrystalline Si," *J. Appl. Phys.*, Vol. 61, No. 4, pp. 1638-1642, 1987.

[9] K. F. Lee, J. F. Gibbons, K. C. SaraWatt, and T. I. Kamin, "thin Film MOSFET's fabricated in laser-annealed polycrystalline silicon," *Appl. Phys. Lett.*, Vol. 35, No. 2, pp. 173-175, 1979.

[10] J. G. Fossum, A. Ortiz-Conde, H. Shichijo, and Banerjee, "Anomalous leakage current in LPCVD polysilicon MOSFET's," *IEEE Trans. Electron Devices*, Vol. ED-32, p. 1878, Oct. 1985.

[11] G. J. Korsh and R. S. Muller, "Conduction properties of lightly doped polycrystalline," *Solid-St. electron.*, Vol. 21, pp. 1045, 1978.

[12] H.-L. Chen and C.-Y. Wu, "An analytical grain-barrier height model and its characterization for intrinsic poly-Si thin-film transistor," *IEEE Trans. Electron Devices*, Vol. 45 p. 2245, Oct. 1998.