

적응 전치왜곡 선형화기를 사용한 주파수 도약 송신기용 선형 전력증폭기의 설계

Design of a Linear PA for the Frequency Hopping Transmitter using the Adaptive Predistortion Linearizer

강경원 · 이상설

Kyeongwon Kang · Sangseol Lee

요 약

이 논문에서는 VHF 대역에서 동작하는 주파수도약 송신기의 전력증폭기를 선형화한다. 적응 전치왜곡기(adaptive predistorter)를 사용하여 애널로그 다항식 선형화기를 전치왜곡기로 사용한다. 수렴 속도를 높이기 위하여 전치왜곡기의 출력신호와 후처리기의 출력신호 사이의 오차가 글로벌 최소치에 접근하도록 RLS(recursive least square) 적응 알고리즘을 적용한다. 실험결과 설계된 선형 전력증폭기의 ACP(Adjacent Channel Power)는 10 dB 개선된다.

Abstract

A linear power amplifier for the VHF frequency-hopping(FH) transmitter using an adaptive predistortion linearizer is designed. An analog polynomial linearizer as predistorter is employed. The recursive least square(RLS) algorithm is employed in the optimization process to minimize the errors between the predistorter and postdistorter output signals. Experimental results show that the adjacent channel power of the designed power amplifier is reduced by of 10 dB.

I. 서 론

제한된 스펙트럼 자원으로 많은 정보를 전송하기 위해서 스펙트럼 효율이 우수한 디지털 선형 변조 방식이 필요하다. 이에 따라 주파수도약 확산 통신과 선형 변조방식에 대한 관심이 높아지고 있다. 주파수도약 방식의 선형 시스템은 도약하는 주파수의 전 대역에서 동작할 수 있는 선형 송신기로 동작하여야 한다. 또한 주파수가 도약할 때 협대역 신호를 전송하기 위하여 빠르게 수렴할 수 있는 선형화 방식을 사용하여야 한다.

선형화 방식으로 포락선 휘드백(envelope feedback), 카테시안 루프(cartesian loop), 폴라루프(polar loop), 전치왜곡(predistortion), 피드포워드(feedforward)기법 등이 연구되어 왔다^{[1]~[9]}. 그 중 전치왜곡방식은 구조가 간단하고 구현이 용이할 뿐 아니라 선형화 능력이 양호하여 많은 연구가 진행되었다. 전치왜곡 방식은 주로 DSP(Digital Signal Processing)에 초점을 둔 룩업 테이블(look-up table)을 사용하는 방식이 연구되어 왔다^{[1],[2],[5]}. 하지만 이러한 룩업 테이블 방식은 많은 양의 메모리가 필요하며 변화에 잘 적응하지 못하는 단점을 가진다. 최

한양대학교 전자전기공학부(Division of Electronic & Computer Engineering, Hanyang University)

· 논문 번호 : 20010516-066

· 수정완료일자 : 2001년 7월 27일

근 M. Ghaderi는 기존 메모리를 사용하는 록업 테이블 방식이 아닌, 선형화 소자의 변화나 주변 환경 변화에 잘 적응하는 새로운 선치왜곡기(predistorter)를 제안하였다^[10]. 또한 후처리기(postdistorter)를 도입하고 RLS 알고리즘의 뛰어난 최적화 특성을 이용하여 선치왜곡기가 적응특성을 갖도록 하였다. 따라서 주파수 도약용 선형화기는 주파수 도약 과정에서 수렴속도가 빠르고 재수렴 특성을 가져야 하므로 적응 선치왜곡기가 필요하다.

이 시스템의 RF 부품들은 캐리어의 도약 대역의 범위에서 동작하도록 광대역 특성을 가져야 한다. VHF 대역에서는 광대역 특성을 갖는 주파수 혼합기, 방향성 결합기, 전력 분배기의 설계가 가능하다. 하지만 선치왜곡기로서 사용되는 IQ 마들레이터와 전력증폭기의 출력신호에서 IQ 신호를 얻기 위한 QDM(Quadrature Demodulator) 소자가 광대역 특성을 갖기는 극히 어렵다. 따라서 IF단에서 동작하는 구조로 송신기를 구성한다. 주파수도약 신호를 발생시키기 위한 주파수 합성기는 기본적으로 고정주파수에서 동작하는 주파수 합성기와 같은 방식으로 동작한다. 도약에 필요한 주파수 데이터 및 제어신호는 DSP에서 도약주기에 따라 발생시켜 주파수 합성기에 제공한다.

이 논문에서는 M. Ghaderi가 제안한 구조를 주파수 도약 송신기에 적용하여 선형화하는 시스템을 설계하고 제작한다.

II. 선형 주파수도약 송신기

2-1 선형화기 구조

VHF 대역에서 동작하는 주파수 도약 송신기용 선형 전력증폭기의 시스템 구성도는 그림 1과 같다. 그림 1에서 선형화된 출력신호를 얻기 위하여 변조된 IF 신호는 선치 왜곡기에서 선치 왜곡되어 상향 변환된 후 증폭된다. 선치왜곡기는 IQ 마들레이터와 선치 왜곡기의 다항식 함수(G_i, G_q)에 의하여 선치 왜곡된다. 선치 왜곡기에 대한 다항식의 계수는 QDM 출력과 포락선 검파기의 출력을 DSP에서 RLS 알고리즘을 사용하여 최적화된다. 전력증폭기의 비선형 특성에 의하여 발생된 오차 신호를 얻기

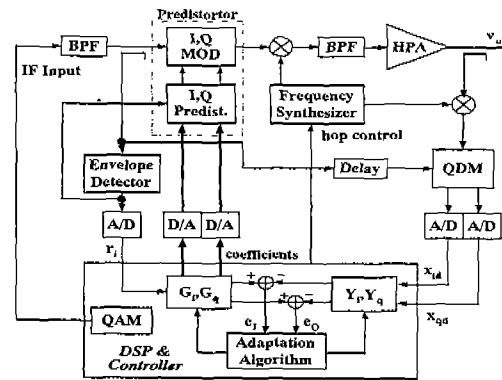


그림 1. 적응 선치왜곡 선형화기를 이용한 주파수 도약 송신기 시스템 블록도

Fig. 1. Block diagram of the FH transmitter with an adaptive predistorter.

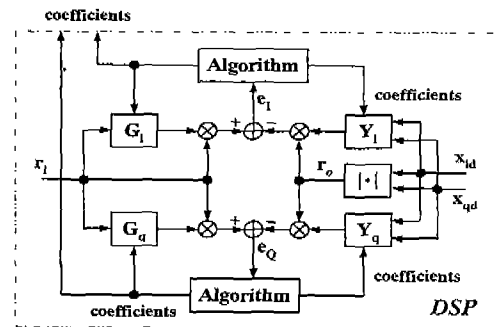


그림 2. 선치왜곡기와 후처리기의 DSP 연산과정 상세도

Fig. 2. Detailed schematic diagram of the DSP process with the predistorter/postdistorter.

위하여 QDM의 극부 신호는 입력 IF 신호를 사용한다. 이 때, 증폭기의 지연 특성으로 인하여 선치왜곡기의 입력신호와 전력증폭기의 출력신호 사이에 시간지연을 보상하기 위하여 지연신호를 사용한다. 포락선 검파기의 출력 r_i 와 QDM의 복조출력 x_{id} 와 x_{qd} 는 A/D 변환기에서 샘플링하여 DSP의 이득 다항식의 입력으로 사용한다. 선치왜곡기의 입력 QAM 신호는 다음과 같이 표시된다.

$$v_i(t) = r_i(t) \cos[\omega_c t + \theta_i(t)] \quad (1)$$

여기서 $r_i(t)e^{j\theta_i(t)}$ 는 변조된 신호의 복소 포락선 신호이며 ω_c 는 반송파 주파수이다.

변조된 입력신호의 진폭이 $r_i(t)$ 이고 위상이 $\theta_i(t)$ 일 때 증폭기의 비선형 출력은 다음과 같다.

$$v_o(t) = r_o(t) \cos[\omega_c t + \theta_o(t)] \quad (2)$$

여기서 $r_o(t)e^{j\theta_o(t)}$ 는 출력신호의 복소 포락선 신호이다. 입력신호는 IQ 마들레이터와 전치왜곡기 다항식에 의하여 전치 왜곡된다. 전치왜곡기 다항식의 계수는 QDM 출력과 포락선 검파기의 출력을 DSP에서 RLS 엘거리즘을 사용하여 최적화하고 그로부터 전치왜곡 다항식의 계수를 추출한다. 애널로 그 전치왜곡기의 계수를 얻기 위한 DSP의 RLS 엘거리즘 블록도는 그림 2와 같다.

2-2 선형화 과정

RLS 최적화 엘거리즘의 목적 함수는 그림 2의 e_i, e_q 제곱으로 이루어지고 이에 대해 후처리기 다항식의 계수에 관한 그래디언트가 계산된다^[11]. 이로써 후처리기의 다항식의 계수에 대해 글로벌 최적화가 가능해지고 안정하게 된다.

l 번째 연산구간에서 전치왜곡 다항식과 n 번째 연산구간에서 후처리기의 다항식은 다음 식으로 주어진다.

$$G_{I,l}(r_i(l)) = \sum_{k=1}^M a_{i,k,l} r_i^{k-1}(l) \quad (3)$$

$$G_{Q,l}(r_i(l)) = \sum_{k=1}^M a_{q,k,l} r_i^{k-1}(l) \quad (4)$$

$$Y_{I,n}(x_{id}(l), x_{qd}(l)) = \sum_{k=1}^M w_{n,k,n} x_{id}^{k-1}(l) + \sum_{k=1}^M w_{iq,k,n} x_{qd}^{k-1}(l) \quad (5)$$

$$Y_{Q,n}(x_{id}(l), x_{qd}(l)) = \sum_{k=1}^M \beta_{qi,k,n} x_{id}^{k-1}(l) + \sum_{k=1}^M \beta_{qa,k,n} x_{qd}^{k-1}(l) \quad (6)$$

여기서 $l=1, 2, \dots, n$ 이다. 그리고 $x_{id}(l) = r_o(l) \cos \phi_o(l)$ 이고 $x_{qd}(l) = r_o(l) \sin \phi_o(l)$ 이다. 여기서 $\phi_o(l) = \theta_o(l) - \theta_i(l) + \phi$ 이며 ϕ 는 임의의 상수이다. n 번째 연산구간에서 l 번째 연산구간의 표본으로 구성된 RLS 엘거리즘 오차 함수는 다음과 같다.

$$e_I(l) = r_I(l)G_{I,l}(r_i(l))$$

$$- r_o(l) Y_{I,n}(x_{id}(l), x_{qd}(l)) \quad (7)$$

$$e_Q(l) = r_i(l)G_{Q,l}(r_i(l)) - r_o(l) Y_{Q,n}(x_{id}(l), x_{qd}(l)) \quad (8)$$

여기서 $l=1, 2, \dots, n$, $r_o(l) = \sqrt{x_{id}(l)^2 + x_{qd}(l)^2}$ 이다. 만일 $l = n_c$ 의 연산구간에서 후처리기의 다항식 계수가 최적값으로 수렴되면, $n > n_c$ 에서 두 오차함수는 0이므로 다음 식이 성립된다.

$$r_i(n)G_{I,n}(r_i(n)) = r_o(n) Y_{I,n}(x_{id}(n), x_{qd}(n)) \quad (9)$$

$$r_i(n)G_{Q,n}(r_i(n)) = r_o(n) Y_{Q,n}(x_{id}(n), x_{qd}(n)) \quad (10)$$

수렴이후, 즉 $n > n_c$ 일 때 다음 식이 성립한다고 가정한다.

$$G_{I,n}(r_i(n)) = Y_{I,n}(r_i(n) \cos \phi, r_i(n) \sin \phi) \quad (11)$$

$$G_{Q,n}(r_i(n)) = Y_{Q,n}(r_i(n) \cos \phi, r_i(n) \sin \phi) \quad (12)$$

식 (11), (12)를 식 (9), (10)에 대입하면 다음 식을 얻는다.

$$r_i(n)Y_{I,n}(r_i(n) \cos \phi, r_i(n) \sin \phi) = r_o(n)Y_{I,n}(r_o(n) \cos \phi_o(n), r_o(n) \sin \phi_o(n)) \quad (13)$$

$$r_i(n)Y_{Q,n}(r_i(n) \cos \phi, r_i(n) \sin \phi) = r_o(n)Y_{Q,n}(r_o(n) \cos \phi_o(n), r_o(n) \sin \phi_o(n)) \quad (14)$$

증폭기 왜곡 출력함수의 진폭 $A(r(t))$ 와 위상 $\Psi(r(t))$ 는 단가 함수(single valued function)이므로 다음 식이 성립한다.

$$r_i(n) \cos \phi = r_o(n) \cos \phi_o(n) \quad (15)$$

$$r_i(n) \sin \phi = r_o(n) \sin \phi_o(n) \quad (16)$$

식 (15), (16)으로부터 $r_i(n) = r_o(n)$ 이고 $\phi_o(n) = \phi$ 이다. 따라서 $\theta_i(n) = \theta_o(n)$ 으로 된다. 즉 전력 증폭기의 특성이 선형화 된다. 수렴 후 엘거리즘에서 후처리기의 다항식의 계수는 이전 연산구간에 서의 계수와 같으므로 $Y_{I,n} = Y_{I,n-1}$ 이고 $Y_{Q,n} =$

$Y_{Q,n-1}$ 이다. 따라서

$$G_{I,n}(r_i(n)) = Y_{I,n-1}(r_i(n) \cos \phi, r_i(n) \sin \phi) \quad (17)$$

$$G_{Q,n}(r_i(n)) = Y_{Q,n-1}(r_i(n) \cos \phi, r_i(n) \sin \phi) \quad (18)$$

이다. 식 (3), (4), (5), (6)을 식 (11), (12)에 대입하면 다음 식을 얻는다.

$$\begin{aligned} a_{i,1,n} &= w_{i,1,n-1} + w_{i,M+1,n-1} \\ a_{i,k,n} &= w_{i,k,n-1} \quad (k=2,3,\dots,M) \\ a_{q,k,n} &= w_{q,k,n-1} \quad (k=2,3,\dots,M) \end{aligned} \quad (19)$$

이 관계식으로 전치왜곡 다항식의 계수를 갱신할 수 있다.

2-3 주파수도약 송신기 제작

주파수도약 방식에서 전치왜곡에 의하여 증폭기가 선형화됨을 확인하기 위하여 송신기를 제작한다. 제작된 송신기는 200 Hop/sec의 도약율로 동작하는 군용 주파수 도약형 무전기 시스템의 송신부를 구현하기 위한 것이다. 송신기는 10 MHz의 도약대역 폭으로 중심주파수 35 MHz에서 동작한다. 선형화 대역폭은 25 kHz이다. RF 증폭기는 출력이 4 W이고 최종단 전력증폭기는 B급 푸쉬풀 형태로 동작하는 3단 증폭기로 구성한다. 도약대역 내에서 증폭

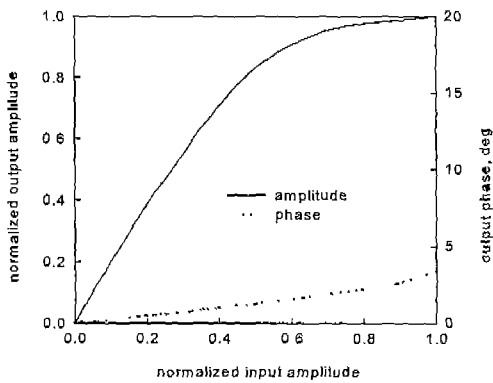


그림 3. 제작된 전력증폭기의 AM/AM과 AM/PM 특성

Fig. 3. AM/AM and AM/PM characteristics of the implemented power amplifier.

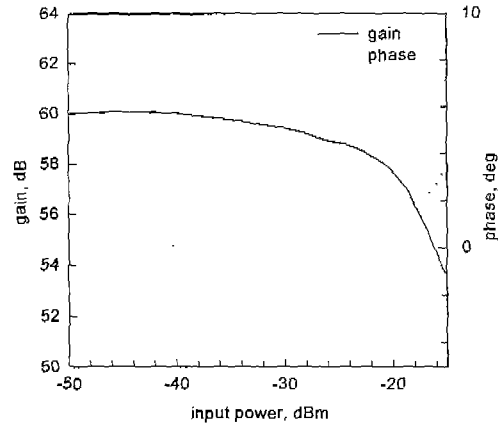


그림 4. 제작된 전력증폭기의 이득 및 위상특성
Fig. 4. Gain and phase characteristics of the implemented power amplifier.

기의 입력신호 레벨에 대한 비선형 특성과 이득 및 위상특성은 각각 그림 3, 4와 같다.

주파수도약 송신기 시스템에서 사용되는 전력증폭기는 넓은 주파수 대역에서 동작해야 한다. 이 주파수 대역에서 전력증폭기는 비선형 특성을 갖는다. 주파수가 도약하는 과정에서 전력증폭기의 특성 변화로 인한 주파수의 응답특성 변화에 따른 전력증폭기의 이득 및 위상 특성을 고려해야 한다. 증폭기의 이득과 위상 응답특성 변동이 도약대역 내에서 주파수에 따라 무시할 정도로 작다면 각 반송주파수에서 선형화기의 동작은 전력증폭기의 AM-AM과 AM-PM 특성에 좌우된다. 그리고 도약하는 주파수마다 증폭기의 비선형 특성이 유사하게 유지되면 도약대역에서 선형화기의 성능은 일정하게 될 수 있다. 따라서 전력증폭기의 출력과 위상에 대한 주파수 응답 특성을 일정하게 유지하는 것이 중요하다. 제작된 증폭기의 주파수 응답특성을 측정하여 그림 5, 6에 나타내었다. 도약대역 내에서 출력 변동은 0.5 dB 이하로 작고 위상은 선형특성을 가지므로 주파수에 따른 지연특성이 일정함을 알 수 있다. 포락선 검파기와 QDM의 출력은 Analog Device사의 12 bit AD9223을 사용하여 A/D 변환된 후 DSP 연산에 사용된다. 여기서 시간지연이 작도록 능동소자를 사용하여 검파기를 설계한다. 실험 결과 0.5 μ s 이하이다.

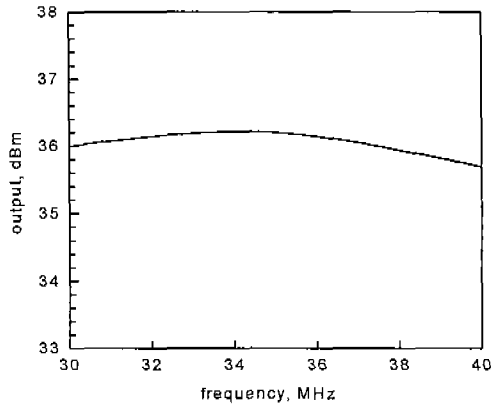


그림 5. 제작된 전력증폭기의 고주파 출력 특성
Fig. 5. RF output power characteristics of the implemented power amplifier.

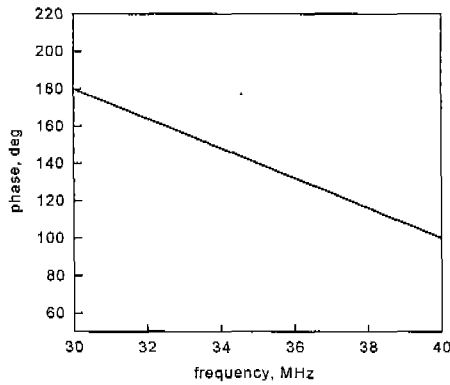


그림 6. 제작된 전력증폭기의 위상 특성
Fig. 6. Phase characteristics of the implemented power amplifier.

도약하는 신호의 생성은 주파수합성기의 출력주파수를 도약시켜 IF 신호와 혼합하여 발생시킨다. 도약 주파수가 스위칭 할 때마다 전치왜곡기 이득 함수의 계수가 최신했으므로 주파수가 스위칭 되어 안정된 후 선형화 과정이 수행되어야 한다. 따라서 주파수 합성기의 이주시간이 극히 짧아야 한다. 이 문제를 해결하기 위해서 두 개의 LO(Local Oscillator)를 번갈아 동작시켜 주파수를 발생시키는 2개의 루프를 갖는 주파수 합성기를 사용한다. 도약 주파수의 발생을 제어하는 기능은 DSP에서 담당한다. DSP 보드는 하나의 곱셈연산 시간이 18 ns인 TI

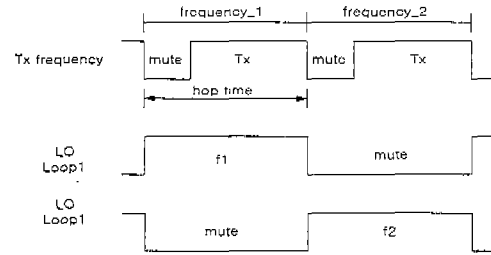


그림 7. 도약주파수 발생용 DSP 제어신호와 송신주파수
Fig. 7. DSP control signals for frequency hopping and Tx Frequency.

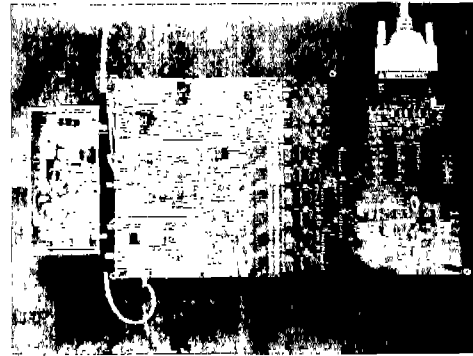


그림 8. 제작된 송신기의 사진
Fig. 8. The photograph of the Implemented Transmitter.

사의 TMS310C33을 사용하여 빠른 연산시간을 갖도록 한다. 그림 7과 같이 도약율이 200 Hop/sec인 도약신호 타이밍에 맞추어 동작하도록 한다. 도약하는 두 개의 주파수는 30 MHz에서 40 MHz의 주파수 범위에서 25 kHz 간격의 400개 주파수로부터 임의의 주파수를 선택한다. 이 논문에서는 도약대역의 양쪽 끝 주파수중의 하나를 선택하여 도약 시작 주파수로 하고 35 MHz에서 선형화기 성능을 측정하는 주파수로 설정하여 시험한다. 송신주파수는 200 μ s의 Mute 시간에 선형화 과정이 수행되고 증폭기 출력단에서 감쇄되어 안테나로 방사되지 않도록 한다.

그림 8은 제작된 주파수도약용 송신기의 사진이다.

III. 시뮬레이션 및 시험 결과

그림 3은 제작된 증폭기로부터 얻은 SSPA(Solid State Power Amplifier)의 입출력 특성을 나타낸 것으로 그 특성을 이 논문의 시뮬레이션에 사용한다. 일반적으로 SSPA의 위상특성은 입력 레벨의 전 범위에서 거의 일정하고 포화영역 근처에서도 제작된 증폭기의 위상 변화는 크지 않다^[12]. 입력 변조신호는 35% SRRCF(square root raised cosine filter)를 거친 16QAM 랜덤(random) 변조신호를 사용하였고 QDM은 완벽하다고 가정한다^[13]. 또한 피크 신호 전력에 대해 포화점(saturation point)에서 입력 백오프 2 dB를 가정한다.

시뮬레이션에 사용된 5차 전치왜곡 다항식은 다음과 같다.

$$G_{I,n}(r_i(n)) = a_{i,1,n} + a_{i,3,n}r_i^2(n) + a_{i,5,n}r_i^4(n) \tag{20}$$

$$G_{Q,n}(r_i(n)) = a_{a,1,n} + a_{a,3,n}r_i^2(n) + a_{a,5,n}r_i^4(n) \tag{21}$$

전치왜곡기의 수렴 후 다항식 함수의 계수는 다음과 같다.

$$\begin{aligned} a_{i,1,n} &= 0.5005 & a_{a,1,n} &= 0.0018 \\ a_{i,3,n} &= 0.1171 & a_{a,3,n} &= -0.1406 \\ a_{i,5,n} &= 0.0770 & a_{a,5,n} &= -0.0721 \end{aligned}$$

정규화된 입출력의 진폭 및 위상오차를 그림 9에 제시한다. 정규화는 0번째 연산구간의 수치로 이루어진다. 이 논문에서 사용한 선형화기에서 진폭오차는 6번째 연산구간에서, 위상오차는 5번째 연산구간에서 2% 이내로 수렴한다. 그림 10은 증폭기의 특성이 주변 영향이나 도약에 따라 변할 때 전치왜곡 선형화기의 재수렴성에 대한 시뮬레이션 결과이다. 수렴된 후 15%의 증폭기 이득오차와 -10° 의 위상오차가 발생한다고 가정한다. 증폭기가 선형화된 후 300번째 연산구간에서 오차가 발생하였다고 가정할 때, 오차발생 연산구간으로부터 20번째 연산구간에서 2% 이내로 다시 수렴한다. 따라서 어떤 환경변화에 의하여 증폭기의 특성이 바뀌더라도 비교적 빠른 속도로 선형화 됨을 알 수 있다. 그림

11은 35% SRRCF를 거친 16 QAM 신호 입력에 대한 증폭기 출력 PSD(power spectral density)이다. 증폭기 출력 스펙트럼에서 인접 채널의 ACP가 약 20 dB 이상 개선됨을 알 수 있다. 선형화 과정의 DSP 연산에서 스펙트럼 재성장 특성이 20 dB 이상 개선될 때 대략 20번의 반복연산이 필요하다. 한 번의 연산에는 150번의 곱셈연산이 필요하다. 곱셈연산 시간이 18 ns인 DSP 연산기를 사용할 때 각 연산시간은 $2.7 \mu s$ 정도이고 $54 \mu s$ 이후에는 스펙트럼 재생장이 20 dB 이상 개선된다. 따라서 한 주파수에서 다른 주파수로 이주할 때마다 전치왜곡기 이득함수의 계수를 최신회 할 때 이주시간은 $54 \mu s$ 이상 필요

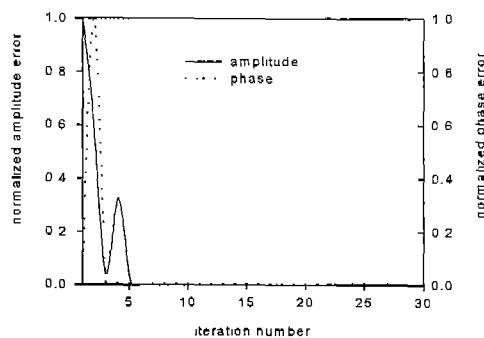


그림 9. 진폭 및 위상의 정규화 된 오차 성능
Fig. 9. Normalized error performance for the amplitude and phase.

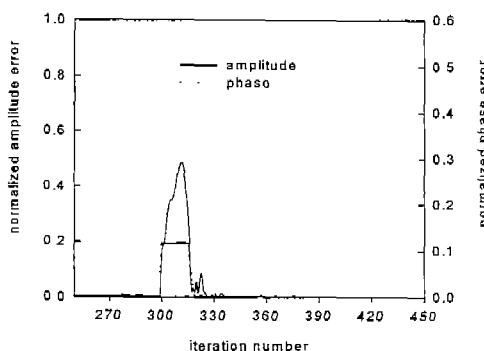


그림 10. 증폭기의 15% 이득변화와 -10° 의 위상 변화에 따른 진폭 및 위상의 정규화 된 오차 성능
Fig. 10. Normalized error performance for amplitude and phase with 15% gain and -10° phase change.

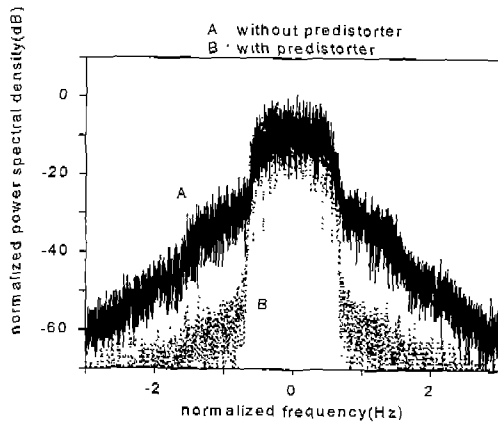


그림 11. 필터링 된 16 QAM 신호의 PSD
Fig. 11. PSD of the filtered 16QAM data signal.

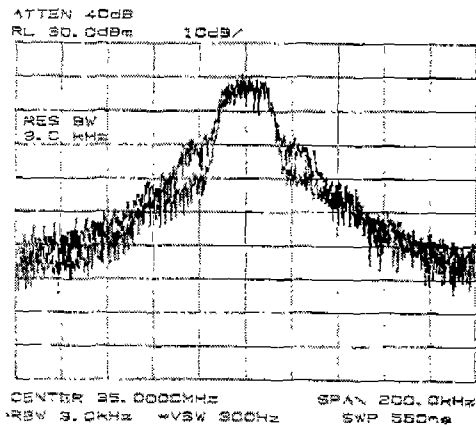


그림 12. 16Q AM 에이터 신호의 PSD
Fig. 12. PSD of the 16 QAM data signal .

하다. 또한 최초의 수렴에서 얻은 각각의 계수를 메모리에 저장하고 다시 이전의 주파수로 도약할 때는 이 값을 다시 사용하여 수렴시키면 선형화 시간을 크게 단축시킬 수 있을 것이다.

그림 12는 35 % SRRCF를 거친 16QAM 신호 입력에 대한 증폭기 출력 PSD(power spectral density)를 입력 PSD와 비교한 실험 결과이다. 입력 변조 신호는 20 kbps의 랜덤 데이터를 12.5 MHz IF 캐리어로 변조한 16 QAM 신호를 사용하였고 주파수합성기에 의하여 30 MHz의 주파수에서 35 MHz의 도약주파수로 상향 변환되었을 때, 20번째 연산구간 이후에 얻어진 것이다. 중심주파수에서 25 kHz 떨

어진 인접채널의 ACP는 대략 10 dB 정도 개선된 결과를 보여준다. 그리고 35 MHz의 주파수에서 30 MHz로 도약할 때도 그림 12와 같은 결과를 얻었다. 시뮬레이션 결과보다 적게 개선된 이유는 애널로그 검출기 회로들의 오차와 포락선 검출기의 지연특성에 의한 것으로 생각된다. 특히 주요 원인으로써 포락선검출기의 지연시간이 최대 0.5 μ s가 되어 애널로그 전치왜곡기에 입력되는 IF신호와 I,Q 전치왜곡함수 출력의 값이 시간적으로 차이가 발생하여 성능차이가 발생한 것으로 추정된다. 이러한 성능차이는 지연선로를 사용하여 해결하기가 어려우므로 애널로그 포락선검출기 대신에 DSP에서 변조신호를 생성할 때 포락선 신호를 같이 발생시켜 DSP에서 시간지연에 대해 보상 처리하는 방법을 사용할 필요가 있다.

IV. 결 론

적응 전치왜곡기를 사용하여 주파수 도약 송신기의 전력증폭기를 선형화하는 방법을 제안하였다. 주파수도약 조건하에서 전치왜곡 방식에 의한 전력증폭기의 선형화 성능을 조사하기 위하여 VHF 대역에서 동작하는 주파수도약 송신기를 제작하였다. 시뮬레이션 및 실험 결과, 전치왜곡기 이득다항식 함수와 벡터복조기의 복조신호를 변수로 하는 다항식을 사용하여 수렴 및 재 수렴 속도가 빨라짐을 확인하였다. 주파수 도약에서 전치왜곡기로 선형화할 때 증폭기의 이득 및 주파수특성이 크게 변하지 않고 위상 응답특성도 도약대역 내에서 선형적이면 선형화 성능은 넓은 주파수 대역에서 좋은 특성을 유지할 수 있을 것이다.

참 고 문 헌

- [1] Steve C. Cripps, *RF power amplifiers for wireless communications*, Artech House, pp. 179-217, pp. 251-281, 1999.
- [2] James K. Cavers, "Amplifier linearization by adaptive predistortion", *United States Patent*, No. 5,049,832, Sep. 1991.
- [3] A. A. M. Saleh and J. Salz, "Adaptive linear-

