

디지털 무선 전송장치를 위한 기울기 등화기의 채널 모델링 및 디지털 구현에 관한 연구

A Study on the Channel Modeling of Slope Equalizer and Its Digital Implementation for Digital Radio Relay System

서 경 환

Kyoung-Whoan Suh

요 약

본 논문에서는 64-QAM 디지털 무선 전송장치에 적용할 목적으로 주파수 선택적 페이딩 대책 중의 하나인 디지털 기울기 등화기의 원리, 채널 모델링 및 디지털 구현방법을 분석하였다. 또한 복소 13-탭 시간영역의 적응 등화기 칩과 연동시의 성능분석을 수치계산으로 수행하였으며, 장치의 signature 특성을 통과대역 가장자리에서 약 4.5 dB 개선시킬 수 있음을 보였다. 그리고 디지털 기울기 등화기의 모델링에 대한 한계, 동작 주파수, 제어 계수, 신호의 constellation, 장치의 성능에 대한 다양한 결과도 검토하였다. 끝으로 61 MHz 클럭까지 동작시험을 검증한 디지털 기울기 등화기의 칩에 대한 기능을 소개한다.

Abstract

In this paper, as one of countermeasure techniques for a frequency selective fading, a digital slope equalizer(DSE) for 64-QAM digital radio relay system is analyzed in terms of principle, channel modeling, and digital implementation. Also computer simulations have been performed for DSE with a complex 13-tap adaptive time domain equalizer chip. It is shown that about 4.5 dB improvement in system signature can be obtained at the channel edge, and a variety of simulated results are reviewed in view of DSE modeling limit, operating frequency, control coefficient, signal constellation, and system signature. Finally, the functions of DSE chip confirmed upto 61 MHz clock operation are illustrated.

I. 서 론

최근 정보화 사회의 급속한 진전은 다양한 멀티 미디어 정보의 수요가 급증하고 있으며, 이에 따라 초고속 및 대용량 정보전송 매체의 필요성이 대두되고 있다. 방대한 정보의 원활한 전달을 위해 국가적 차원의 기간망 구축이 추진되고 있으며, 유선망으로는 광 전송장치, 무선망으로는 디지털 무선 전

송장치(Digital Radio Relay System: DRRS)가 이용되고 있다^[1]. 디지털 무선 전송장치는 광 전송장치에 비해 전송용량이 적고, 전파경로의 특성으로 인해 시스템의 가용도(availability)가 떨어지는 단점이 있으나, 장치의 가격이 저렴하고, 기간 망의 이중화 측면뿐만 아니라 설치 및 유지보수가 용이하여 케이블 설치가 어려운 지역에도 가능하기 때문에 그 필요성이 증가하고 있다. 한편 정보의 세계적 공유화

강남대학교 지식정보공학부 전자공학과(School of Knowledge-Based Information Engineering, Kangnam University)

· 논문 번호 : 20010430-060

· 수정완료일자 : 2001년 6월 21일

추세는 전송 신호의 규격을 STM-1(155.520 Mbps) 신호를 기본으로 하는 동기식 디지털 계위(Synchronous Digital Hierarchy: SDH)가 기간 전송망의 기본 단위로 하고 있다^[2].

디지털 무선 전송장치에서는 다중레벨(multi-level) QAM 및 다중 캐리어(multi-carrier) 기술의 개발로 대용량의 데이터 전송이 가능하게 되었으며, 특히 주파수 효율 향상을 위하여 64-/256-QAM 변조방식이 채택된다. 하지만 디지털 통신에서는 신호대역 전체가 균일한 정보량을 갖게 되므로, 전파경로가 멀어질 경우에는 페이딩(fading)에 의한 장치의 성능저하가 우려된다. 이를 대응하기 위해 기저대역에서의 시간영역 적응 등화기(Adaptive Time Domain Equalizer: ATDE)^{[3],[4]}와 RF 영역의 공간 다이버시티 방식이 적용되고 있다^[5]. 그러나 주파수 선택적 페이딩이 통과 대역내의 가장자리에 발생하게 되면, ATDE는 적절히 대응하지 못한다^{[6],[7]}. 페이딩이 신호대역의 중심 주파수 부근에서 발생하는 경우는 ATDE에 의해 주로 보상이 되지만, 그 외의 경우에는 적응 기술기 등화기에 의해 미리 보상되어야 한다. 기술기 등화기는 기존의 아날로그 형태로 적용되었으며^{[8],[9]}, 1990년대 초에 처리속도의 향상으로 디지털 형태가 소개된 바 있으나^[10], 구현의 용이성, 가격 및 성능 측면을 고려하여 둘 중에 선택하여 적용될 것으로 판단된다. 디지털 기술기 등화기(Digital Slope Equalizer: DSE)는 주파수 영역의 등화기로서 ATDE와 연동하여 이러한 문제점을 어느 정도 완화시키며, 통과대역의 가장자리 영역에서 장치의 성능을 나타내는 시그니처(signature) 측면에서 보면 수 dB 개선시켜 주는 역할을 한다.

본 논문에서는 디지털 무선 전송장치에 적용 및 모델부의 ASIC화 일환으로 기존의 아날로그 기술기 등화기를 기저대역에서의 채널 모델링 및 분석하고, 이를 디지털로 구현하기 위한 방법을 고찰한다. 설계된 디지털 기술기 등화기를 64-QAM 및 ATDE와 연동시의 성능분석 및 그 한계를 수치해석을 통해 규명하며, 또한 ASIC 칩을 위한 디지털 설계, 제작 및 칩의 기능 등을 제시한다.

II. 페이딩 및 채널 모델링

무선 전송장치의 송신 안테나에서 방사된 신호가 수신 안테나에 도달하는 신호는 직접파(direct ray)와 간접파(indirect ray)로 구성된다. 이러한 직접파와 간접파 사이에 신호의 상대적 크기 및 도래 시간에 따라 무선 전송장치의 채널에서 발생하는 페이딩은 최소위상(Minimum Phase: MP) 페이딩과 비최소 위상(Non-Minimum Phase: NMP) 페이딩으로 나눈다. 주파수 선택적 감쇠 특성을 갖는 채널은 Rummier의 2-경로 모델을 주로 사용하며, 주파수 및 시간 영역의 채널 특성은 다음과 같이 표현된다^{[11],[12]}.

$$H_c(f) = a[1 - be^{-j2\pi(f-f_n)\tau}] \quad (1)$$

$$h_c(t) = a[\delta(t) - be^{j2\pi f_n \tau} \delta(t - \tau)] \quad (2)$$

여기서 a 는 직접파 신호의 감쇠계수, b 는 복소수로써 두 번째 경로의 위상지연과 감쇠 계수를 나타내며, f_n 은 노치(notch) 주파수를 의미한다. 또한 τ 는 직접파와 간접파 사이의 시간지연을 나타내며, $\delta(t)$ 는 단위 델타(delta) 함수를 의미한다. 주파수 영역에서의 노치 깊이 N_d 는 다음과 같이 정의한다.

$$N_d = -20 \log_{10}(1 - b), \quad 0 < b < 1 \quad (3)$$

$$N_d = -20 \log_{10}\left(1 - \frac{1}{b}\right), \quad b > 1 \quad (4)$$

동기식 계위를 갖는 디지털 무선 전송장치는 채널대역 30 또는 40 MHz 에 64-QAM 변조방식을 적용하여 STM-1 신호를 전송 및 수신할 수 있다^[7].

수신측 안테나는 주 및 다이버시티로 구성되어 각각의 수신기에 들어온 신호는 결합기(combiner)에 의해 신호가 더해진다. 또한 송수신기의 도파관 필터에 의한 군 지연을 보상하는 군 지연 등화기

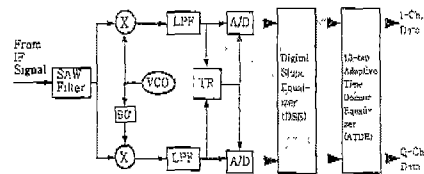


그림 1. 디지털 기술기 등화기를 갖는 QAM 복조부
Fig. 1. Block diagram of demodulator with DSE.

(Group Delay Equalizer: GDE)를 거쳐 복조부에 입력된다. 그림 1은 기울기 등화기가 내장된 복조부의 구성도를 나타낸다. 수신기의 IF 신호는 SAW 여파기를 거쳐 I- 및 Q-채널의 신호로 분리되어 A/D 변환기에 의해 디지털 신호가 되며, DSE 및 ATDE로 입력되어 신호처리가 된다. 일반적으로 주파수 효율 향상을 위해 다중레벨 QAM 변조를 적용하며, 송신단에서 변조된 신호를 복조형으로 나타내면 다음과 같다.

$$x(t) = (A_m + j B_m)\delta(t - nT) \quad (5)$$

여기서 $1/T$ 은 심볼율이며, A_m 및 B_m 은 각각 동 위상 및 직교위상의 신호이다. 수신단에서 중간 주파수대 신호는 채널 페이딩과 노이즈가 없을 경우에 다음과 같이 표현된다.

$$y(t) = x(t) * h_T(t) * h_R(t) e^{j2\pi f_c t} \quad (6)$$

여기서 f_c 는 반송파 주파수이고, $h_T(t)$ 및 $h_R(t)$ 는 각각 송신단 및 수신단의 전체적인 필터의 등가적인 특성을 의미한다. 또한 $h_T(t) * h_R(t)$ 는 나이퀴스트 여파기(Nyquist filter)의 필터 특성을 갖는다. 채널상의 다중경로 페이딩을 고려하면 식 (6)은 다음과 같다.

$$y_e(t) = y(t) * h_c(t) = a[y(t) - be^{j2\pi f_c \tau} y(t - \tau)] \quad (7)$$

따라서 페이딩의 영향을 받은 QAM으로 변조된 신호는 복조부에서 송신단과 수신단의 반송파 위상 차이 및 표본화 타이밍의 오차를 무시하면 동위상과 직교위상의 신호는 각각 다음과 같이 복조된다.

$$I_r(t) = a[I(t) - bI(t - \tau) \cos(2\pi f_n \tau)] + abQ(t - \tau) \sin(2\pi f_n \tau) \quad (8)$$

$$Q_r(t) = a[Q(t) - bQ(t - \tau) \cos(2\pi f_n \tau)] + abI(t - \tau) \sin(2\pi f_n \tau) \quad (9)$$

여기서 a 는 flat 페이딩이며, $I(t)$ 및 $Q(t)$ 는 I-채널, Q-채널의 나이퀴스트 펄스 정형(shaping)된 신호를 나타낸다. Raised-cosine 필터링에 의한 롤-오프 인자(roll-off factor) α 를 갖는 나이퀴스트 여파기 형태

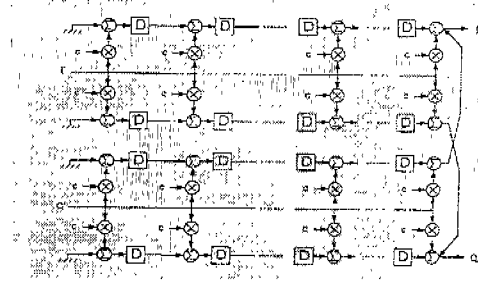


그림 2. 시간영역 복소 적응 등화기의 구조
Fig. 2. Structure of complex adaptive time domain equalizer.

의 펄스는 다음과 같다^[13].

$$I(t) = Q(t) = \frac{\sin \pi t/T}{\pi t/T} \frac{\cos \alpha \pi t/T}{1 - (2\alpha t/T)^2} \quad (10)$$

앞에서 식 (8)의 I_r 에 포함되어 있는 Q 는 ATDE 성능을 저하시키는 원인이 되며, 식 (9)의 Q_r 포함 된 I 도 마찬가지이다. 주파수 영역에서 살펴 보면 통과대역 내의 신호 스펙트럼이 기울어진 상태로 나타난다. 따라서 신호 스펙트럼의 기울어짐을 보상한다면, 위의 I 및 Q 의 상호 간섭을 줄일 수 있어 ATDE의 성능을 향상시킬 수 있게 된다^[6].

그림 2는 QAM 변조신호에 대해 복조부에서 DSE와 연결될 ATDE의 복소 여파기 구조를 나타낸다. 실수부 및 허수부를 나타내는 I, Q 두 채널에 입력되는 신호를 각각 실수 텡과 허수 텡의 두 부분으로 나누어 처리하여 복소 출력을 실수 및 허수부로 나누어 처리한다. 각각의 채널에 대해 여파기 입력 및 출력 신호사이의 관계를 $2N+1$ 텡을 갖는 경우에 다음과 같이 표현할 수 있다^{[4],[7]}.

$$I_r(n) = S'_i(n) + E_i(n) = \sum_{k=-N}^{k=+N} C^{ii}_k I'(n-k) + C^{ai}_k Q'(n-k) \quad (11)$$

$$Q_r(n) = S'_q(n) + E_q(n) = \sum_{k=-N}^{k=+N} C^{qq}_k Q'(n-k) + C^{iq}_k I'(n-k) \quad (12)$$

여기서 k 는 여파기의 텡 번호를 의미한다. 그림

에서 알 수 있듯이 복소 여파기에 I 및 Q 가 입력되어 I_r 및 Q_r 가 출력되고, 신호 준위 결정회로에서는 송신 I- 및 Q-채널의 신호인 S_i 및 S_q 가 각각 S'_i 및 S'_q 를 결정하며, 또한 오차신호 E_i 및 E_q 를 준다. 이 신호를 적용하여 탭 계수 C_k^i , C_k^q , C_k^q , C_k^i 를 ZF(zero forcing) 또는 LMS(least mean square) 알고리즘으로 변화시키게 된다.

III. 디지털 기울기 등화기

3-1 등화기 모델링

그림 3에서는 기울기 등화기의 개념도를 나타낸 것이다. 제어회로에서 신호 스펙트럼의 기울어짐을 측정하여 반대의 기울어짐을 갖도록 등화기를 조정하여 주파수 영역에서 신호 스펙트럼을 보상하게 된다. 주파수 선택적인 페이딩이 채널에 발생하였을 때, 수학적으로 다음과 같이 모델링할 수 있다.

$$I_r = x_s I_t + x_c Q_t \quad (13)$$

$$Q_r = x_s Q_t - x_c I_t \quad (14)$$

여기서 x_s 및 x_c 는 식 (8) 및 (9)로부터 각각 다음과 같다.

$$x_s = a - ab\cos(2\pi f_n \tau) \quad (15)$$

$$x_c = absin(2\pi f_n \tau) \quad (16)$$

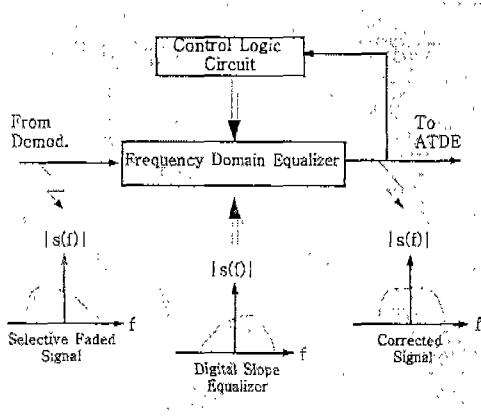


그림 3. 기울기 등화기의 원리
Fig. 3. Principle of digital slope equalizer.

여기서 다시 x_s 에 대해 정규화하면 수신된 신호 I_r 및 Q_r 은 다음과 같이 송신된 신호로 나타낼 수 있다.

$$I'_r = I_t + x Q_t \quad (17)$$

$$Q'_r = Q_t - x I_t \quad (18)$$

$$x = \frac{bsin(2\pi f_n \tau)}{1 - b\cos(2\pi f_n \tau)} \quad (19)$$

이며, I_r 및 Q_r 은 수신신호, I_t 및 Q_t 는 송신신호를 나타낸다. 또한 x 는 I 및 Q 상호간의 간섭을 나타내는 임의의 변수이다. 이와 같은 선택적 페이딩 조건하에서는 xQ_t 나 xI_t 의 값이 I_t 나 Q_t 에 비해 큰 값을 가질 경우, ATDE가 최적의 성능을 갖지 못하게 된다. 따라서 DSE를 통과시켜 xQ_t 및 xI_t 의 값을 줄일 필요가 있다. DSE의 전달함수 특성을

$$I_{out} = I_{input} + x_e Q_{input} \quad (20)$$

$$Q_{out} = Q_{input} - x_e I_{input} \quad (21)$$

으로 만든다면, DSE에 의해서 정정된 신호 I_c 및 Q_c 는 다음과 같이 표현할 수 있다.

$$I_c = I'_r + x_e Q'_r = I_t(1 - x_e) + (x + x_e) Q_t \quad (22)$$

$$Q_c = Q'_r - x_e I'_r = Q_t(1 - x_e) - (x + x_e) I_t \quad (23)$$

여기서 x_e 는 기울기 등화기의 전달함수 특성을 나타낸다. 식 (22) 및 (23)에서는 $x_e = -x$ 가 되는 경우에 I_c 및 Q_c 에 각각 포함되어 있는 Q_t 및 I_t 에 의한 간섭신호가 상쇄된다. 그러나 실제로 $x_e = -x$ 를 만족하는 x_e 를 찾기가 일반적으로 쉽지 않다. 따라서 x_e 를 통과 대역내에서 기울기를 구현하고, 이를 제어 가능한 함수로 모델링할 수 밖에 없다. 설령 찾았다 하더라도 $x_e x$ 를 포함하는 항은 남게 되어, 비록 그 양이 상대적으로 주 신호에 비해 적기는 하지만 완벽하게 정정되지 못하고 잔류하게 된다.

주파수 영역에서 살펴보면 DSE의 전달함수는 IF 단의 중심 주파수 f_{IF} 를 중심으로 \sin 함수의 형태이므로, 기저대역에서 구현할 경우 x_e 는 \sin 함수이면 된다^[3]. 따라서 x_e 다음과 같이 표현할 수 있다.

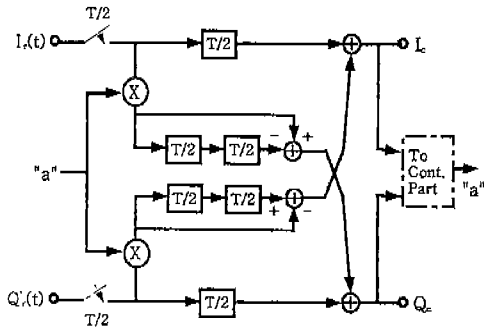


그림 4. 기저대역에서 기울기 등화기의 회로
Fig. 4. Circuit of slope equalizer at baseband.

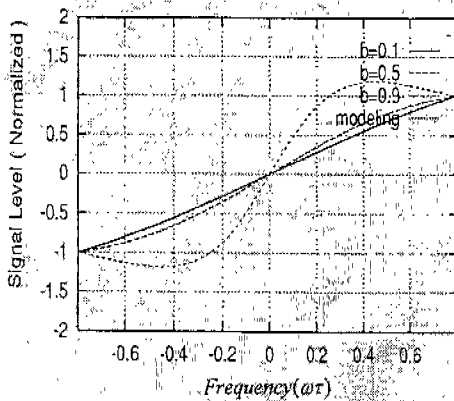


그림 5. 노치 깊이에 따른 x 와 x_e 의 특성
Fig. 5. Characteristics of x and x_e for notch depth.

$$x_e = 2a \sin(\omega\tau), \quad (-0.5 \leq a \leq +0.5, \quad \tau \leq \frac{T}{2}) \quad (24)$$

$$1 + 2a \sin(\omega\tau) = e^{j\omega\tau} [e^{-j\omega\tau} - ja(1 - e^{-j2\omega\tau})] \quad (25)$$

여기서 a 는 제어계수를 나타내며, τ 가 $T/2$ 보다 같거나 작아야 하는 이유는 DSE의 통과대역이 \sin 함수의 반주기 내에 들어와야 하기 때문이다. 따라서 등화기 부분은 $T/2$ -spaced 3-tap transversal 여파기(filter)로 구현할 수 있으며, 그림 4는 입력 표본화를 포함하는 기울기 등화기를 기저대역에서 구현한 구성도이다. I- 및 Q-채널의 입력 신호를 심볼율의 2배인 54 MHz로 표본화하여 신호를 처리하여야 하며, 제어계수 a 는 제어부분 회로에서 제시되는 양

이다. 여기서 한 가지 문제점으로는 $T/2$ -spaced 등화기이므로 64-QAM 변조로 STM-1을 전송할 경우, 클럭율이 54MHz 까지 증가한다. 따라서 54MHz 클럭에서 10 bit \times 10 bit 이상의 곱셈기(multiplier) 및 가산기(adder)를 구현하기가 쉽지 않다. 이를 해결하기 위해 입력신호를 $t=0, T, 2T, \dots$ 일 때와 $t=1/2T, 3/2T, 5/2T, \dots$ 일 경우를 나누어 처리한다면 각각의 부분은 27MHz에서 동작할 수 있게 된다. 그림 5는 b 값에 따른 x 의 변화와 \sin 함수로 모델링한 x_e 의 변화를 나타내었다. 페이딩 노치 깊이, 즉 b 가 클수록 모델링한 값의 편차가 크게 나타남을 알 수 있다.

3-2 적응 제어부

적응 제어부의 기능은 먼저 통과대역 신호 스펙트럼의 기울기와 크기를 측정하고, 등화기는 그 반대의 기울기를 갖도록 신호를 발생시킨다. 또한 적응제어를 위해 그 신호를 계속 유지 또는 재 설정하도록 한다. 기울기를 측정하기 위하여 종전의 아날로그 구현 방식에는 좁은 대역폭을 갖는 대역통과 여파기를 적용하고 있으나, 디지털 구현에서는 고속 푸리에 변환(Fast Fourier Transform: FFT) 알고리즘을 이용할 수 있다. 따라서 N-포인트 FFT는 다음과 같이 정의된다^[14].

$$X(k) = \sum_{n=0}^{N-1} x(n) e^{-j\frac{2\pi}{N}nk}, \quad k=0,1,2,\dots,N-1 \quad (26)$$

여기서 4-포인트 FFT를 택할 경우에는 그 계수 값 모두가 +1, -1, +j, -j 중에 한 개를 가지므로 곱셈기 없이 구현할 수 있는 장점이 있다. 4-포인트 FFT로 정리하여 USB(Upper Side Band)의 주파수 성분 $X(1)$ 과 LSB(Lower Side Band)의 주파수 성분 $X(3)$ 을 구할 수 있다. 식 (26)을 전개하여 정리하면 다음과 같다.

$$X(1) = x_R(0) - x_R(2) + x_I(1) - x_I(3) + j(x_I(0) - x_I(2) - x_R(1) + x_R(3)) \quad (27)$$

$$X(3) = x_R(0) - x_R(2) - x_I(1) + x_I(3) + j(x_I(0) - x_I(2) + x_R(1) - x_R(3)) \quad (28)$$

따라서 실제로 필요한 값은 USB 성분과 LSB 성분의 전력차이로써 위의 식 (27) 및 (28)에서 그 값을 구하면 곱셈기가 4개 필요하다. 하지만 다음과 같이 하면 2개의 곱셈기로써 구현이 가능하다. USB의 주파수 성분 $X(1)$ 과 LSB 주파수 성분 $X(3)$ 로부터 통과대역 가장자리 영역 사이의 전력 차이를 구하면 다음과 같다.

$$\Delta P = P_{USB} - P_{LSB} = [x_R(0) - x_R(2)] [x_I(1) - x_I(3)] - [x_R(1) - x_R(3)] [x_I(0) - x_I(2)] \quad (29)$$

따라서 ΔP 의 부호인 양(+) 또는 음(-)을 판단하여 그에 따라 제어계수 "a"를 스텝크기(step size) "c"만큼 클럭에 따라 증감시키게 된다.

3-3 ASIC 구현

본 논문에서 사용한 회로 디자인 툴(tool)은 삼성 반도체에서 제공하는 KG60000을 사용하였으며, 칩의 제원은 표 1과 같다. 설계된 DSE ASIC의 전체 구조는 그림 6과 같으며, 2배로 표본화된 입력 데이터를 보상하는 등화기부, 그 출력 값으로부터 가장자리 영역의 전력을 계산하는 전력차이부, 계산된 전력차이의 기울기 방향을 검출하는 부호검출, 그리고 검출된 부호에 의해 기울기 값을 조정하는 증감 카운터로 구성된다. 입,출력 데이터는 각각 10-bit이며, 기울기 상태 값을 보여 주는 VALOUTDO는 16-bit 이다. 그리고 시험을 위한 기울기 값 쓰기 모드 신호인 R/W가 있고, 그 입력 값은 VALINDI

표 1. DSE ASIC 칩의 제원

Table 1. Specification of DSE ASIC chip.

Package	128 QFP
Gate Count	14.2 K
Technology	KG60000 (0.8 μ m, CMOS)
Operating Range	+/-25 dB/27 MHz (with ATDE) +/-20 dB/27 MHz (without ATDE)
Algorithm	3-Tap FIR Filter
Application	M-ary QAM

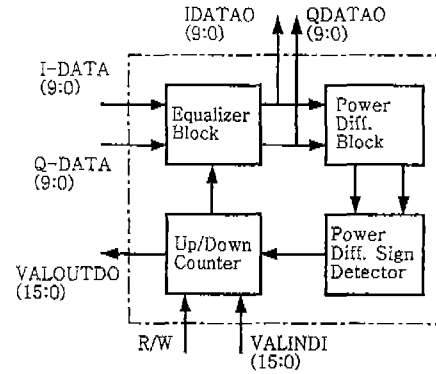


그림 6. DSE ASIC 칩의 구성도

Fig. 6. Structure of DSE ASIC chip.

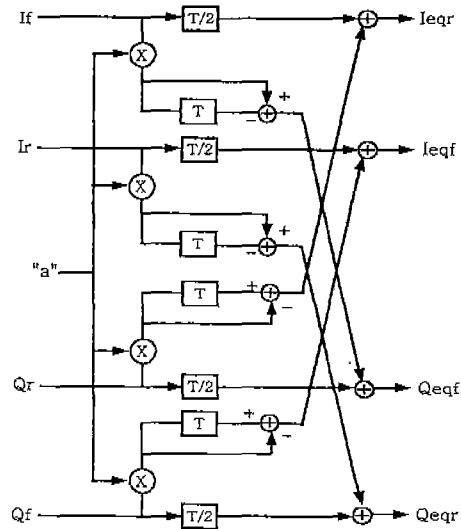


그림 7. 등화기부의 디지털 회로

Fig. 7. Digital circuit of equalizer part.

16-bit 이다. 입력 클럭은 54 MHz 및 27 MHz의 2가지를 사용할 수 있으며, 적응 모드를 선택 가능하도록 하였다. 출력에서는 3가지 모드를 선택할 수 있는데, 이들은 각각 정정된 신호를 54 MHz로 출력하는 모드, 그것을 27 MHz로 표본화해서 출력하는 모드, 그리고 정정하지 않고 출력하는 모드이다. 즉, DSE를 운용시에 "ON" 및 "OFF" 모드를 부여하여 사용자가 선택할 수 있도록 하였으며, "OFF" 모드에서 신호는 단순히 통과하여 ATDE에 연결되게 된다. 그

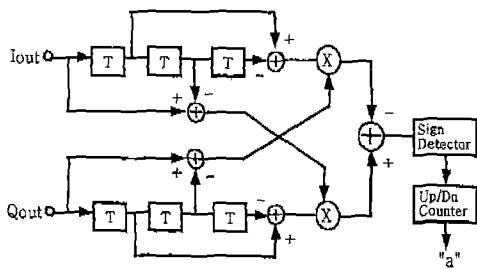


그림 8. 적응 제어부의 회로
Fig. 8. Digital circuit of adaptive control part.

리고 입력신호 스펙트럼의 기울어짐 상태 정보와 오동작 감시를 위한 "OVERFLOW" 신호를 출력한다. 주요 기능별로 자세한 회로도도 크게 두 부분으로 나눌 수 있으며, 그림 7은 등화기부의 회로도이다. 두 배로 표본화된 입력은 칩 내부에 들어오면서 falling과 rising 클럭으로 나누어져 각각 (If, Ir) 및 (Qf, Qr)이 된다. 등화기부에서는 이러한 데이터를 받아 기울기가 정정된 (Ieqr, Ieqf), (Qeqr, Qeqf) 데이터를 만들어 낸다. 그림 8에서는 적응 제어부로서 등화기부에서 정정된 입력 신호를 받아 4-포인트 FFT를 수행하며, 그 결과 값으로부터 가장자리 영역의 전력차이를 계산하고 기울어짐의 방향을 검출하여 "a"를 재 조정한다. DSE의 ASIC 칩에서 입력 신호는 54 MHz 클럭의 10-bit A/D 변환기로부터 받는다. 등화기부는 동작 주파수가 27 MHz 이지만, 두 배 표본화된 신호를 모두 정정하여 ATDE에 입력될 수 있도록 구현하였다. ATDE가 T-spaced 인 경우는 DSE에서 먼저 표본화하여 27 MHz 클럭의 신호만 출력하도록 하였다.

IV. 수치 해석 및 성능 분석

그림 9는 DSE 및 ATDE를 연동한 장치의 성능을 분석하기 위한 수치 계산시에 적용하는 모델링이며, 또한 측정 구성도이다. 채널에 주파수 선택적 감쇠가 발생하였을 때, DSE 및 ATDE로 보상하여 어떤 특정한 오율(일반적으로 10^{-3} BER)을 나타내는 감쇠의 깊이를 주파수 영역에서 찾아내어 이른 곡선을 시그니처(signature)라 한다. STM-1 계측기의 출력 155.520 Mbps 신호는 64-QAM 변조기 및 송신기

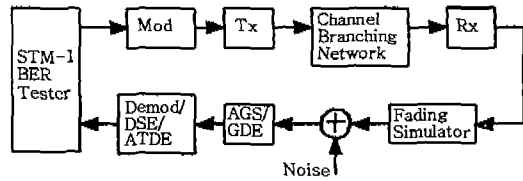


그림 9. 수치계산 및 측정을 위한 모델링
Fig. 9. Modeling for numerical analysis and measurement.

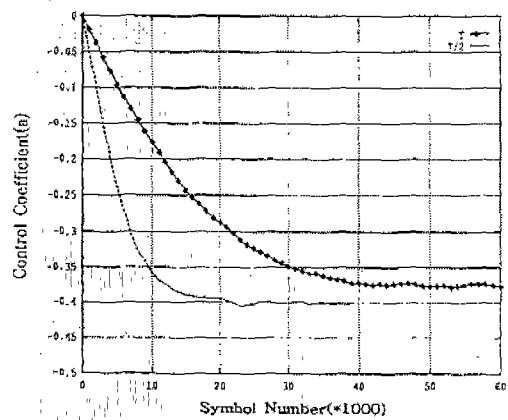


그림 10. 적응방법에 대한 제어계수의 수렴
Fig. 10. Convergence of control coefficient for adaptation schemes.

를 거쳐 감쇠기 및 RF 케이블을 통해 수신기로 입력된다. 수신된 신호는 페이딩 시뮬레이터를 통해 주파수 선택적 페이딩을 유발시키고, 또한 노이즈 발생기를 연결하여 강제로 잡음이 섞인 신호를 만든다. 왜곡된 신호는 자동 이득조절기 및 아날로그 기기를 거쳐 복조부로 입력된다. 복조부에서는 군 지연 등화기 및 시간영역 적응 등화기를 거쳐 STM-1 계측기로 입력되어 신호의 오율을 분석하게 된다.

수치해석의 기본 모델은 DSE를 이미 ASIC 칩으로 구현된 13-탭 ATDE와 연동하는 것에 목표를 두고 분석하였다. 그림 10은 채널에 노치 주파수 11.5 MHz, 페이딩 깊이를 19 dB 왜곡을 인가한 상태에서 적응 제어부를 T-spaced 인 경우와 T/2-spaced 인 경우에 제어 계수 "a"의 수렴정도를 나타내며, 후자의 경우가 약 2배 정도 빨리 수렴함을 알 수 있다. 한편 그림 11에서는 장치의 BER 측면에서 살펴본

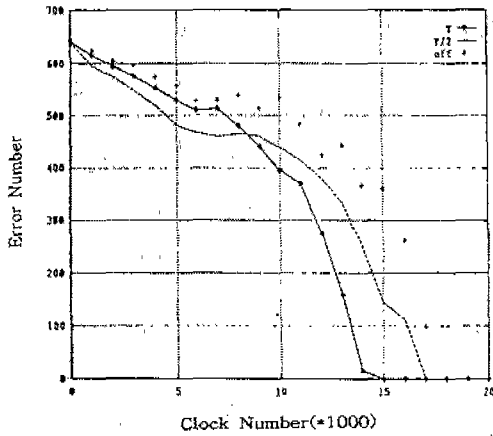


그림 11. 그림 10에 대한 BER 곡선 비교
Fig. 11. BER comparison for Fig. 10.

것으로 T-spaced인 경우가 더 좋은 성능을 제시하고 있다. 이것은 DSE가 탭 계수를 $T/2$ 클럭으로 재설정하도록 한 경우에는 제어 계수 "a"의 수렴속도가 빨라 신호가 DSE에 의해 역 왜곡되는 속도도 빠르다. 따라서 DSE의 출력이 ATDE의 입력이 되는데, 입력 신호로부터 ATDE는 효과적인 탭 계수를 찾지 못한다. 결국 DSE의 수렴속도는 ATDE보다 늦도록 제어계수 "a"의 스텝 크기를 정의해야 함을 알 수 있다. 그림 12에서는 DSE가 동작 가능한 페이딩 깊이를 나타내었다. DSE의 제어 계수는 개략적으로 약 20 dB 까지 선형성을 유지하나, 그 이상

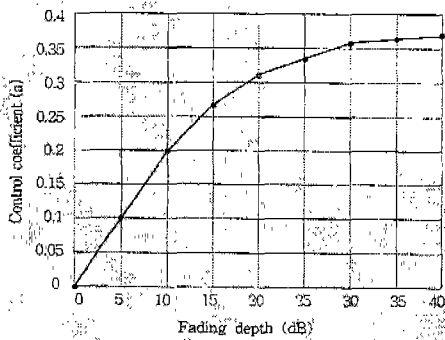


그림 12. 페이딩 깊이에 대한 적응계수의 한계
Fig. 12. Limit of adaptation coefficient for fading depth.

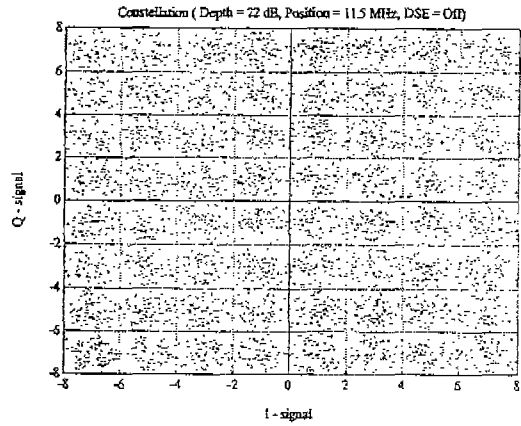


그림 13. DSE-off 경우의 복조된 64-QAM 신호의 성좌
Fig. 13. Constellation of demodulated 64-QAM signal with DSE-off.

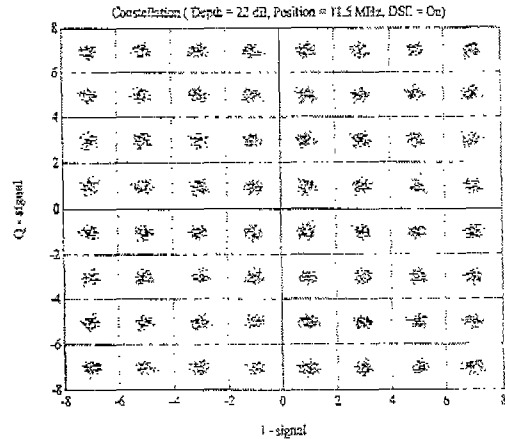


그림 14. 그림 13에 대한 DSE-on 경우
Fig. 14. DSE-on case for Fig. 13.

에서는 포화영역으로 접근하고 있다. 따라서 20 dB까지는 DSE가 동작하며, 그 보다 큰 페이딩의 정정에는 어려움이 있다. 그러나 실제로는 ATDE와 연동하였을 경우, 25 dB까지도 정정할 수 있다. 이것은 DSE가 20 dB 영역까지 정정할 수 있으면, 그 이후에는 ATDE가 동작 가능하다는 것을 시사한다.

다음은 DSE의 영향을 시간영역에서 살펴보기 위해 그림 13 및 14에서는 64-QAM으로 복조되어 ATDE를 통과한 신호의 성좌(constellation)를 제시하였다.

신호의 심볼율은 27 MHz, roll-off 인자는 0.3, 노치의 위치는 11.5 MHz, 페이딩 깊이는 22 dB 인 경우에 대해 DSE-off 및 DSE-on 한 경우의 특성이다. 그림 13에서는 성좌들이 64개의 군 또는 점 형태가 아닌 임의의 형태로 퍼져 있다. 그러나 그림 14에서는 임의로 퍼져 있는 신호의 성좌들이 한 곳으로 집중되어 있음을 제시하며, 상대적으로 비트 오류율을 줄여 줌을 신호의 배치 점 형태로 보아 알 수 있다. 한편 DSE의 주파수 영역에서의 역할을 보기 위해 그림 15에서는 그림 13 및 14와 동일한 조건하에 통과대역의 주파수 영역 응답을 나타내었다.

먼저 그림 13의 경우가 왜곡된 스펙트럼, 즉 "faded"로 표시된 것이며, 전체적으로 스펙트럼이 오른쪽으로 기울어짐을 알 수 있다. 왜냐하면 채널의 중심으로부터 오른쪽 11.5 MHz에 페이딩의 노치 주파수가 발생하였기 때문이며, 채널의 대역폭은 40 MHz(±

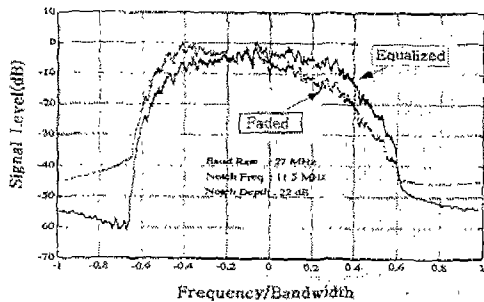


그림 15. Faded 신호에 대한 DSE 출력 스펙트럼
Fig. 15. DSE output spectrum for faded signal.

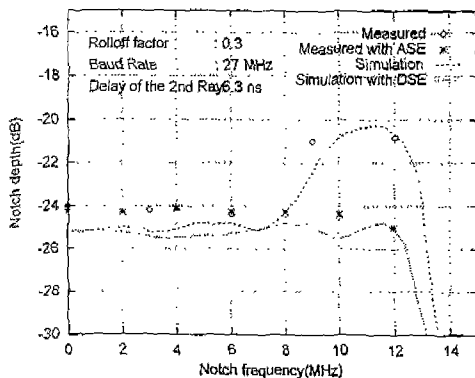


그림 16. DSE 연동 유·무에 따른 시그니처 곡선
Fig. 16. Signature curves with/without DSE.

20 MHz)이다. 한편 그림 14에 해당하는 DSE를 통한 스펙트럼은 상대적으로 좌우 대칭형태로 구성되어 있음을 알 수 있다. 따라서 DSE가 통과 대역내에서 기울어짐을 갖는 신호를 받아 충분히 대칭인 스펙트럼으로 보상하여 출력됨을 보여 준다.

끝으로 ATDE 및 DSE를 연동하여 장치의 성능을 살펴 보도록 한다. 그림 16에서는 13-탭 ATDE와 연동한 경우, 장치의 성능을 수치 해석으로 시그니처를 나타내었다. DSE를 "off"한 경우는 ATDE 만의 성능을 나타내며, 채널대역 중심에서 페이딩 주파수가 가장자리로 이동함에 따라 더욱 열화가 심하게 된다. 이것은 채널대역의 평탄한 스펙트럼이 점점 기울어짐이 심하게 되어, 시간영역에서 살펴보면 I-채널 및 Q-채널간의 간섭이 더욱 커지기 때문이다. DSE를 "on"한 경우에는 통과 대역 내에서는 "off"한 경우와 달리 대체로 일정한 성능을 유지하며, 가장자리영역에서 약 4.5 dB 이상의 성능개선을 얻을 수 있음을 보여 준다. 또한 IF 대역의 아날로그 기울기 동화기(ASE)를 구현, 실제 장치에 장착하여 ATDE와 연동한 실험 결과도 보여 준다.

V. 결 론

본 논문에서는 STM-1 신호를 전송하는 64-QAM 디지털 무선 전송장치에 적용 및 모델부의 ASIC화 일환으로 DSE의 원리, 채널 모델링 및 구현방법을 제시하였다. 또한 설계된 DSE 및 기존 13-tap ATDE와 연동시에 장치의 성능을 수치해석으로 분석하였으며, 칩의 설계 및 기능에 대해 살펴 보았다. DSE의 적용은 장치의 시그니처 특성을 통과대역 가장자리에서 약 4.5 dB 개선됨을 수치계산을 통해 알 수 있었으며, ATDE가 DSE의 출력 신호로부터 탭 계수를 적절히 적응시키기 위해서는 DSE의 수렴속도가 ATDE를 초과하지 않도록 스텝 크기 "c"의 범위가 제한됨을 확인하였다. 또한 페이딩 깊이가 커지면서 오차가 크게 발생하였는데, 이는 페이딩 채널분석에서 I, Q 신호의 간섭현상을 sin 함수로 모델링하였기 때문이며, 새로운 모델링에 따른 연구가 필요하다고 여겨진다.

현재 DSE 칩의 동작 시험은 61MHz 클럭까지 검증한 상태이며, DSE 및 ATDE와의 연동 시험은 DSE

를 포함한 64-QAM 복조부 구현 후에 실시될 예정이다. 기존의 아날로그 기울기 등화기 대신에 DSE 칩을 복조부에 ATDE와 연동함으로써 회로적으로 간결한 구성, 안정된 동작 및 높은 신뢰성을 확보할 것으로 여겨지며, 광대역 채널을 갖는 지상 및 위성 중계장치 또는 이동통신의 페이딩 대응 기술로 활용이 기대된다.

참 고 문 헌

[1] W. Bourdon, W. Geidel, G. Lange, and J. G. Neideck, "A new generation of SDH radio relay system for 1*155/ 2*155/ 4*155 Mb/sec", *Proc. 3rd ECRR*, pp. 56-63, 1991.

[2] ITU-T 권고 G.707, Network node interface for the synchronous digital hierarchy, 1995(draft).

[3] G. Sebald, B. Lankl and J. A. Nossek, "Advanced time-and frequency-domain adaptive equalization in multilevel QAM digital radio system", *IEEE JSAC*, vol. SAC-5, no. 3, pp. 448-456, 1987.

[4] K. W. Suh, C. Y. Park and D. Y. Lee, "Implementation of a single multi-task chip: ATDE, XPIC and DF applicable to multi-level QAM digital radio system", *Proc. IEEE Globecom*, pp. 1463-1467, Nov. 1995.

[5] I. K. Hwang, K. W. Suh, M. S. Rhee and D. Y. Lee, "Improvement on system performance based on the modified IF in-phase combiner for space diversity radio links", *Proc. Asia Pacific Microwave Conference*, pp. 830-833, 1995.

[6] 허기영, 서경환, 안종영, "13-tap ATDE 및 64-QAM과 연동된 디지털 기울기기의 성능 분석에 관한 연구", 대한전자공학회 추계종합학술대회, 제 16권 제 2호, pp. 48-51, 1993.

[7] 서경환, "등기식 디지털 계위의 동일채널 무선 전송장치 구현 및 성능 분석", 대한전자공학회, 제35권 D편 11호, pp. 10-22, 1998.

[8] P. Marchand, "A simplified if autoadaptive slope equalizer", *Proc. 3rd ECRR*, pp. 386-388, 1991.

[9] 홍완표, 윤정상, 하헌태, 이정형, 서경환, "STM-1급 디지털 마이크로웨이브 전송 장치에 적용된 적응 기울기 등화기의 설계 및 제작", 춘계 마이크로파 및 전파학술대회, 제 21권 제 1호, pp. 431-433, 1998.

[10] B. Lankl and G. Sebald, "Fully digital adaptive slope equalizer for advanced digital radio system", *Proc. IEEE ICC*, pp. 1528-1533, 1992.

[11] W. D. Rummel, "A new selective fading model: application to propagation data", *Bell Syst. Tech. J.*, vol. 58, no. 5, pp. 1037-1071, 1979.

[12] A. A. R. Townsend, *Digital line-of-sight radio links: a handbook*, Prentice-Hall, Chapter 8, 1981.

[13] John. A. C. Bingham, *The theory and practice of modem design*, John Wiley & Sons, Chapter 3, 1988.

[14] A. V. Oppenheim and R. W. Schaffer, *Digital signal processing*, Prentice-Hall, Chapter 6, 1975.

서 경 환



1983년 2월: 경북대학교 전자공학과 (공학사)
 1988년 2월: 한국과학기술원 전기 및 전자공학과(공학석사)
 1991년 8월: 한국화학기술원 전기 및 전자공학과(공학박사)

1983년 1월~1998년 10월: 삼성전자 정보통신총괄(수석 연구원)

1999년 3월~현재: 강남대학교 지식정보공학부 전자공학과 교수

[주 관심분야] 무선통신시스템 설계 및 성능분석, 마이크로파 회로설계, 변복조 및 등화기