

Commutation Failures of HVDC System

金 燦 起* · 梁 炳 模** · 沈 應 輔***

(Chan-Ki Kim · Byeong-Mo Yang · Eung-Bo Shim)

Abstract - This paper deals with the commutation failures of HVDC system. Commutation failures are caused by AC voltage distortions at inverter side and cause the HVDC system oscillations. In this paper, in order to know a correct incidence and onset of the failures, theoretical analysis, the simulation and the investigation at actual system are carried out and the dynamic performance simulations are performed by PSCAD/EMTDC. Finally, the condition that the failure could be generated and how to reduce the failures are analyzed.

Key Words : HVDC, EMTDC, Commutation Failure

1. 서 론

정류실패(Commutation Failure)는 사이리스터를 이용한 직류송전 시스템에서는 피할 수 없는 문제이다. 이러한 이유는 사이리스터는 도통 능력은 있으나 자체적인 소호 능력이 없는 반도체 소자로서 사이리스터에 역 방향 전압을 인가해야만 소호가 되기 때문이다. 따라서, 정류실패는 HVDC시스템의 밸브와 무효전력 그리고 보호 계전기 정정 문제와 같은 많은 문제를 유발하기 때문에 시스템을 설계하기 전에 반드시 검토되어야 하는 문제이다. 정류실패는 AC계통이나 HVDC시스템 자체의 하드웨어에 좋지 않은 영향을 미치기 때문에 많은 학자들은 이에 대한 대책을 연구하였는데, 대표적인 예를 들어보면 다음과 같다.

첫 번째로는 기존의 HVDC시스템의 변압기 2차 측에 직렬로 콘덴서를 부착하여 정류실패를 줄이는 방법을 들 수 있는데, 이 방법은 1960년경에 구 소련에서 제안된 방법으로 콘덴서의 작용에 의해서 사이리스터의 정류실패가 절감되는 장점이 있으나 필요 이상의 과전압이 발생하는 관계로 실용화되지 못하고 있다[1].

두 번째로는 자기 소호 방식 소자인 GTO나 IGBT를 이용하여 전압형 HVDC로 구성하는 방법이 있는데, 이 방법은 현재 전 세계적으로 많이 연구되고 있는 방식으로 필요에 따라서 UPFC, HVDC Light라는 이름으로 불리우기도 하며 정류

실패뿐만 아니라 무효전력을 제어할 수 있다는 장점 때문에 사이리스터 HVDC시스템을 대체할 수 있는 대안으로 떠오르고 있다. 그러나 GTO나 IGBT와 같은 소자의 고속 스위칭은 소자의 피로를 누적시키고 전체적으로 높은 손실은 가져오기 때문에 경제적인 관점에서 150MW를 자기 소호형 HVDC시스템의 한계로 보고 있다[2].

세 번째 방법으로는 HVDC시스템의 전류제어기의 감도를 조정하는 방법과 VDCL의 기울기를 조절하여 정류실패를 줄이는 방법을 들 수 있다. 정류실패의 원인은 직접적으로 AC계통의 전압 변동을 이유로 들 수 있지만 AC계통의 전압 저하에 따라 과전류가 유발되고 이러한 과전류는 정류실패를 유발하기 때문에 전류제어기나 VDCL의 값을 조절함에 따라 과전류를 제어하면 결과적으로 정류실패를 줄일 수 있다[2].

네 번째는 평균 γ 제어기 대신에 최소 γ 제어기나 평균 γ 제어기와 최소 γ 제어기를 조합한 혼합형 γ 제어기를 HVDC 시스템에 채용하는 방법을 들 수 있는데, 평균 γ 제어기와 최소 γ 제어기의 특성은 최소 γ 제어기가 정류실패에 강하다는 점 이외에 평균 γ 제어기는 전체적으로 필터링 된 평균값을 사용하는 반면에 최소 γ 제어기는 순간적으로 Jumping하는 특성을 가지고 있기 때문에 AC계통에서 고장이 발생한 경우에 최소 γ 제어기는 빠르게 동작하는 반면 평균 γ 제어기는 속응성이 떨어진다. 반면에 AC계통 고장이 해소된 후에는 최소 γ 제어기는 낮은 속응성을 가지고 있으나 평균 γ 제어기는 빠른 속응성을 가지고 있다. 따라서 제어관점에서 최소 γ 제어기가 반드시 좋다고 할 수는 없으며, 평균 γ 제어기와 최소 γ 제어기의 장점을 모두 가지고 있는 혼합형 γ 제어기가 HVDC시스템의 제어기로 제시되고 있다. 이러한 최소 γ 값이나 평균 γ 값을 혼합한 제어 방법과 유사한 제어특성을 가지고 있는 방법으로는 AC전압과 직류 전류를 이용하여 γ 값을 실시간으로 예측하는 예측 γ 제어가 이용되고 있는데,

* 正 會 員 : 전력연구원 신입연구원

** 正 會 員 : 전력연구원 신입보조연구원

*** 正 會 員 : 전력연구원 책임연구원

接受日字 : 2001年 5月 26日

最終完了 : 2001年 9月 5日

이러한 독특한 방법들은 제작사들의 이해관계에 의하여 서로 공유되지 못하고 독자적인 제어 개념으로 운영되고 있다[3].

다섯 번째는 HVDC 제어기에 Kick Control을 이용하는 방법이 있는데, 이 방법은 HVDC시스템이 정류실패를 감지한 순간 γ 이나 α 값을 일시적으로 감소시켜 정류실패에 강한 특성을 가지게 하는 방법으로써 속응성이 떨어지지 않고 제어기의 특성변화가 별로 없다는 장점 때문에 90년대 이후에 새로이 채용되는 방식이나 현재에는 위에서 나열한 방법들을 서로 혼합시켜 제어에 적용시키는 방법을 취하고 있다[2][3].

정류 실패는 오래 전부터 많은 문헌에 소개되었지만 HVDC 시스템과 관련된 정류 실패 현상은 1996년 IEEE에 캐나다의 HVDC 전문가인 C.V.Thio가 정류실패의 이론적인 분석을 시도하였으며 몇 개의 HVDC시스템에 적용하여 타당성을 검증한 것이 전부이다.[1] 그러나 Thio가 제시한 방법은 제어 모드(Thio가 가정한 제어모드는 인버터가 γ 제어 모드인 경우)와 전류 제어기의 영향을 고려할 필요가 없는 시스템이었다.

만약, HVDC시스템이 Thio가 예를 들어 설명한 시스템과 달리 인버터 단의 주 제어기가 전류제어기이며 부 제어기가 γ 제어기인 경우에는 Thio가 이론적으로 분석한 정류실패의 이론적인 분석에서 확장할 필요가 있는데, 본 논문에서는 인버터 단의 제어기가 전류제어기와 γ 제어기로 구성되어 있는 제주-해남 시스템을 예로 들어 정류실패의 원인과 전압강하에 따른 정류 실패의 가능성 그리고 제어기의 선택을 Thio가 제시한 방법에 바탕을 두어 분석하였다.

2. 정류실패의 이론적인 고찰

그림 1은 정류실패의 직접적인 원인이 되고 있는 전압변동에 따른 소호각(γ)의 변화를 보여 주고 있는 것으로써 그림 1 a)는 정상상태에서 소호 특성을 보여 주고 있으며 그림 1 b)는 전압 강하에 따른 소호각의 변화를 보여주고 있다.

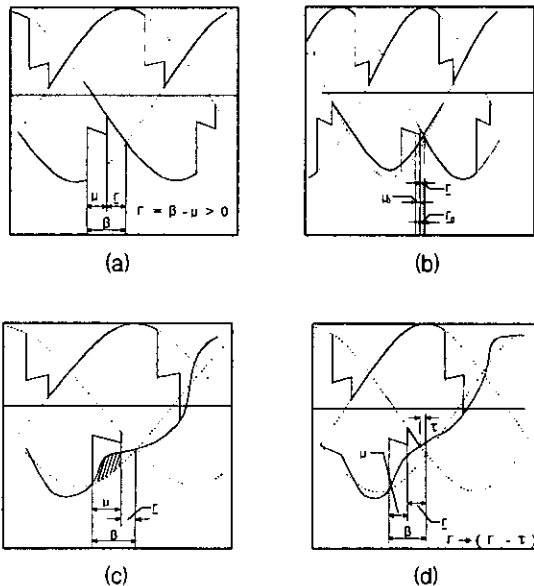


그림 1 인버터에서 정류 전압의 변화에 따른 사이리스터의 소호각 변화. ((a) : 정상상태, (b) : 단상사고, (c) : 고조파에 의한 전압왜곡(1), (d) : 고조파에 의한 전압 왜곡 (2))

Fig. 1 Inverter Commutation Phenomena According to the Effect of Commutating Voltage Variations.

또한 그림 1 c)와 d)는 AC 계통 전압이 고조파에 의하여 왜곡된 경우에 소호각의 변화를 보여주고 있는 것으로써 그림 1 c)는 소호각이 변화하지 않음에도 불구하고 고조파에 의하여 중첩 각이 증가하여 결론적으로 소호각이 변하는 그림을 보여주고 있는 것이며 그림 1 d)는 중첩 각은 일정하여도 고조파에 의하여 소호각이 변하는 것을 보여주고 있다.

2.1 3상 지락 고장에서 정류 실패

그림 2는 3상 교류회로에서 사이리스터가 인버터로 동작하는 경우에 정류과정을 그림으로 보여 주는 것이다.

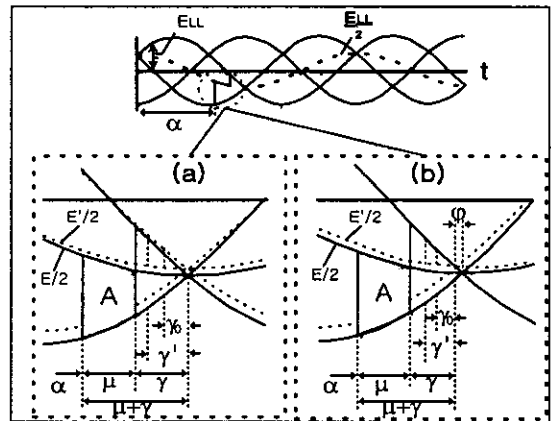


그림 2 인버터에서 정류 전압의 감소에 따른 사이리스터의 소호각 변화. ((a) : 3상사고, (b) : 단상사고)

Fig. 2 Inverter Commutation Process Showing the Effect of Sudden Commutating Voltage Reduction.

이때 인버터가 정상적인 정류 과정을 거치기 위해서는 그림 2에서, 정류 전압의 시간영역인 "A"가 아래와 같이 주어 져야 한다.

$$\begin{aligned}
 A &= \int_{\alpha}^{\alpha+\mu} \frac{\sqrt{2}E}{2} \sin(at) dt \\
 &= \frac{\sqrt{2}E}{2} [-\cos(at)]_{\alpha}^{\alpha+\mu} \\
 &= \frac{\sqrt{2}E}{2} [\cos(\alpha) - \cos(\alpha + \mu)] \\
 &= \frac{E}{\sqrt{2}} (\cos \alpha + \cos \gamma) \quad (1)
 \end{aligned}$$

여기서, $\alpha + \mu = 180^\circ - \gamma$

만약에 정상 상태에서 정류가 일어나는 전압에 대한 시간영역(식 (1)의 A)은 정류 전압이 감소하여 새로운 소호각이 생길 때의 시간 영역과 같기 때문에 식 (2)가 성립한다.

$$\frac{E'}{\sqrt{2}}(\cos\alpha + \cos\gamma) = \frac{E'}{\sqrt{2}}(\cos\alpha + \cos\gamma'),$$

$$\frac{E'}{E} = \frac{\cos\alpha + \cos\gamma}{\cos\alpha + \cos\gamma'} \quad (2)$$

식 (2)는 기본적으로 전압이 감소됨에 따라 줄어든 전압 비 (E'/E)에 따른 정류 실패가 일어나는 임계 소호각을 결정한다. 정류 실패 동안 전류가 갑작스럽게 증가하며 이때 점호각은 변하지 않는다(즉, γ 제어)는 가정을 하면, 전류에 대한 기본 식은 다음과 같이 유도 될 수 있다.

$$I_d = \frac{E}{\sqrt{2}X_c}[\cos\alpha - \cos(\alpha + \mu)]$$

$$I_d = \frac{E}{\sqrt{2}X_c}[\cos\alpha + \cos\gamma] \quad (3)$$

여기서, X_c = 정류 인덕턴스, $\alpha + \mu = \pi - \gamma$

이때 DC 전류는 증가하지 않고 전압만 감소한다면 식 (3)은 다음과 같이 유도 될 수 있다.

$$I_d = \frac{E'}{\sqrt{2}X_c}[\cos\alpha + \cos\gamma']$$

위 식을 전압의 감소와 전류의 증가에 따라 정류 실패가 일어나는 임계 소호각(γ_0)에 관한 수식으로 유도한 다음 이 식을 식 (2)와 같은 형태로 다시 만들면 식 (4)가 된다.

$$I_d' = \frac{E'}{\sqrt{2}X_c}[\cos\alpha + \cos\gamma_0]$$

$$\frac{I_d'}{I_d} = \frac{\cos\alpha + \cos\gamma_0}{\cos\alpha + \cos\gamma'}$$

$$\cos\gamma' = \frac{I_d}{I_d'}(\cos\alpha + \cos\gamma_0) - \cos\alpha$$

$$\frac{E'}{E} = \frac{I_d'}{I_d} \frac{\cos\alpha + \cos\gamma}{\cos\alpha + \cos\gamma_0} \quad (4)$$

여기서, I_d' 는 증가된 새로운 DC전류

식 (4)는 대칭적인 3상 전압 감소로 인해 정류 실패가 일어나는 임계 점을 표현한 것으로서 전류와 점호/소호각의 함수 ($(\cos\alpha + \cos\gamma)/(\cos\alpha + \cos\gamma_0)$)에 비례함을 나타내고 있다. 식 (4)을 실제로 사용하기 위해서는 정상적인 인버터 점호각($\cos\alpha$)이 알아야 하며 식 (3)으로부터 다음과 같은 수식을 유도 할 수 있다.

$$\cos\alpha = \frac{\sqrt{2}I_d X_c}{E} - \cos\gamma$$

$$= \frac{X_c \sqrt{2} E_{FL} I_{dFL}}{E^2_{FL}} = \frac{\sqrt{2} I_{dFL}}{E_{FL}} X_c$$

$$\cos\alpha = \frac{E_{FL}}{E} \frac{I_d}{I_{dFL}} X_{cpu} - \cos\gamma$$

여기서, $X_{cpu} = \frac{X_c}{Z_b} = \frac{X_c MVA_b}{E^2_{FL}}$, E_{FL} = 정격 전압, I_{dFL} = 정격전류

위 식에서 정상 상태에서 $\frac{E_{FL}}{E}$ 는 거의 단위 값(1p.u)인

것을 가정하면 다음과 같은 수식이 유도된다.

$$\cos\alpha = \frac{I_d}{I_{dFL}} X_{cpu} - \cos\gamma \quad (5)$$

식 (5)를 이용하면 식 (4)는 아래와 같이 다시 쓸 수 있다.

$$\frac{E'}{E} = \frac{I_d'}{I_d} \frac{I_d X_{cpu}}{I_d X_{cpu} + I_{dFL}(\cos\gamma_0 - \cos\gamma)}$$

위 식을 인버터의 갑작스런 정류전압 감소율(ΔV)로 표현하면 정류실패가 발생하는 이론적인 전압 감소 시점을 알 수 있다.

$$\Delta V = 1 - \frac{I_d'}{I_d} \frac{(I_d/I_{dFL})X_{cpu}}{(I_d/I_{dFL})X_{cpu} + \cos\gamma_0 - \cos\gamma} \quad (6)$$

2.2 단상지락 고장에서 정류 실패

그림 2에서 보듯이 3상 전압 파형에서 대칭으로 3상 전압이 감소하면 3상 파형의 위상 변화는 없다. 그러나 비대칭 3상 전압감소의 경우(단상 지락 사고)에는 인버터의 한 상의 전압감소는 두 선간 전압의 감소로 이어지기 때문에 정류전압의 영(零)점 근처에서 위상 변이가 발생된다. 이러한 위상 변이는 밸브정류에 대한 소호각의 감소를 가져오기 때문에 정류실패의 시작이나 가능성은 전압크기의 감소와 위상 변이의 발생에 의해 발생한다. ϕ 라고 표현되는 이 위상 변이는 그림 2 b)로 표시되어 있고 그림에서 보는 바와 같이 이것은 임계 정류 소호각(γ_0)을 줄이는 역할을 한다. 정류 실패의 시작이 위상 변이가 없는 조건과 정확히 등가를 이루면 임계 소호각은 위상 변이에 소호각(γ_0)만큼 더해짐으로써 얻어질 수 있다. 그래서 이러한 이론적인 수식은 아래 수식과 같이 표현 할 수 있다.

$$\Delta V = 1 - \frac{I_d'}{I_d} \frac{(I_d/I_{dFL})X_{cpu}}{(I_d/I_{dFL})X_{cpu} + \cos(\gamma_0 + \phi) - \cos\gamma} \quad (7)$$

그림 2에서 a상의 전압을 30° 변이 시키면 3상 전압은 다음과 같이 된다.

$$E_a = \frac{\sqrt{2}E}{\sqrt{3}} \sin(\omega t); E_b = \frac{\sqrt{2}E}{\sqrt{3}} \sin(\omega t + 120^\circ);$$

$$E_c = \frac{\sqrt{2}E}{\sqrt{3}} \sin(\omega t - 120^\circ)$$

A상과 B상의 정상시 교차점은 30° 과 210° 이다. 그러나 b 상의 크기가 약간 작아지면 전압 감소율 ΔV 가 생긴다. 그때 영(零)점은 다음과 같이 된다.

$$\sin\omega t = (1 - \Delta V)(\sin(\omega t + 120^\circ))$$

$$= (1 - \Delta V)(\cos 120^\circ \sin\omega t + \sin 120^\circ \cos\omega t)$$

$$= (1 - \Delta V)(-\frac{1}{2} \sin\omega t + \frac{\sqrt{3}}{2} \cos\omega t)$$

$$\text{여기서, } \omega t = \tan^{-1}\left[\frac{\sqrt{3}/2}{1/2 + 1/(1 - \Delta V)}\right]$$

선간 정류 전압 영(零)점에서 위상 변이는 아래와 같다.

$$\psi = 30^\circ - \tan^{-1} \left[\frac{\sqrt{3}/2}{1/2 + 1/(1 - \Delta V)} \right] \quad (8)$$

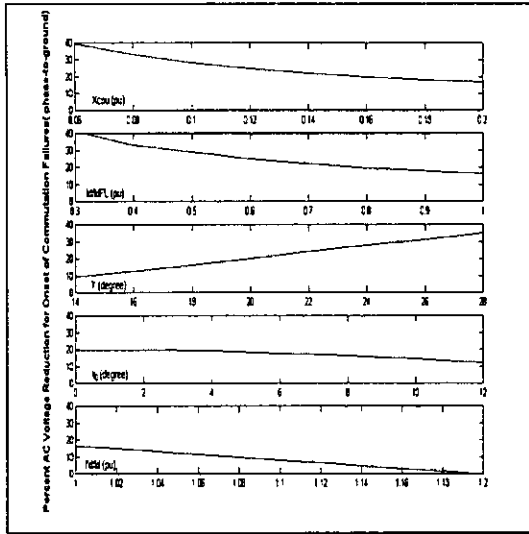


그림 3 정류 실패에 영향을 미치는 파라미터의 민감도
(1번: 변압기 누설 인덕턴스, 2번 : DC 전류, 3번: 운전 소호각, 4번: 임계 소호각, 5번: 전류의 변화율).
Fig.3 Parameter Sensitivity of Commutation Failure..

그림 3은 이상에서 논한 내용을 바탕으로 하여 정류 실패에 영향을 미치는 파라미터를 변화시켜감에 따라 정류 실패가 일어나는 전압 감소 범위를 표시한 것이다. 그림 3에서 알 수 있는 바와 같이 정류 실패에 가장 큰 영향을 미치는 요소는 AC/DC 변압기의 누설 인덕턴스으로써 누설 인덕턴스의 값이 작으면 작을수록 정류 실패가 일어날 가능성을 작아진다. 정류 실패에 2번째로 많은 영향을 미치는 요소는 전류 변화율인 것을 알 수 있으며, HVDC 운전 용량, γ 제어 각 그리고 임계 소호각(γ_0)순인 것을 알 수 있다.

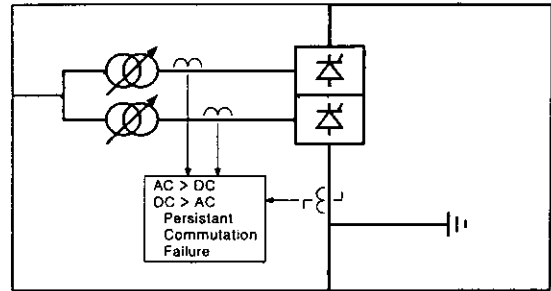
3. 정류 실패를 유발하는 파라미터의 영향

3.1 3상 지락 사고인 경우

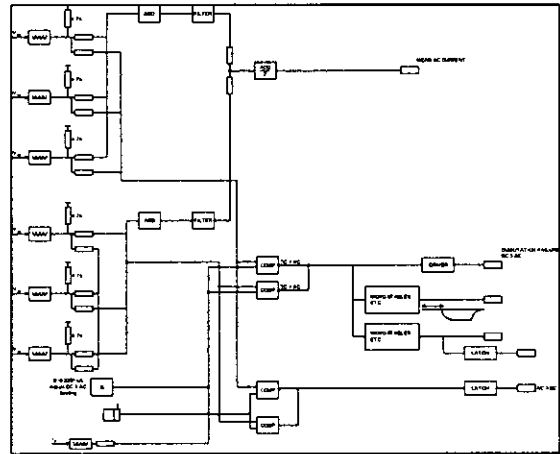
2장에서 검토한 것과 같이 3상 지락 사고에서 직접적인 전압 감소이외에 간접적으로 정류 실패를 유발하는 요인은 다음과 같다.

- 1) 싸이리스터의 임계 소호각(γ_0)
- 2) AC/DC 변압기의 누설 인덕턴스(X_{CPU})
- 3) 싸이리스터의 운전 소호각(γ)
- 4) HVDC 시스템의 운전상태(I_d/I_{dFL})
- 5) 시스템의 전류 증가 비율(I_d'/I_d)
- 6) 시스템의 운전 모드

이 중에서 싸이리스터의 임계 소호각과 AC/DC 변압기의 인덕턴스는 작으면 작을수록 정류 실패가 일어날 가능성이 낮아지고 싸이리스터의 운전 소호각은 커지면 커질수록 정류



(a)



(b)

그림 4 정류 실패 감지와 소호각 보정 회로.

Fig. 4 Commutation Failure Detection and Extinction Angle Changing Circuit..

실패가 일어날 가능성이 낮아지나 이러한 값들은 설계 단계부터 여러 가지 요소를 고려하여 결정되어지고 고정된 값이 되기 때문에 크게 고려할 것은 되지 못한다.

그러나 1장과 2장에서도 설명한 것과 같이 HVDC시스템의 인버터 단의 제어가 주 제어기로서 전류 제어를 가지고 부 제어기로서 γ 제어를 가지는 경우에는 싸이리스터의 운전 소호각과 HVDC 시스템의 운전상태, 시스템의 전류 증가 비율 그리고 시스템의 운전 모드가 시스템의 정류 실패를 결정하는 중요한 요소가 된다. 정상 상태에서 HVDC시스템의 소호각은 부 제어기로 설정된 γ 제어기 값보다는 크다. 따라서 γ 제어기를 최소 γ 제어기로 설정하는 경우에는 과도상태에서 HVDC시스템의 응답이 중요할 수 있기 때문에 γ 제어기의 형태를 변화시키는 것보다는 정류실패가 감지된 경우에 α 값이나 γ 값을 감소시키는 Kick Control이 적당한 것이다. 따라서, 제주-해남 HVDC시스템에서는 HVDC 시스템을 운전할 때 현재 운전되는 값보다 10도에서 15도 정도 작은 소호각 제한 회로를 추가하여 정류실패를 억제하는 방식이 채용되고 있다. 그림 4 a)는 제주-해남 HVDC시스템에서 정류 실패를 감지하는 회로를 보여 주고 있으며 그림 4 b)는 내부의 상세한 동작 알고리즘을 보여 주고 있는 것으로 정류 실패가 일어나는 경우에는 운전 소호각을 증가시키는 알고리즘을 보여 주고 있다. 이러한 소호각의 증가는 싸이리스터 밸브의 스트레스를 높이고 무효전력의 양을 높이는 단점을 가지고 있기 때문에 수초를 넘기지 않는다. 다음으로 HVDC 시스템의 운전 정격을 줄일 경우에는 정류 실패를 일으키는

전압이 낮아지고, 일반적으로 인버터 단에서 지락사고가 일어나는 경우에는 인버터 단의 전압이 감소되기 때문에 전류의 순간적인 증가가 이루어진다. 식 (7)에서 보는 바와 같이 전류의 미세한 증가는 정류 실패가능성을 높이기 때문에 많은 고려를 해야 한다. 실질적으로 정류 실패가 일어나는 경우에는 전류의 증가가 많지만 정류 실패가 일어나지 않는 경우에는 전류의 증가는 그다지 많지 않다. 전류증가의 비율은 정류 리액터와 케이블 리액터를 포함하고 있는 HVDC 회로의 시정수 함수에 달려 있고 인버터 단의 전류 제어기의 속응성에 달려 있다. 따라서 정류 리액터 값이 커지고, 전류 제어기의 속응성이 크면 전류의 증가율은 작아진다. 이러한 전류의 증가와 정류 리액터 그리고 점호각 사이의 관계는 다음 수식에 의해 결정된다.

$$\begin{aligned} \cos \beta_n &= \cos \gamma_n - \frac{I_{dn}}{I_{S2}} \\ \frac{I_{d\beta} + I_{d\gamma}}{2} &= I_{S2}(\cos \gamma - \cos \beta) \\ \Delta I_d &= 2I_{S2}[\cos \gamma_m - \cos(\beta_n - 1^\circ)] - 2I_{dn} \\ \frac{dI_d}{dt} &= \frac{\Delta I_d}{\Delta t} = \frac{\Delta V_d}{L_d} \end{aligned} \quad (9)$$

여기서, $\beta = \beta_n - 1^\circ$, $\gamma = \gamma_m$, $I_{d\beta} = I_{dn}$, $I_{d\gamma} = I_{dn} + \Delta I_d$ 그리고 I_d 는 인버터 DC 전류, I_{dn} 은 인버터 정격 DC 전류, L_d 는 정류 리액터, V_d 은 인버터 DC 전압, α 는 점호각, μ 는 전류 중점각, $\beta = \alpha + \mu$, I_{S2} 는 $\sqrt{3}E_m/2\omega L_C$ (L_C 는 변압기 인덕턴스, E_m 은 3상 전원의 선간 전압).

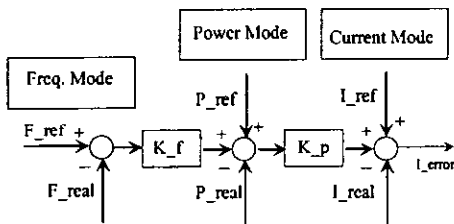


그림 5 HVDC 시스템의 제어구조.
Fig. 5 Control Structure of HVDC System.

한편, HVDC 시스템의 제어구조는 일반적으로 그림 5와 같은 구조로 되었다. 즉, 정전력 모드를 선택하면 주파수 제어기는 Disable이 되어 주파수 입력이 영(零)이 되고 전력 지령값(P_ref)과 실제의 전력량을 비교한 오차가 전류 모드의 제어입력으로 들어간다.

또한 전류 제어모드를 선택하면 주파수 제어기와 정 전력 제어기가 Disable이 되고 우리가 지령하는 전류 지령값(I_ref)과 실제의 전류 값의 오차에 의해 싸이리스터가 점호한다. 따라서 인버터 단의 AC 전압이 붕괴되면 과 전류가 유입되기 때문에 인버터 단이 전류 모드가 선택되면 과 전류를 억제하는 제어동작을 하나 인버터가 정전력 모드에서 동작하면 전압 감소에 따른 전력량을 전류를 증가시킴으로써 보상하려는 동작을 하기 때문에 정류 실패가 일어날 가능성이 높

고 정류실패를 지속시킨다.

일반적으로 HVDC 시스템에서 소호각 여유도는 60Hz에서는 18도이며, 50Hz에서는 15도를 적용하고 있다. 이러한 것은 별 차이가 없는 것 같아 보이지만 실제로 싸이리스터의 임계 소호각은 고정되어 있기 때문에 60Hz 시스템보다는 50Hz 시스템에서 시스템의 성능 저하를 가져온다.

3.2 단상 지락 사고인 경우

단상 지락 사고는 식 (6)과 식 (7)에서 보는 바와 같이 3상 지락 사고와 수식적으로는 위상 변위 특성만 차이 나는 것처럼 보이지만, 실제로는 많은 차이를 가지고 있다. 단상 지락사고와 3상 지락사고사이의 가장 큰 차이점은 다음과 같다.

- 1) Y결선 변압기와 Δ결선 변압기 사이의 차이
- 2) 단상 지락사고는 3상 지락사고보다 전류 증가율에 덜 민감하다.

첫 번째로, HVDC 시스템의 AC/DC 변압기는 1차 측이 Y결선이며, 2차 측은 Y-Δ결선으로 연결되어 있다. 이때, 1차 측에서 원거리 지락 사고가 발생하면 변압기 2차 측의 Δ결선 쪽에 연결된 밸브의 싸이리스터 정류 전압은 2상의 위상이 줄어들고, 나머지 한 상의 위상은 늘어난다. 따라서, 2상에서 정류 실패가 일어나는 반면, 변압기 2차 측의 Y결선 측에 연결된 밸브의 싸이리스터 정류 전압은 1상만이 위상 변화를 일으키고 나머지 2상의 위상은 변화가 없다. 따라서, 한 상이 정류 실패를 일으키고 다른 2상은 정류 실패를 일으키지 않는다. 그림 6은 변압기 결선에 따라 정류 실패가 일어나는 이유를 설명하는 벡터 도를 보여 주고 있다. 그림 6에서 $\Delta\theta$ ($\theta - \theta'$)는 한 상의 전압이 감소하면 위에서 논한 전압 감소에 따른 위상 변화 이외에도 Y결선과 Δ결선의 차이에서 생기는 추가적인 위상 변화를 나타내고 있다.

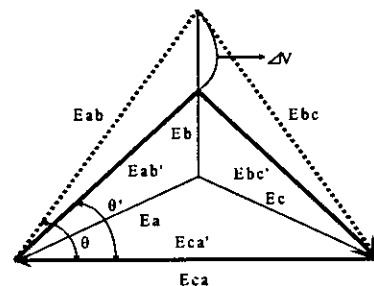
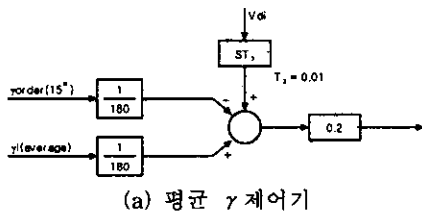


그림 6 정류 전압의 감소에 따른 정류 소호각의 변화
Fig. 6 Commutation Extinction Angle Changing due to Commutation Voltage Reduction.

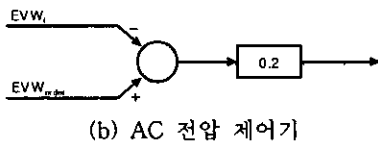
두 번째로, 식 (7)에서 보여주는 수식은 위상변위 때문에 이론적으로 3상 지락 사고보다는 단상 지락 사고가 HVDC시스템에 더 치명적일 수 있다는 것을 보여주고 있지만 정상상태 전류와 지락 사고 후의 전류 비율이 커지면 3상 지락사고와 단상 지락 사고의 의미가 없어진다. 따라서 HVDC시스템의 제어기의 속응성을 최대한으로 빠르게 하는 것이 정류 실패를 줄이는 하나의 방안일 수 있다. 우선적으로, HVDC시스템의 제어기의 속응성이 빠르게 설계되었다고 가정하면, 단상

지락 사고는 3상 지락 사고에 비하여 제어 동작에 의해서 사고가 일어난 전압을 제외하고 건전상의 전압을 이용하여 전압 강하를 보상할 수 있다는 점 때문에 전류 증가율은 작아진다. 이러한 점은 단상 지락사고가 3상 지락사고 보다 정류 실패 확률이 작아질 수 있다는 점을 보여 준다. 그러나 HVDC 시스템의 전류 제어기는 다른 제어기에 비하여 매우 빠른 제어 속응성을 가지고 있기 때문에 사고가 일어난 순간에는 빠른 속도로 전압을 회복하려는 동작을 행해야 하고 전류 제어기의 동작 특성도 이러한 실험을 반복적으로 수행한 후에 결정해야 한다.

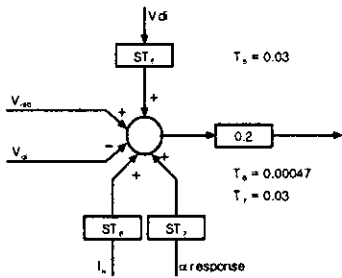
HVDC 시스템의 제어기는 여러 개의 제어기(일반적으로, 전류 제어기, 전압 제어기, α 제어기, γ 제어기 그리고 AC 전압 제어기 등등)들 중에서 시스템의 조건에 맞는 하나의 제어기만을 선택하여 제어신호를 발생시키는 동작을 한다.



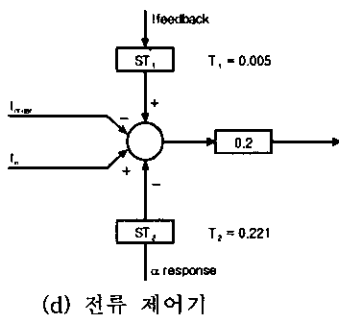
(a) 평균 γ 제어기



(b) AC 전압 제어기



(c) DC 전압 제어기



(d) 전류 제어기

그림 7 HVDC 제어기.
Fig. 7 HVDC Controller.

표 1. Loop 제어기 특-업 테이블
Table 1 Loop Control Look-Up Table

LOOP	INPUT						
	1	2	3	4	5	6	7
Loop 1 (Current)	Id	- α Response	X	X	Id	Id Order	X
Loop 2 (DC Volt.)	Udi	In	Loop 6 (2번 편)	X	Udi	Udi Order	X
Loop 3 (Mean γ)	Udi	X	X	Disable	γ Response	X	15
Loop 4 (α -Max)	X	X	X	α -Advance	- α Response	X	160
Loop 5 (AC Volt.)	X	X	X	X	Disable	Evw	1.2
Loop 6 (Spare)	X	α Response	X	X	X	X	X
Loop 7 (DC Volt.)	Udr	Id	X	Loop 6 (2번 편)	Udr	Udr Order	X
Loop 8 (α -Min)	X	X	X	X	- α Response	α Order	X

이러한 HVDC 시스템의 제어기는 각각의 제어기의 지령 값이 다르기 때문에 각 제어기의 제어기 오차만을 이용해도 정상적인 제어가 가능하나, 과도 상태에서는 전류나 전압 그리고 α 값과 γ 값이 서로 연계되어 동작하기 때문에 동일한 제어 게인으로는 원하는 성능을 가질 수 없다. 따라서, 정류실패의 위험이 높은 컨버터의 전류 제어기의 게인이 다른 제어기들 중에서 가장 속응성이 높게 설계하는 것이 일반적이며, 각 제어기에 따른 우선 순위가 결정되어야 한다. 그림 7은 제주 HVDC 시스템의 제어기를 보여 주고 있으며, 표 1은 그림 7에서 보여주는 제어기의 입력 요소를 정리한 것을 보여 준다.

4. 제주 시스템에 있어서 정류실패

그림 8은 제주도의 AC 계통도를 보여 주고 있는 것으로 제주의 전체 부하 중에 50 %는 HVDC 시스템을 이용하여 전력을 공급하고, 나머지 50 %는 북제주 화력발전소와 남제주 화력발전소 그리고 한림 복합화력에서 공급한다.

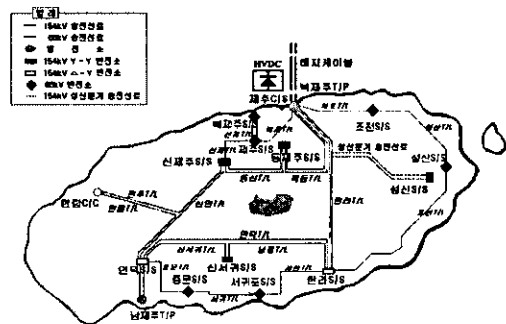


그림 8 제주 AC 계통도
Fig. 8 Cheju AC Network.

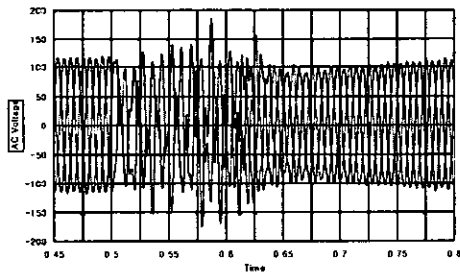
그리고 제주 AC 계통의 송전망은 154 kV 모선을 근간으로 66 kV와 22.9 kV 배전망으로 구성되어 있으며 여름 하계 최대부하는 30만 kW를 기록하고 있다. 표 2는 시뮬레이션과 제주 계통의 정류실패를 분석하기 위해 필요한 HVDC 시스템의 파라미터를 보여주고 있다.

표 2. 제주 HVDC 시스템의 데이터
Table 2. Cheju HVDC System Data

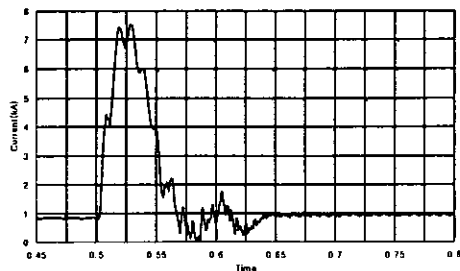
제주 HVDC 시스템의 데이터	
γ_0	8도
γ	28도
X_{CPU}	12 %
정류실패 시 α -Max	= 160-15도 = 145도
운전 전류(I _d) : 0.5p.u	

그림 9는 PSCAD/EMTDC 모델을 이용하여 시뮬레이션 한 결과로써 0.5초에서 0.1초 동안 제주 인버터 AC계통에 단상 지락이 발생한 경우의 AC 상전압, DC 전류, DC 전압 그리고 AC/DC 변압기의 2차 측 상전류의 파형을 보여주고 있다. 또한 그림 10은 그림 9와 같은 조건에서 제주 인버터 AC계통에 근거리 3상 지락이 발생한 경우를 보여 주고 있다. 그림 9 d)와 e) 그리고 그림 10 d)와 e)는 2상의 전류가 서로 대칭되는 형태로 AC 계통에 유입되는, 즉, 한 상이 정류실패를 유발하고 있음을 알 수 있다.

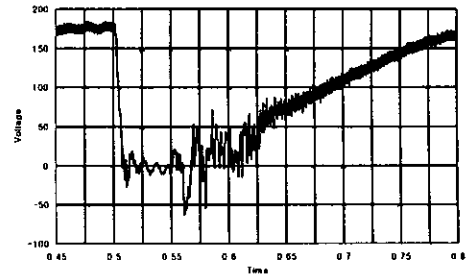
그림 9 b)와 그림 10 b)에서 확인할 수 있는 사항은 단상 지락 사고는 건전상 전압이 있기 때문에 어느 정도의 제어는 가능한 반면 3상 지락은 제어 전압이 없기 때문에 그림 9 d)와 그림 10 e)와 같이 단상 지락보다는 3상 지락에서 더 많은 DC 과전류가 AC 계통에 유입될 수 있음을 알 수 있다. 또한, 그림 10 b)에서 AC 계통이 3상 지락 된 후에 정류실패에 의한 과 전류가 유발되고 이 과 전류를 억제하기 위한 제어 동작이 행해진 후에 AC 계통이 회복되면 HVDC 시스템은 0(零)으로 떨어진 DC전압을 정격전압으로 올리기 위한 점호 동작을 시작한다. 이때 제어동작에 의한 DC 전류가 0(零)이 되면 그림 10 a)에서 보는 바와 같이 무효전력의 소비가 없기 때문에 제주 AC계통의 전압은 상승하게 되는 것을 볼 수 있다.



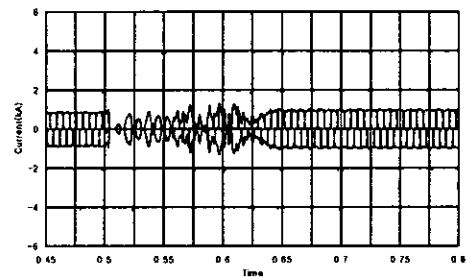
a) AC 상전압(제주 인버터)



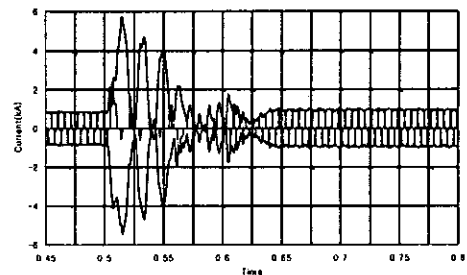
b) DC 전류(제주 인버터)



c) DC 전압(제주 인버터)

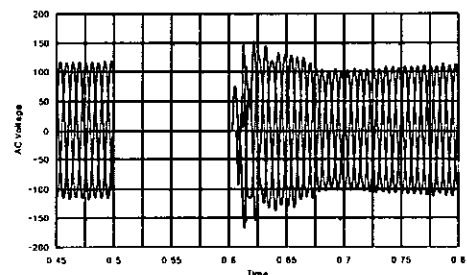


d) AC/DC 변압기 2차측 Δ 결선의 전류 (제주 인버터)

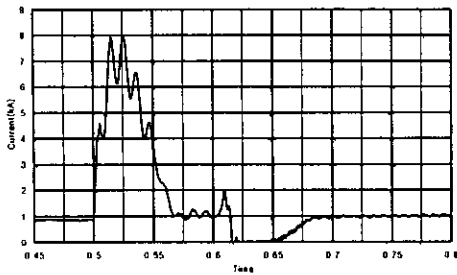


e) AC/DC 변압기 2차측 Y결선의 전류 (제주 인버터)

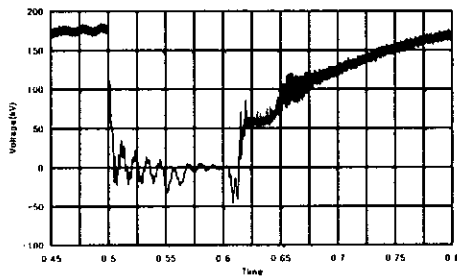
그림 9 정류실패시의 HVDC 동작 파형(단상 지락고장).
Fig. 9 HVDC Voltage Waveforms for Commutation Failure



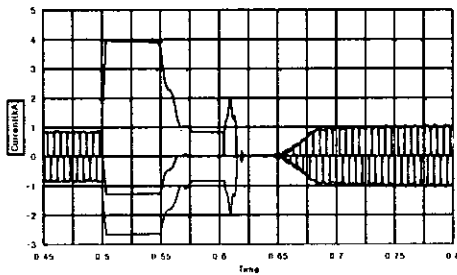
a) AC 상 전압(제주 인버터)



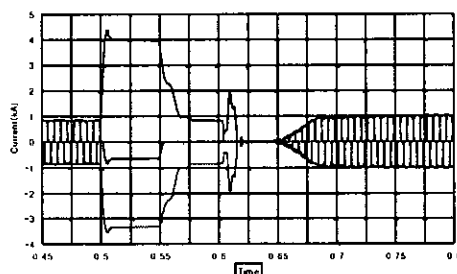
b) DC 전류(제주 인버터)



c) DC 전압(제주 인버터)



d) AC/DC 변압기 2차측 Δ 결선의 전류 (제주 인버터)



e) AC/DC 변압기 2차측 Y결선의 전류 (제주 인버터)

그림 10 정류실패시의 HVDC 동작 파형(3상 지락고장)
Fig. 10 HVDC Voltage Waveforms for Commutation Failure.

그림 11은 AC 계통에서 단상 지락 사고가 발생한 경우에 실제의 제주 HVDC 시스템이 정류실패에 의해서 트립된 순간의 기록을 보여 주고 있는 것으로 HVDC 시스템에 장착되어 있는 DTR(Digital Transient Recorder)을 이용하여 측정된 것이다. 그림 11의 경우는 제주 AC 계통의 송전선이 근거

리 단상지락을 일으킨 경우를 보여주고 있는 것으로써, AC/DC변압기 2차측 Δ 결선 상 전류는 나타나지 않고 있다. 이것은 Δ 결선 밸브가 모두 정류실패를 한 것을 의미하며, 반면에 AC/DC변압기 2차 Y결선 밸브전류는 과도하게 흐르는 것을 볼 수 있다. 이것은 3절에서 설명한 Y/ Δ 결선 변압기의 차이에서 생기는 문제이다. 그림 11에서 각 번호에 대한 파형은 다음과 같다.

- 1번 파형 : 154kV A상 전압,
- 2번 파형 : 154kV B상 전압,
- 3번 파형 : 154kV C상 전압,
- 4번 파형 : AC/DC 변압기의 1차 측 A상 전류,
- 5번 파형 : AC/DC 변압기의 1차 측 B상 전류,
- 6번 파형 : AC/DC 변압기의 1차 측 C상 전류,

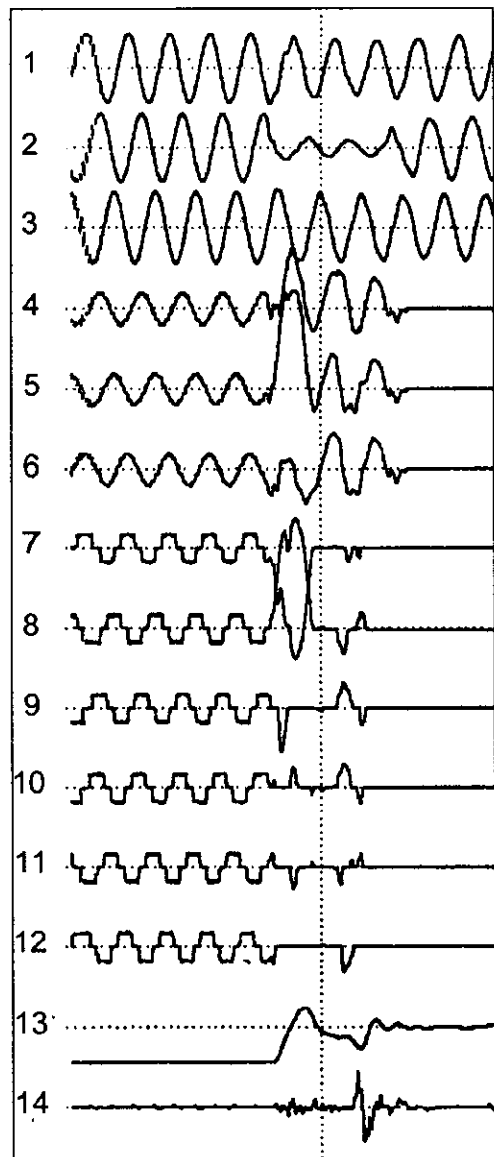


그림 11 제주 AC 계통의 송전선에서 단상 지락이 발생한 경우의 HVDC 동작 특성.
Fig.11 HVDC Characteristics Waveforms of the Single Fault Case at AC Network..

- 7번 파형 : AC/DC 변압기의 2차 Y측 A상 전류,
- 8번 파형 : AC/DC 변압기의 2차 Y측 B상 전류,
- 9번 파형 : AC/DC 변압기의 2차 Y측 C상 전류,
- 10번 파형 : AC/DC 변압기의 2차 Δ 측 A상 전류,
- 11번 파형 : AC/DC 변압기의 2차 Δ 측 B상 전류,
- 12번 파형 : AC/DC 변압기의 2차 Δ 측 C상 전류,
- 13번 파형 : Pole의 DC 전압 (기준 전압 : DC 180kV),
- 14번 파형 : Pole의 중성 점 전압 (기준 전압 : 0V)

표 3. 정류실패를 유발하는 AC 전압의 감소분 (단상 지락 고장)

Table 3. Sudden AC Voltage Reduction Required to Produce Onset of Commutation Failure.

변화 전류(I_d')	전압 감소율(ΔV)	위상변화(ϕ)
$I_d' = 0.5$	$\Delta V = 50\%$	$\phi = 8.037^\circ$
$I_d' = 1.05$	$\Delta V = 37.0\%$	$\phi = 7.466^\circ$
$I_d' = 1.10$	$\Delta V = 35.0\%$	$\phi = 6.982^\circ$
$I_d' = 1.15$	$\Delta V = 32.7\%$	$\phi = 6.438^\circ$
$I_d' = 1.20$	$\Delta V = 30.5\%$	$\phi = 5.931^\circ$
$I_d' = 1.25$	$\Delta V = 28.5\%$	$\phi = 5.840^\circ$
$I_d' = 1.30$	$\Delta V = 26.3\%$	$\phi = 4.996^\circ$
$I_d' = 1.35$	$\Delta V = 24.0\%$	$\phi = 4.052^\circ$
$I_d' = 1.40$	$\Delta V = 22.0\%$	$\phi = 4.082^\circ$

표 4. 정류실패를 유발하는 AC 전압의 감소분 (3상 지락 고장)

Table 4. Sudden AC Voltage Reduction Required to Produce Onset of Commutation Failure

변화 전류(I_d')	전압 감소율(ΔV)	위상변화(ϕ)
$I_d' = 1.00$	$\Delta V = 47.2\%$	$\phi = 0^\circ$
$I_d' = 1.05$	$\Delta V = 44.6\%$	$\phi = 0^\circ$
$I_d' = 1.10$	$\Delta V = 41.9\%$	$\phi = 0^\circ$
$I_d' = 1.15$	$\Delta V = 39.3\%$	$\phi = 0^\circ$
$I_d' = 1.20$	$\Delta V = 36.7\%$	$\phi = 0^\circ$
$I_d' = 1.25$	$\Delta V = 34.0\%$	$\phi = 0^\circ$
$I_d' = 1.30$	$\Delta V = 31.4\%$	$\phi = 0^\circ$
$I_d' = 1.35$	$\Delta V = 28.7\%$	$\phi = 0^\circ$
$I_d' = 1.40$	$\Delta V = 26.1\%$	$\phi = 0^\circ$

표 3과 표 4는 위에서 구한 수식을 이용하여 제주지역에서 정류실패가 일어날 수 있는 AC전압 감소분을 정리한 것이며 HVDC시스템이 정격 전력(150MW)에서 운전하는 것을 기준으로 하였다(실제의 HVDC 시스템은 일반적으로 정 주파수 운전을 하기 때문에 표 3과 표 4에서 보여주는 자료에서는 다소의 오차를 가지고 있다.)

표 3은 표 2의 데이터와 식 7을 이용하여 제주 계통에서 단상 지락이 발생하는 경우에 전류의 변화율에 따라 정류실패를 유발할 수 있는 AC계통의 RMS전압의 감소율을 보여주

고 있는 것으로써, 그림 8의 제주계통도에서 AC계통에서 단상지락이 발생하는 경우에 HVDC시스템이 정류실패를 유발할 수 있는 위치를 구할 수 있고, 표 4는 3상 지락 고장이 발생하는 경우에 해당한다고 볼 수 있다. 한편 표 3과 표 4는 제어기를 설계하는 경우에도 사용할 수 있는데, 제어기의 속응성에 의하여 전류의 변화율을 고정시킨 경우에는 전압감소율에 따른 정류실패의 가능성을 예측할 수 있고, 무효전력 보상장치용량과 속응성 그리고 위치를 결정하는데 간접적으로 이용할 수 있다. 그러나 제어기의 성능과 무효전력 보상장치의 용량 및 속응성문제는 본 논문에서 서술하려는 범위를 넘어서기에 생략하기로 하겠다.

5. 결 론

본 논문은 제주-해남 HVDC 시스템의 동특성 중에서 AC계통의 고장에 의하여 HVDC시스템이 정류 실패할 수 있는 가능성을 분석하였다. 정류실패는 AC 계통에서 HVDC시스템의 보호와 AC계통의 발전기 보호 그리고 AC 계통의 보호협조에 필수 불가결한 요소를 가지고 있기 때문에 실제의 계통을 분석하는데 많은 도움이 되리라 사료된다.

참 고 문 헌

- [1] K. Sadek, "Capacitor Commutated Converter Circuit Configurations for DC Transmission", IEEE Trans. on Power Delivery, Vol.13, No.4, Oct. 1998, pp.1257~pp.1264.
- [2] *High-Voltage Direct Current Handbook*, EPRI TR-104166S, 1994.
- [3] *AC/DC Interaction Phenomena*, CIGRE Working Group Report, 1992.
- [4] C.V.Thio, "Commutation failures in HVDC Transmission Systems", IEEE Trans. on Power Delivery, Vol.11, No.2, April 1996, pp.946~pp.957.
- [5] *제주-해남 HVDC 매뉴얼*, GEC Alstom, 1993.
- [6] P. Kunder, *Power System Stability and Control*, McGraw-Hill, 1996.
- [7] P.C. SEN, "Thyristor DC Drive", A Wiley-Interscience Publication, 1981.

저 자 소 개



김 찬 기 (金 燦 起)

1968년 12월 17일 생. 충북 충주. 1991년 서울 산업대 전기공학과 졸업. 1993년 중앙대 대학원 전기공학과 졸업(석사). 1996년 중앙대 대학원 전기공학과 졸업(공학박). 1996년 전력 연구원 입사. 현재 전력 연구

원 선임 연구원.

Tel : 042-865-5892, Fax : 042-865-5844

E-mail : ckkim@kepri.re.kr



심 응 보 (沈 應 輔)

1959년 12월 23일 생. 1982년 한양대 전기공학과 졸업. 현재 한전 전력연구원 송변전 기술그룹 책임연구원

Tel : 042-865-5890, Fax : 042-865-5844

E-mail : ebshim@kepri.re.kr



양 병 모 (梁 炳 模)

1969년 4월 24일 생. 1995년 연세대 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(석사). 1997년 전력 연구원 입사. 현재 전력 연구원 선임보 연구원.

Tel : 042-865-5876, Fax : 042-865-5844

E-mail : bmyang@kepri.re.kr