

PCI 기반 병렬 퍼지추론 시스템의 설계 및 구현

Design and Implementation of a PCI-based Parallel Fuzzy Inference System

이병권 · 이상구

Byung Kwon Lee and Sang Gu Lee

한남대학교 컴퓨터공학과

요 약

본 논문에서는 대용량의 퍼지 데이터를 고속으로 전송 및 추론하기 위한 새로운 PCI 버스 기반 병렬 퍼지 시스템을 제안한다. 많은 퍼지 데이터의 고속전송을 위해 PCI 9050 인터페이스를 사용하고, 병렬 퍼지 추론 시스템을 위한 병렬 퍼지 모듈들을 FPGA로 설계하여 PCI 타겟 코어로서 병렬로 동작하게 한다. 여기서 소속함수들의 각 요소와 전건부 또는 후건부 부분의 병렬화를 고려하여 제안된 시스템을 VHDL을 사용하여 설계 및 구현하였다. 제안된 시스템은 실시간에 고속의 퍼지추론을 요하는 시스템 또는 대용량 인공위성 영상 데이터의 패턴 인식 등과 같이 다수의 전건부, 후건부의 변수를 갖는 시스템에 활용될 수 있다.

Abstract

In this paper, we propose a novel PCI bus based parallel fuzzy inference system for transferring and inferencing the large volumes of fuzzy data in high speed. For this, the PCI 9050 interface chip is used to connect a local bus designs as a PCI target core using FPGA to the PCI bus. We design and implement the PCI target core by using VHDL to be processed in parallel by considering the points of parallelyzing each element of the membership functions and each block of the condition and/or consequent parts. The proposed system can be used in a system requiring a rapid inference time in a real-time system or pattern recognition on the large volume of satellite images that have many inference variables in the condition and consequent parts.

Key words : PCI bus, Parallel fuzzy inference, VHDL, FPGA

1. 서 론

퍼지논리는 0과 1의 이진 논리가 아닌, 0과 1사이의 실수 연산이 필요하기 때문에 수천개 이상의 퍼지규칙을 갖는 퍼지 추론은 고속으로 수행하기 쉽지 않다[1, 2]. 특히, 항공기나 인공위성으로부터 얻어진 화상에서 지표면의 특징을 분류하여 피복도를 작성하는 원격탐사 화상의 패턴분류 시스템과 같이 퍼지 연산이 대규모로 실행되면서 실시간성이 요구되는 시스템이나 대규모의 전문가 시스템 등에서의 처리에는 아직 해결하여야 할 문제점들이 많이 남아있다[3, 4]. 또한, 지금까지 개발된 대부분의 퍼지 하드웨어들은 AND/OR(Min/Max)의 연산은 병렬로 수행하고 있지만, 퍼지규칙들 또는 전건부, 후건부에 대해서는 순차적으로 수행하고 있으므로, 이러한 부분들에 대해 병렬로 수행할 수 있는 새로운 기법에 대한 연구가 절실하게 필요하다. 따라서 퍼지규칙의 전건부 또는 후건부에 대한 변수들을 각각 병렬로추론할 수

있는 효율적인 퍼지 병렬화 추론방법과 각각의 퍼지 소속함수에 대한 Min·Max 연산 시에 각 요소별로 병렬화하여 고속처리를 할 필요가 있다. 최근에는 퍼지시스템을 구현시 FPGA를 사용하여 응용목적에 맞는 전용 퍼지 시스템으로 설계하는 경우가 많이 있다[5, 6]. 본 논문에서는 대용량 원격탐사 화상의 패턴분류 시스템에 적용할 수 있는 고속의 병렬 퍼지 시스템을 설계하고 구현한다. 대용량의 퍼지 데이터 전송을 위하여 IBM PC상의 PCI 확장 버스를 사용하고, 병렬 추론이 가능한 퍼지 추론 모듈들을 FPGA로 설계하여 PCI 타겟 코어로서 고속으로 동작할 수 있도록 한다.

2. 병렬 퍼지추론 알고리즘

일반적인 퍼지 추론의 알고리즘은 다음과 같다. 여기서 r은 퍼지 규칙의 수, m은 전건부 변수의 수, n은 후건부 변수의 수이다. 본 논문에서 제안하는 병렬 퍼지추론은 전건부의 퍼지변수가 동시에 여러 개의 퍼지 프로세서 모듈에 의해 추론되고, 후건부도 같은 모듈을 통해 병렬로 추론된다. 본 논문에서는 그림 2과 같은 알고리즘을 사용하여 퍼지추론의 병렬화를 실행한다. 그림 1과 같은 알고리즘을 병렬화하여 퍼지연산을 병렬로 수

접수일자 : 2001년 8월 23일
완료일자 : 2001년 12월 1일
감사의 글 : 본 연구는 한국과학재단 목적기초연구(2000-1-30300-007-2) 지원으로 수행되었음.

```

For i = 1 to r
  For j = 1 to m
    dj = Max(Cij(x) ∧ Aj(x))
    Di = min(Di, dj)
  For k=1 to n
    Pik(y) = min(Di , Sik(y))

For i=1 to r
  For k=1 to n
    Bk(y)=Bk(y) ∨ Pik(y)
For k=1 to n
  bk = ∑yi∈Y-Yi yi · Bk(yi) / ∑yi ∈Yi yi
    
```

그림 1. 일반적인 퍼지 알고리즘.
Fig. 1. General fuzzy algorithm.

행하면 기존의 시리얼 방법으로 추론하던 퍼지 시스템보다 고속으로 처리할 수 있다. 또한, 기존의 방법은 간단한 퍼지 연산을 수행하면 무리가 없었지만, 대량의 퍼지 데이터의 실시간 추론을 요하는 작업에 대한 퍼지 추론시 연산 횟수의 증가로 속도가 저하된다. 그러므로, 고속의 PCI 데이터 전송을 위한 병렬퍼지 추론 시스템을 설계하여 한 프로세서에서 수행하던 것을 여러 프로세서 모듈로 나누어 독립적으로 수행하면 가능하다. 그림 2는 전반적인 병렬퍼지 추론 알고리즘을 보여 주고 있다.

```

Let D=1
For i:=1 step 1 until r do
  begin
    dj = max[Cij(x)∧Aj(x)], (1 ≤ j ≤ m);
    Dj = min(Dj, dj), (1 ≤ j ≤ m);
  end

Let B(y) = 0
For h:=1 step 1 until q do
  begin
    Okh = max[D, STik[h](y)], (1 ≤ k ≤ n);
  end
    
```

그림 2. 병렬 퍼지 알고리즘.
Fig. 2. Parallel fuzzy algorithm.

위의 병렬 퍼지 알고리즘으로부터 병렬성을 최대한 활용하기 위하여 다음과 같은 2가지의 병렬을 추출한다.

- 제 1병렬(Low-level)
Min·Max 연산시 각각의 소속함수의 요소들을 병렬화하여 연산한다.
- 제 2병렬(Medium-level)
퍼지 변수 사이의 병렬로 제 1병렬이 수행되는 동시에 병렬이 발생한다(전건부 또는 후건부)

이와 같이, 병렬이 2 레벨에서 동시에 병렬 추론 부분이 발생하므로 일반적인 추론 방법으로 추론하는 것 보다 처리 속도면에서 월등하다.

3. 병렬 퍼지 추론 시스템

3.1 데이터 입출력 인터페이스 설계

대량의 퍼지 데이터의 입·출력시 PCI 보드를 통한 보다 빠른 데이터 전송으로 퍼지 데이터를 고속 및 실시간에 처리할 수 있도록 하였다. 또한 타겟 코어 쪽에서 복잡한 퍼지연산을 병렬로 수행하여 CPU의 사용을 줄이고 보다 빠르고 효과적인 연산을 수행할 수 있다. PCI를 통하여 보내지는 데이터의 전송단위는 8bit, 16bit, 32bit 단위로 전송 가능하고 일반 병렬포트 전송 및 ISA, EISA 버스보다 빠른 132바이트(132Mbyte/sec) 데이터를 전송한다[9]. 다음의 표 1은 확장 버스의 특성 보여주고 있다.

표 2. 확장 버스 특성 비교.

Table. 1. Compare characteristics of extension bus.

Expansion Bus	처리 단위	속도
ISA	8.33Mhz, 16-bit wide	8.33Mbyte/sec
EISA	8.33 Mhz, 32-bit wide	33Mbyte/sec
PCI	33Mhz, 32-bit wide	132Mbyte/sec

본 논문에선 고속의 데이터 전송을 위한 버스로 PCI 확장 버스를 선정하고, 퍼지추론 코어와 연결하기 위해 bridge 역할로 사용되는, PCI 타겟 인터페이스 칩으로 PCI9050 칩(PLX technology)을 사용하여 고속의 데이터 인터페이스를 구현했다. 데이터 전송과정을 보면, 데이터를 센서 또는 문서로부터 받아 PCI 버스에 전달되고, 이 데이터들은 다시 PCI 인터페이스인 PCI9050 칩을 통하여 데이터를 칩의 입·출력을 메모리 맵(memory Map) I/O 방식으로 각각의 ARM(Antecedent Rule Memory), CRM(Consequent Rule Memory), FIR(Fuzzy Input Register)에 전송된다. 또한, 디코더(2×4)의 역할로 어느 메모리와 레지스터에 퍼지 소속함수 및 퍼지 입력데이터를 저장할지를 결정하는 역할을 담당한다. 또한, SRAM을 사용하여 퍼지 소속함수를 저장하고 전건부 저장은 ARM, 후건부는

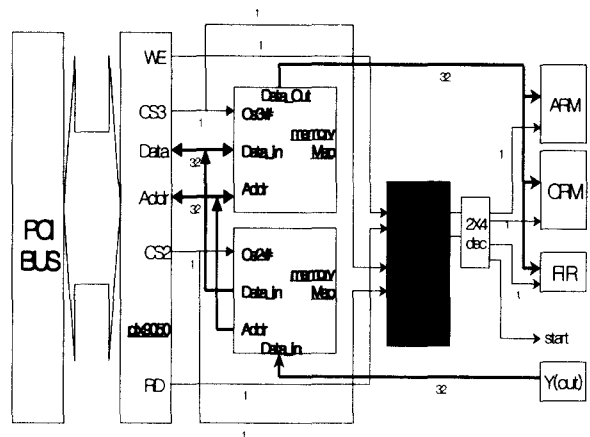


그림 3. PCI 버스와 퍼지추론 코어 연결
Fig. 3. PCI bus and fuzzy inference connect core.

(n개)을 저장한다. 이 결과로 나온 값은 다른 모듈프로세서에서 계산된 Max값들과 비교하여 절단을 위한 Min연산을 수행한 후 MSR(Min Store Register) 레지스터에 적합도(degree of fulfillment)를 저장한다(그림 5).

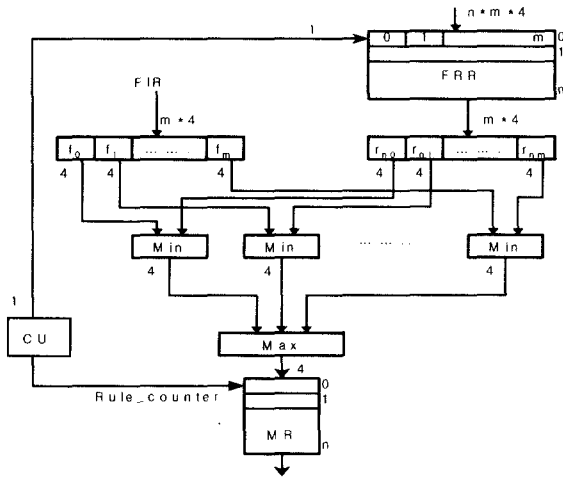


그림 5. FPM의 Min·Max 연산 회로.
Fig. 5. Min·Max arithmetic logic of FPM.

3.3 병렬 퍼지추론 시스템 구현

구현 환경으로는 IBM-PC (PIII-800), PCI9050 Chip, FPGA 설계도구(HBE-DTK-240), VC++6.0, Max+plus II를 사용했다. 논문에선 IBM-PC를 이용한 FPGA 설계 툴인 Max+plus II로 타겟 코어를 설계하고 이것을 ALTERA 칩에 다운로드하는 방법으로 병렬처리추론 시스템 코어를 구현하여 분석했다. 실험을 위하여 VC++ 6.0을 사용해 PC와 타겟 코어 사이에 데이터 전송(8bit 및 32bit 단위의 전송)으로 전건부 퍼지 소속함수 및 후건부 퍼지 소속함수를 받고, 퍼지입력은 단일형태와 문서화 형태의 자유롭게 넣을 수 있도록 구현했다. 또한, 병렬 퍼지연산을 수행하기 위하여 입력 퍼지 데이터와 퍼지 소속함수들을 응용 프로그램인(VC++)을 이용 데이터 버스의 용량단위(block)로 나누어 타겟 코어에 전달할 수 있고, 전송된 퍼지데이터들은 PCI의 메모리영역에 써지고 PCI 인터페이스칩인 PCI 9050칩을 통하여 퍼지추론 코어의 전건부, 후건부 저장 메모리에 저장된다.

또한, 센서를 통하여 얻어진 입력 퍼지값 또는 단일 입력 값들이 FIR에 저장되어진다. PFIS는 전건부와 후건부의 퍼지 소속함수들을 계산하고, 그 결과 값을 다시 PCI 인터페이스를 통하여 PC에서 전달받아 비퍼지화에 사용된다. 그림 6은 이 과정을 보여 주고 있다. 그림 7에서는 전건부 퍼지 변수와 후건부 퍼지 소속함수들이 메모리에 각 규칙으로 저장되고 또한, 적합도(degree of fulfillment)를 보여주는 Calc_Result 부분과 최종 계산된 결과를 표시하는 부분 Result A, B로 구성되고, 대량의 데이터는 한번에 전송이 불가능하므로 32bit 또는 8bit로 퍼지데이터를 전송할 수 있다. 또한, 전건부 및 후건부의 퍼지규칙들을 저장시에 2가지방법으로 저장할 수 있게 설계했다. 첫 번째 방법은 임의로 퍼지데이터를 입력하는 방법이고, 두 번째 방법으로 문서단위로 퍼지 데이터를 받아들여 한번에 입력하는 방법이다.

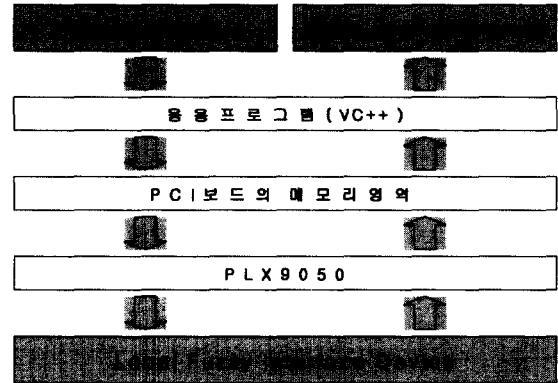


그림 6. PFIS 동작 순서도.
Fig. 6. PFIS operation flow chart.

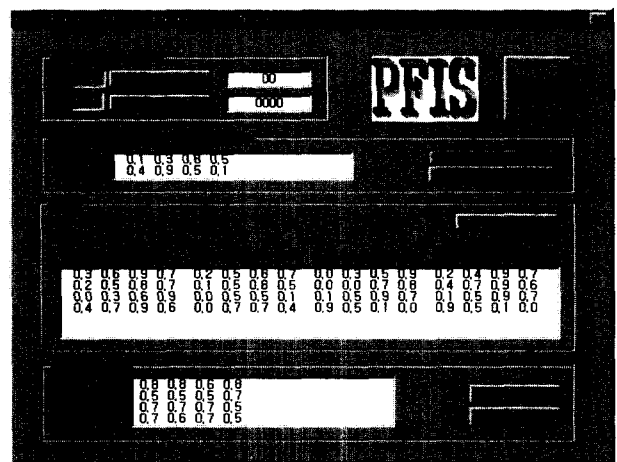


그림 7. PFIS 응용프로그램.
Fig. 7. Application program of PFIS.

4 실험 결과 및 분석

퍼지 프로세서 모듈(FPM)을 실험 및 분석 위한 Max+plus II 툴의 시뮬레이션 에디터를 이용했고, Synopsys Design Analyzer 이용하여 PFIS을 합성하였다. 이 시뮬레이션은 퍼지 프로세서 모듈사이에서 계산되는 시간을 측정된 결과를 보여 주고있다(그림 8).

실험 대상 조건으로 전건부 및 후건부 퍼지규칙의 수가 4개와 입력퍼지 변수 1개가 계산되는(FPM) 시간을 측정했다. 이것은 실험으로 사용된 설계도구의 게이트의 수가 적어서 많은 규칙을 한 번에 입력이 불가능하다. 이것의 해결로 모듈단위로 코어 설계하고 각각의 모듈을 연결했다. 이 실험에서는 작은 용량을 갖는 각각의 모듈들을 연결하여 전체적인 퍼지추론 코어를 설계했다. 또한 퍼지추론에서 시간 측정이 문제이므로 퍼지값으로 변환된 데이터와 무작위로 뽑은 데이터를 넣어 병렬 퍼지추론 수행했다. 그림 8에서 모듈사이가 같은 시간에 MSR의 값이 나타나는 것을 볼 수 있다. 그림 9과 그림 10은 Synopsys Design Analyzer에서 PFIS 와 하나의 퍼지모듈인 FPM을 합성한 것을 보여 주고 있다.

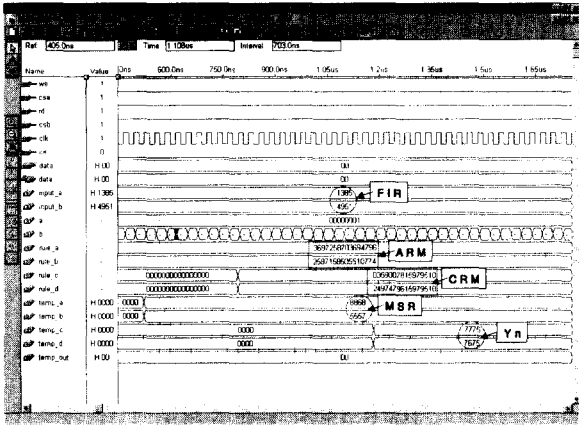


그림 8. PFIS 시뮬레이션.
Fig. 8. PFIS simulation.

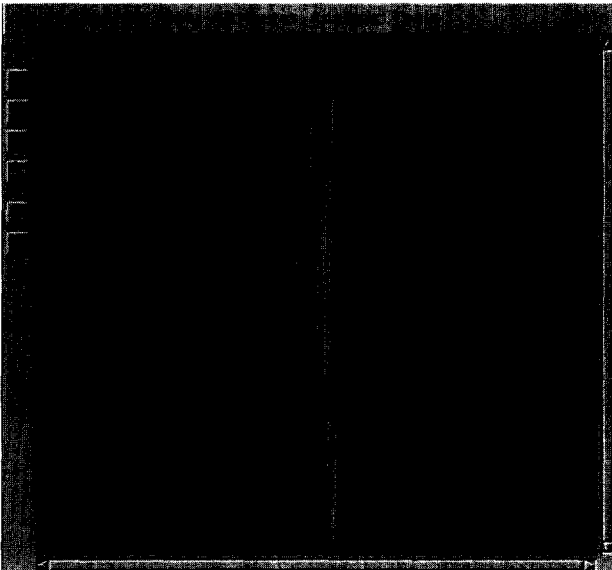


그림 9. PFIS Synopsys 합성.
Fig. 9. PFIS Synopsys Synthetic.

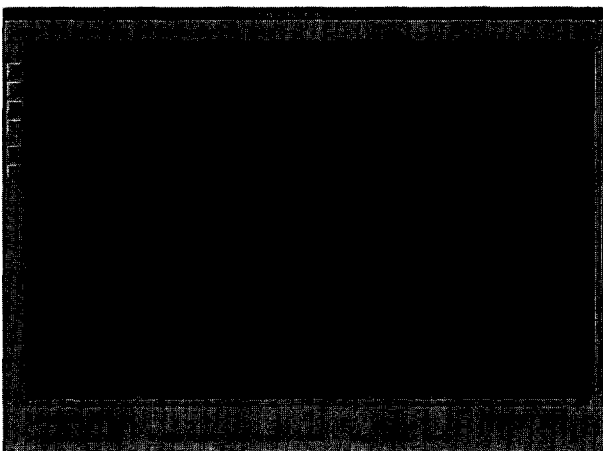


그림 10. FPM Synopsys 합성.
Fig. 10. FPM Synopsys synopsys.

퍼지 소속함수의 요소 수에 따른 본 논문에서 제안한 방식과 일반적인 순차적 퍼지추론 시스템의 성능평가를 보면 표 4와 같다.

표 4. PFIS & SFIS 성능평가(단위: ns).
Table 3. A performance test of PFIS and SFIS.

System Resolution N	PFIS(L)	SFIS(L)	PFIS(M)	SFIS(M)
4	170	440	250	1840
8	250	880	410	7200
16	410	1760	730	28480
32	730	3520	1370	113280
64	1370	7040	2650	451840
128	2650	14080	5210	903680
256	5210	28160	10330	7214080
512	10330	56320	20570	28846080

성능비교

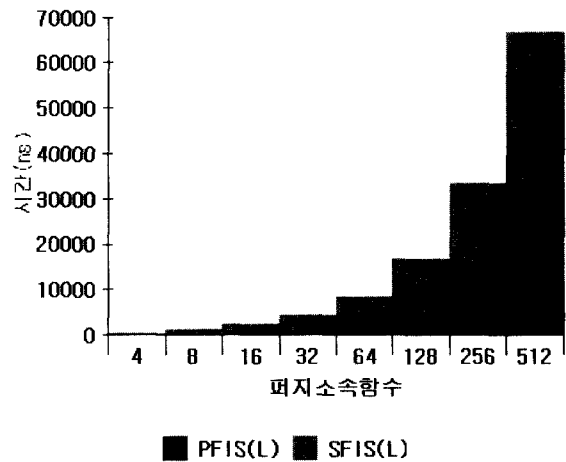


그림 11. 성능비교.
Fig. 11. A performance to compare.

그림 11은 본 논문에서 제안한 PFIS(Parallel Fuzzy Inference System)와 일반적인 SFIS(Single Fuzzy Inference System)의 수행시간의 성능 비교를 나타낸 것으로, SFIS의 실험은 퍼지추론 모듈중 하나만을 가지고 실험을 했다. 처음에는 두 방법이 수행시간에 별 차이를 보이지 않지만, 퍼지 소속함수의 수가 증가함에 따라 현저한 차이를 보이고 있다. 즉, PFIS에서 퍼지 소속함수의 수에 따라 수행시간이 조금씩 증가하는 것은 퍼지 소속함수의 전송시간에 따른 데이터의 전송 지연이 발생하기 때문이다.

5. 응용

본 논문에서 제안한 시스템을 원격탐사 화상의 지표면 패턴 분류시스템에 응용할 수 있다. 원격탐사 시스템은 항공기나 인공위성과 같은 분광 감지기를 탑재하기 위한 탑재기와 지표로부터 반사 또는 방사되는 전자파

에너지를 수집하는 분광감지기, 수집된 원격탐사 자료를 처리할 수 있는 화상 처리 시스템 등으로 구성되며 수집된 자료는 그림 12와 같이 사진이나 수치화 된 자료로 표시된다.

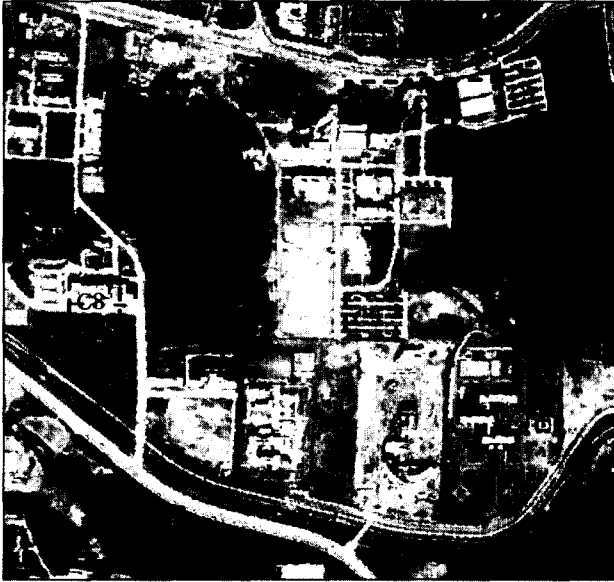


그림 12. 원격탐사 화상
Fig. 12. Remote sensing image

실험화상에서는 지표면의 특성을 대표할 수 있는 8개의 클래스를 다음과 같이 선정하였다.

- | | |
|----------------------|---------------------|
| C1 : Coniferous tree | C2 : Deciduous tree |
| C3 : Water | C4 : Aspalt road |
| C5 : Cement road | C6 : Shadow |
| C7 : Bare soil | C8 : Dried grass |

여기서는 4개의 파장대(I1, I2, I3, I4)를 가진 원격탐사 화상에서 각 클래스를 대표하는 778개의 학습패턴을 선택하여 학습시키고, 학습한 결과로부터 학습패턴을 포함한 159,900개의 패턴을 사용하여 분류하고자하는 각각의 클래스로 분류하였다[10]. 학습결과 다음과 같은 104개의 퍼지 규칙을 사용한다.

#Rule 1 :

IF I1 IS -3 AND I2 IS -3 AND
I3 IS -3 AND I4 IS 3
THEN C1

#Rule 2 :

IF I1 IS -3 AND I2 IS -3 AND
I3 IS -3 AND I4 IS 2
THEN C1

#Rule 103 :

IF I1 IS -3 AND I2 IS -3 AND
I3 IS -4 AND I4 IS 3
THEN C1

#Rule 104 :

IF I1 IS -3 AND I2 IS -3 AND

I3 IS -3 AND I4 IS 4
THEN C1

이러한 퍼지 규칙들은 전건부의 변수가 4개, 후건부의 변수가 1개이다. 따라서 본 논문에서 제안한 병렬퍼지 추론 시스템에 적용하여 규칙수 104개, 4개의 퍼지병렬 프로세서 모듈, 8개의 지표면 특성화 클래스를 가지고 실험한 결과 병렬퍼지추론을 통한 수행시간이 22.6 μ s 시간이 소요됐다. 따라서 기존의 일반적인 시스템보다 처리속도, 실시간성에서 월등한 차이를 보임을 알 수 있다.

6. 결론 및 향후 연구

본 논문에서는 대량의 퍼지 데이터를 위한 PCI 기반 병렬 퍼지추론 시스템을 설계하고 구현하였다. 많은 퍼지 데이터 고속 전송을 위해 IBM-PC의 PCI 확장 버스를 사용하였으며, 병렬 퍼지추론 모듈들은 FPGA로 설계하여 PCI 타겟 코어로서 동작할 수 있도록 하였다. 이러한 FPGA로 설계된 병렬 퍼지추론 모듈의 특징은 (1) 하나의 전건부 또는 후건부의 변수를 처리할 때 각각의 요소들의 병렬처리(각각의 Min·Max 연산시), (2) 전건부 또는 후건부 변수들을 병렬로 처리한다.

본 시스템은 기존의 소프트웨어적인 접근 방법, 전용 퍼지 하드웨어 시스템, 또는 단순한 레벨의 병렬구조보다 높은 성능 특성을 갖는다.

이러한 PCI 기반 병렬 퍼지추론 시스템은 고속 처리 및 실시간을 요구하는 위성탐사에 활용할 수 있다. 향후 연구 과제로서는 본 연구에서 사용된 메모리인 SRAM 대신에 한번에 128 비트의 데이터를 처리가 가능한 고속 처리 메모리인 RDRAM을 사용한 퍼지데이터의 저장으로 고속 입출력이 가능한 병렬퍼지 추론 시스템 개발에 대한 연구가 필요하다.

참고 문헌

- [1] T. Yamakawa, "Silicon Implementation for a Novel High-speed Fuzzy Inference Engine: Mega-FLIPS Analog Fuzzy processor," *Journ. of Intell. and Fuzzy Systems*, vol. 1, no. 1, 1993.
- [2] A. Costa et al., "Hardware Solutions for Fuzzy Control," *Proc. of the IEEE*, vol. 83, no. 3, pp.422-434, Mar. 1995.
- [3] M. J. Patyra et al., "Hardware implementations of digital Fuzzy logic controllers," *Information Sciences*, vol. 113, pp. 19-54, 1999.
- [4] G. Ascia et al., "VLSI Hardware Architecture for Complex Fuzzy Systems," *IEEE Tr. on Fuzzy Systems*, vol. 7, no. 5, pp. 553-570, Oct. 1999.
- [5] D. Hung, "Dedicated Digital Fuzzy Hardware," *IEEE Micro*, vol. 8, pp. 31-39, Aug. 1995.
- [6] J. J. Blake et al., "The implementation of fuzzy system, neural networks and fuzzy neural network using FPGAs," *Information Sciences*, vol. 112, pp. 151-168, 1998.
- [7] 이상구, "퍼지 정보처리를 위한 효율적인 병렬 퍼

지 아키텍처의 설계”, 한국정보과학회 논문지(C), vol. 4, no. 4, pp. 567-574, 1998. 8

[8] Sang Gu Lee and K. Akizuki, “Design of Effective Parallel Fuzzy Architecture for Fuzzy Information Processing,” *Trans. of IEEJ*, vol. 118, no. 7/8, pp.1190-1195, Aug. 1998.

[9] PCI 9050-1 Data Book, PLX technology, 1998.

[10] 한종규, 이상구, “뉴로-퍼지 알고리즘을 이용한 원격탐사 화상의 지표면 패턴 분류 시스템 구현,” 한국퍼지 및 지능시스템학회 논문지, vol. 9, no. 5, pp. 472-479, 1999.



이상구(Lee Sang Gu)

서울대학교 공과대학 전자공학과 졸업
한국과학기술원 전산학과 졸업(석사)
와세다대학 전기전자컴퓨터공학과 졸업(박사)
1983~현재 한남대학교 컴퓨터공학과 교수

관심분야 : 퍼지이론, 컴퓨터 구조, 병렬처리

Phone : 042-629-7551

Fax : 042-487-9335

E-mai : sglee@mail.hannam.ac.kr

저 자 소 개



이병권(Lee Byung Kwon)

1997년 : 대덕대학 전자과 졸업

1999년 : 한밭대학교 전자계산과 졸업.

2000년~현재 한남대학교 대학원 컴퓨터공학과 석사과정

관심분야 : 퍼지이론, 컴퓨터구조, 병렬처리

Phone : 042-629-7862

Fax : 042-629-7658

E-mai : sonic747@ce.hannam.ac.kr