

니켈실리사이드 제조온도에 따른 측벽물질과의 반응안정성 연구

안 영 숙 · 송 오 성
서울시립대학교 재료공학과

A Study on Reaction Stability Between Nickel and Side-wall Materials With Silicidation Temperature

Young Suk Ahn and Oh Sung Song
Dept. of Material science and Eng., University of Seoul

(2000년 8월 10일 받음, 2000년 11월 30일 최종수정본 받음)

초 록 니켈실리사이드 공정에서 측벽물질로 SiO₂와 Si₃N₄를 채용한 경우의 니켈의 측벽물질에 대한 안정성을 확인하였다. 4" p-type (100)Si 기판 전면의 SiO₂, Si₃N₄를 각각 성막하고 Ni를 증착하여 400, 500, 750 및 1000°C 각 온도에서 실리사이드화 열처리 시행 후 잔류 Ni를 제거하고, AES (Auger electron spectroscopy)를 사용하여 Ni/SiO₂와 Ni/Si₃N₄의 계면 반응을 조사하였다. 400, 500°C 온도에서 열처리할 때, Ni/SiO₂와 Ni/Si₃N₄ 모두 계면 반응이 일어나지 않았다. 750°C 온도에서 열처리하는 경우 Ni/SiO₂계면에서는 반응이 일어나지 않았지만, Ni/Si₃N₄ 계면에서는 Ni가 열처리시 NiO_x를 형성하고, 형성된 NiO_x와 Si₃N₄ 간 상호확산현상이 일어남을 확인하였다. 1000°C에서 열처리할 때, Ni/SiO₂와 Ni/Si₃N₄ 모두 NiO_x를 형성하였고, 측벽물질은 NiO_x와 상호확산현상이 일어남을 확인하였다. 750°C 이상의 고온에서 Ni은 NiO_x로 산화되어 이러한 산화물질은 산처리로도 제거되지 않고 측벽물질과 상호확산하여 니켈실리사이드 공정시 게이트 및 소오스/드레인부의 브릿지 현상의 원인이 될 수 있었다.

Abstract The reaction stability of nickel with side-wall materials of SiO₂ and Si₃N₄ on p-type 4" (100) Si substrate were investigated. Ni on 1300Å thick SiO₂ and 500Å -thick Si₃N₄ were deposited. Then the samples were annealed at 400, 500, 750 and 1000°C for 30min, and the residual Ni layer was removed by a wet process. The interface reaction stability was probed by AES depth profiling. No reaction was observed at the Ni/SiO₂ and Ni/Si₃N₄ interfaces at 400 and 500°C. At 750°C, no reaction occurred at Ni/SiO₂ interface, while NiO_x and Si₃N₄ interdiffused at Ni/Si₃N₄ interface. At 1000°C, Ni layers on SiO₂ and Si₃N₄ oxidized into NiO_x, and then NiO_x interacted with side-wall materials. Once NiO_x was formed, it was not removed in wet etching process and easily diffused into sidewall materials, which could lead to bridge effect of gate-source/drain.

Key words: nickel silicide, side-wall material, reaction, Auger depth profiling, Si₃N₄, SiO₂

1. 서 론

반도체 소자의 고집적, 고속도화 추세에 따라 반도체 소자의 크기가 지속적으로 감소하게 되었고, 이에 따라 회로선 폭이 deep-submicron 이하로 줄어들면서도 저항 증가가 최소화하여 고속동작이 가능하고 공정시 직각선택성을 가진 실리사이드 물질에 관한 연구가 필요하게 되었다.^{1~4)} 특히 MOSFET의 source/drain과 gate 상부를 마스크 공정 없이 동시에 선택적으로 실리사이드화 하는 살리사이드(salicide) 공정이 개발되어 이에 적합한 실리사이드가 요구되고 있다.

그러나 현재 널리 사용되고 있는 TiSi₂와 CoSi₂에는 몇 가지 문제점이 알려지고 있다. TiSi₂는 가장 보편적으로 사용되는 silicide 물질로서 면저항이 10-15μΩ·cm로 우수한 물질이지만 디바이스의 최소 설계기준 선폭이 0.3μm 이하에서 고저항 C49상에서 저저항 C54 TiSi₂상으로 변태과정시 핵생성이 제한되어 상변태가 일어나지 못하여 선폭이

감소하면서 면저항이 급격히 증가하는 문제점을 가지고 있다.^{5,6)} 반면 CoSi₂는 면저항의 선폭의존성은 훨씬 작지만 Co의 불균일한 확산반응으로 균일한 실리사이드 두께를 얻는데 기술적인 어려움이 있고, CoSi₂형성시 많은 양의 Si를 소모하기 때문에 shallow junction transistor와 같은 차세대 디바이스를 위해서는 적합하지 않다.^{7~9)}

이에 반해 니켈모노실리사이드는 선폭이 0.1μm 이하에서도 면저항이 커지는 현상이 없고, Ni과 Si이 1:1로 반응하기 때문에 1:2로 반응하는 기존 disilicide 재료에 비해 얇은 실리사이드의 제조가 가능하며 이로 인하여 도펀트의 재분포 현상을 감소시킬 수 있어 유망한 차세대 실리사이드 물질로 기대되고 있다. 이러한 니켈모노실리사이드를 이용하여 고집적 로직디바이스를 제조하면 게이트와 소스/드레인부가 전기적으로 접촉하는 GSD(gate-source-drain) short를 방지하고, 후속 전식식각(dry etch)시의 선폭비가 Si에 대해 높아 전기적·공정적으로 안정한 최소설계기준 선폭 0.18μm급 이하 CMOS 디바이스에서 효과적인 채용이

기대된다.¹⁰⁻¹⁴⁾

게이트 양측면에 절연막질을 기판 전면에 증착하고 진식 식각하여 게이트 양측면에 측벽(side-wall)을 만드는 살리사이드 공정에서 실제로 실리사이드를 형성하기 위해 증착한 금속이 열처리 과정에서 실리사이드가 형성되어야 하는 게이트와 소스/드레인부분만 아니라 실리콘절연물 측벽에 반응을 하여 예기치 못한 반응부산물을 형성할 가능성이 있다. 티타늄실리사이드의 경우 살리사이드화 공정중 측벽물질과 반응을 하여 전도성의 TiO_x 나 $TiSi_x$ 등의 화합물을 생성시키고 이어서 미반응 금속층의 선택적 에칭시 이들이 제대로 제거되지 않아 게이트와 소스/드레인부가 전기적으로 short를 일으키기도 하는 것으로 알려졌으나¹⁵⁻¹⁸⁾, 니켈실리사이드의 경우에는 아직 이러한 측벽물질에 따른 반응성 문제에 대한 연구가 활발하지 못하다.

본 연구에서는 SiO_2 와 Si_3N_4 가 각각 측벽물질로 채용된 경우를 상정하고, 기판전면에 SiO_2 와 Si_3N_4 를 각각 성막하고 Ni를 증착시킨 후 열처리에 따른 Ni/ SiO_2 와 Ni/ Si_3N_4 간의 계면 반응을 조사함으로써 니켈모노실리사이드 공정 개발을 위한 기초 연구를 수행하였다.

2. 실험 방법

2-1. 시편의 준비

SiO_2 기판은 4" p-type(100)Si 기판을 1000°C에서 H_2 gas 6.75slpm과 O_2 gas 4.5slpm속도로 흘려주면서 열산화하여 1300Å 두께의 SiO_2 막을 성장시켜 준비하였다.

Si_3N_4 기판은 4" p-type(100)Si 기판을 785°C에서 Si_2Cl_2 와 NH_3 gas를 사용하여 LPCVD 법으로 500Å 두께의 Si_3N_4 막을 성장시켜 준비하였다. 완성된 각 박막의 두께는 Ellipsometer로 확인하였다.

각각 준비한 기판 위에 dc-스퍼터링법을 사용하여 500Å 두께의 Ni막을 증착하였다. 스퍼터링 시 챔버 내 초기 진공도는 1.0×10^{-6} torr이었고, 플라즈마가 형성되어 스퍼터링이 진행되는 동안의 진공도는 3.0×10^{-3} torr으로 유지하였다.

이 시편들을 적은 양의 N_2 를 사용하여도 산화를 방지할 수 있도록 가스 유입구와 배출구에 밸브를 장착한 관상로에서 400, 500, 750 그리고 1000°C의 각 온도에서 산화를 방지하기 위해 N_2 를 5sccm으로 흘려주는 분위기에서 30분간 열처리하였고 열처리가 끝난 후 반응하지 않고 남은 잔류 Ni를 제거하기 위하여, 최종 시편들을 $H_2SO_4 : H_2O_2$ (3 : 1) 혼합용액에 5분간 산처리하였다.

2-2. 면저항 측정, AES 분석 및 표면조도의 측정

전술한 방법으로 준비된 시편들에 대해 4 point probe를

사용하여 면저항을 측정하고, AES depth profiling에 의하여 시편 표면으로부터의 깊이에 따른 조성의 변화를 조사하였다. 이때 5kV의 전자빔을 이용하였고, 스퍼터링 조건은 1kV로 $2 \times 2mm^2$ 넓이를 스퍼터링하였다. 초기 진공도는 5×10^{-8} torr이었다. 또 AES depth profiling은 SiO_2 의 sputtering rate를 기준으로 측정되기 때문에 실제 Si_3N_4 의 sputtering rate를 확인하기 위하여 500°C로 열처리한 시편의 경우 Si_3N_4 가 사라질 때까지 depth profiling을 시행하였고, 결과적으로 Si_3N_4 의 sputtering rate가 25Å/min임을 확인할 수 있었다. 상호확산거리는 Ni 신호를 기준으로 표면부의 Ni양에 90%인 곳에서부터 10%인 곳의 거리로 판단하였다.

표면조도는 원자현미경(AFM)을 이용하여 $5 \times 5\mu m^2$ 범위를 대기중에서 스캔하여 분석하였다. 이때 원자현미경의 스캐너는 100μm 스캐너를 사용하였다.

3. 결과 및 고찰

3-1. 면저항 측정 결과

SiO_2 와 Si_3N_4 두 기판에 열처리 온도를 달리하여 제조한 시편의 면저항 측정값은 표 1에 나타내었다. 400°C 온도에서 열처리한 시편의 경우 Si_3N_4 기판에 Ni를 증착하여 열처리한 시편의 다소 낮은 면저항 값을 보이는 것을 확인할 수 있었다. 이는 Si_3N_4 의 표면조도가 낮아 표면전자산란이 적기 때문이라고 판단되었다.

500°C 이상의 고온에서 열처리한 시편의 경우 Ni가 O_2 와 반응하여 Ni상부부터 NiO_x 를 형성하여 높은 면저항을 가지기 때문에 4-point probe를 측정 가능한 범위를 넘어서 측정이 불가능하였다.

3-2. Auger Depth Profiling 결과

SiO_2 와 Si_3N_4 기판에 Ni를 증착하고 400, 500, 750, 1000°C로 열처리한 후 $H_2SO_4 : H_2O$ (3 : 1) 용액으로 산처리하여 잔류 니켈을 제거한 시편의 AES depth profiling한 결과를 그림 1에 나타내었다.

그림 1(a) ~ (d)에 나타낸 바와 같이 400, 500°C 온도에서 열처리한 시편의 경우 SiO_2 기판을 사용했을 경우와 Si_3N_4 기판을 사용한 경우 모두 표면에서 20Å 이후부터 Ni 시그널이 없는 것으로 보아 열처리시 Ni은 측벽물질과 계면 반응을 일으키지 않았음을 확인할 수 있었다. 그림 1(b)와 (d)의 경우 표면에서 O의 양이 많이 나타나는 것을 확인할 수 있는데 이것은 Si_3N_4 의 경우 표면에 보다 안정한 SiO_2 산화막이 존재하기 때문으로 여겨진다. 그림 1(e)에는 750°C에서 열처리한 Ni/ SiO_2 시편의 Auger depth profiling 결과를 보였다. depth profiling 결과 O와 Si 원소가 250Å

Table 1. Sheet resistivity of Ni/ SiO_2 and Ni/ Si_3N_4 at a given silicidation temperature.

기 판 \ 온 도	400°C	500°C	750°C	1000°C
SiO_2	3.4Ω/sq.	-(NiO_x)	-(NiO_x)	-(NiO_x)
Si_3N_4	2.9Ω/sq.	-(NiO_x)	-(NiO_x)	-(NiO_x)

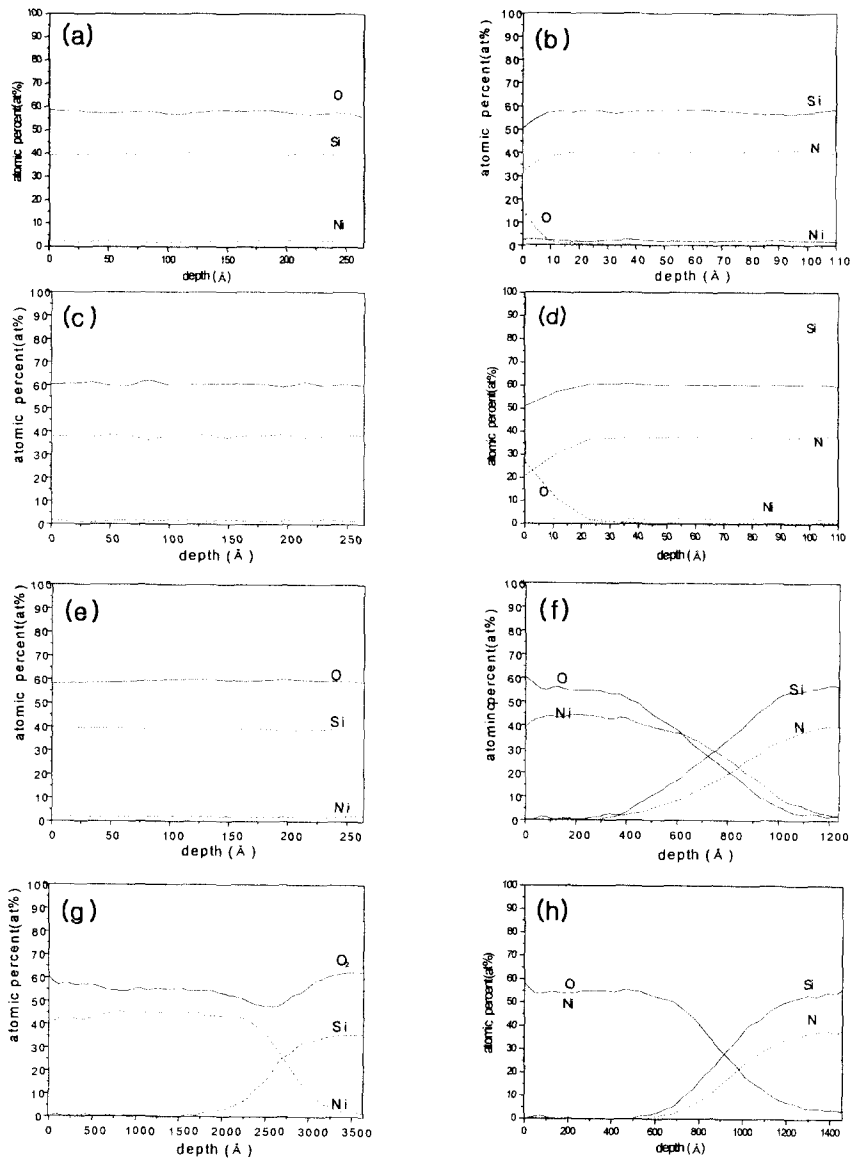


Fig. 1. Auger depth profiling of Ni/SiO₂ and Ni/Si₃N₄ with different silicidation temperatures of (a) 400°C(Ni/SiO₂), (b)400°C(Ni/Si₃N₄), (c)500°C(Ni/SiO₂), (d)500°C(Ni/Si₃N₄), (e)750°C(Ni/SiO₂), (f)750°C(Ni/Si₃N₄), (g)1000°C(Ni/SiO₂) and (h)1000°C(Ni/Si₃N₄)

깊이까지 일정량을 유지하고, Ni은 검출되지 않은 것으로 나타났으므로 Ni/SiO₂계면 반응이 일어나지 않았음을 확인할 수 있었다. 그림 1 (f)에는 750°C 열처리한 Ni/Si₃N₄의 depth profiling 결과를 나타내었다. 이 시편의 경우 이미 열처리과정에서 Si₃N₄상부의 Ni가 모두 산화하여 NiO_x를 형성하였고 이 NiO_x가 Si₃N₄와 반응하여 확산되었음을 확인하였다. 이때 Ni원자의 확산거리는 약 705 Å이었다. 그림 1 (g), (h)에 나타낸 바와 같이 1000°C에서 열처리한 시편의 경우 열처리시 Ni층이 NiO_x를 형성하였고, Ni/SiO₂와 Ni/Si₃N₄ 모두 계면에서 확산반응이 일어나 Ni원자가 SiO₂와 Si₃N₄기판 내부로 확산되어 들어갔음을 역시 확인할 수 있었다. 이때 Ni원자가 SiO₂기판 내부로 확산되어 들어간 거리는 약 910 Å이었고, Si₃N₄기판 내부로 확산되어 들어간 거리는 약 715 Å이었다.

이 결과 살리사이드 공정에서 촉벽물질로 사용되는 SiO₂

와 Si₃N₄ 둘 다 1000°C의 고온에서는 Ni이 산화되어 형성된 NiO_x와 촉벽물질이 쉽게 반응함을 알 수 있었고, SiO₂와 Si₃N₄를 비교하면 SiO₂가 비교적 더 고온까지 안정함을 알 수 있었다. 이러한 현상을 방지하려면 실리사이드화 열처리 공정에서 Ni의 산화를 적극적으로 방지해야함을 알 수 있었다.

3-3. 표면조도 분석 결과

그림 2(a), (b), (c), (d)에는 원자현미경을 이용하여 SiO₂와 Si₃N₄ 기판에 Ni증착 직후(그림 2(a), (c))와 400°C로 열처리한 시편(그림 2(b), (d))의 표면조도를 관측한 결과를 나타내었다. Ni증착 직후 SiO₂기판에 증착된 Ni의 rms(root mean square) 표면조도는 16.5 Å이었고, 400°C로 열처리한 시편의 경우 16.0 Å의 rms 표면조도를 나타내었다. 그에 반해 Si₃N₄기판의 경우 증착된 직후 Ni의 rms 표면조도는 22.4 Å이었고, 400°C로 열처리한 시편의

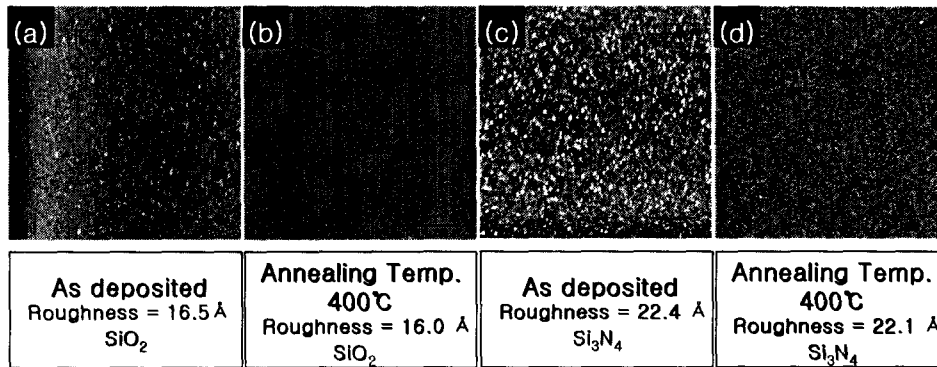


Fig. 2. AFM images and rms values of Ni/SiO₂ and Ni/Si₃N₄ specimen. (a) Ni/SiO₂(as deposited), (b) Ni/SiO₂(400°C annealing), (c) Ni/Si₃N₄(as deposited) and (d) Ni/Si₃N₄(400°C annealing)

경우 22.1 Å의 rms 표면조도를 나타내었다. SiO₂기판을 사용하였을 경우보다 Si₃N₄기판을 사용하였을 경우 Ni의 표면적이 넓어짐을 확인할 수 있었다. Si₃N₄상부의 Ni의 표면적이 넓기 때문에 상대적으로 SiO₂기판 위의 Ni보다 산화반응이 쉽게 일어나 NiO_x를 형성하게 되었다고 추정이 가능하였다. 또한 일단 생성된 NiO_x는 측벽물질과의 상호 확산반응이 용이한 것으로 판단되었다. 결과적으로 보다 넓은 표면적을 갖는 Ni가 증착되어지는 Si₃N₄기판의 경우 SiO₂ 경우는 안정한 온도인 750°C에서 전체 Ni층이 NiO_x로 산화하여 NiO/Si₃N₄ 상호확산반응이 일어나는 것을 확인하였다.

4. 결 론

니켈모노실리사이드를 이용하여 CMOS소자를 제조하는 공정에서 측벽물질에 따른 반응성을 확인하기 위해 Ni증착된 측벽물질로 SiO₂, Si₃N₄을 상정한 연구를 수행하였다. 스퍼터링법으로 SiO₂와 Si₃N₄ 기판에 Ni를 증착하고, 400, 500, 750, 1000°C 온도로 실리사이드화 열처리를 시행한 후 잔류 Ni를 제거하고 Auger depth profiling을 실시하였다. 400, 500°C의 저온에서는 열처리시 Ni이 산화되지 않고 안정하게 존재하여 측벽물질과의 확산반응없이 안정하여 산처리에 의해 잔류 Ni를 모두 제거할 수 있었다. 750°C에서는 Ni가 측벽물질 SiO₂와 반응하지 않고 안정하였지만, 측벽물질 Si₃N₄의 경우 열처리시 Ni가 NiO_x를 형성하고, NiO_x가 Si₃N₄와 반응하여 Ni원자가 705 Å 정도로 측벽물질안으로 확산하였다. 1000°C에서는 측벽물질 SiO₂로 Ni가 산화되어 형성된 NiO_x의 Ni원자가 1020 Å 정도로 확산이 가능함을 확인하였고, 측벽물질 Si₃N₄ 경우에는 715 Å 정도의 확산함을 확인하였다. AFM 표면조도 실험을 통하여 Si₃N₄가 SiO₂보다 저온에서 확산이 일어나는 원인으로 Si₃N₄기판에 증착되는 Ni의 표면적이 SiO₂보다 크기 때문에 O₂와 더 낮은 온도에서 반응하여 NiO_x를 형성하여 일어났다고 추정할 수 있었다. 따라서 고온실리사이드 열처리에서의 확산의 원인은 열처리에 의한 Ni층의 산화 때문이며, 산화방지를 위해서는 니켈살리사이드화 공정에서 NiO_x가 생성되지 않도록 750°C 이상의 고온에서의 열처리를 피

해야 함을 확인하였다. 또한 니켈모노실리사이드 제조공정에서 측벽물질로서 SiO₂가 Ni를 성막할 때 표면적을 낮출 수 있어서, Si₃N₄보다 Ni의 산화방지에 유리함을 알 수 있었다.

참 고 문 헌

1. S. Wolf, "Silicon Processing for the VLSI era", Lattice Press, (1995).
2. S.M. Sze, "Semiconductor devices", McGraw-Hill, (1985).
3. S.M. Sze, "VLSI Technology", John Wiley & Sons, (1988).
4. C.M. Osburn, J.Y. Tsai and J. Sun, J. Electron. Mater. **25**, 1725 (1996).
5. T. Ohguro et al., IEEE T-ED'94, **2305**, 1994.
6. J.B. Laskey, J.S. Nakos, O.J. Chan and P.J. Geiss, IEEE Trans. Electron Dev., **38**, 262 (1991).
7. T. Ohguro et al., Electrochem. Society Sympo, 1997.
8. S.J. Hilenius, H.I. Cong, J. Lebowitz, J.M. Andrews, R.L. Field, L. Manchanda, W.S. Lindenberger, D.M. Boulton and W.T. Lynch, Abs. 132, The Electrochem. Soc. Ext. Abs. **89-1**, 184 (1989).
9. M.L.A. Dass, D.B. Fraser, and C.S. Wei, Appl. Phys. Lett. **58** (12), 1308 (1991).
10. T. Morimoto et al., IEEE Trans. Electron Dev., **42**, 915 (1995).
11. T. Ohguro et al., IEDM'95, **453** (1995).
12. F. Deng, R.A. Johnson, P.M. Asbeck, S.S. Lau, W. B. Dobbelday, T. Hsiao and J. Woo, J. Appl. Phys. **81** (12), 8047 (1997).
13. S.J. Nagtel, I. Coulthard, T.K. Sham, D.X. Xu, L. Erickson and S.R. Das, Appl. Phys. Lett. **74**(19) 2893 (1999).
14. B.A. Julies, D. Knoesen, R. Pretorius and D. Adams, Thin Solid Films **347**, 201 (1999).

15. A.E. Morgan, E.K. Broadbent, K.N. Ritz, D.K. Sadana and B.J. Burow, *J. Appl. Phys.* **64**, 344 (1988).
16. C.Y. Ting, M. Wittmer, S.S. Iyer and S.B. Brodsky, *J. Electrochem. Soc.* **131**, 2934 (1984).
17. N.S. Parekh, H. Roede, A.A. Bos, A.G.M. Jonkers and R.D.J. Verhaar, *IEEE Trans. Elec. Dev.* ED-39, **88** (1991).
18. G.J.P. Krooshof, F.H.P.M. Habraken, W.F. van der Weg, L. Van den hovw, K. Maex and R.F. De Keersmaecker, *J. Appl. Phys.* **63**, 5110 (1988).