

## 니켈 폴리사이드 게이트의 열적안정성과 C-V 특성

정연실·배규식†

수원대학교 전자재료공학과

### Thermal Stability and C-V Characteristics of Ni-Polycide Gates

Youn-Sil Jung and Kyoo-Sik Bae

Dept. of Electronic Materials Engineering, The University of Suwon

(2001년 3월 23일 받음, 2001년 8월 27일 최종수정본 받음)

**Abstract** SiO<sub>2</sub> and polycrystalline Si layers were sequentially grown on (100) Si. NiSi was formed on this substrate from a 20nm Ni layer or a 20nm Ni/5nm Ti bilayer by rapid thermal annealing (RTA) at 300~500°C to compare thermal stability. In addition, MOS capacitors were fabricated by depositing a 20nm Ni layer on the poly-Si/SiO<sub>2</sub> substrate, RTA at 400°C to form NiSi, BF<sub>2</sub> or As implantation and finally drive-in annealing at 500~800°C to evaluate electrical characteristics. When annealed at 400°C, NiSi made from both a Ni monolayer and a Ni/Ti bilayer showed excellent thermal stability. But NiSi made from a Ni/Ti bilayer was thermally unstable at 500°C. This was attributed to the formation of insignificantly small amount of NiSi due to suppressed Ni diffusion through the Ti layer. PMOS and NMOS capacitors made by using a Ni monolayer and the SADS(silicide as a dopant source) method showed good C-V characteristics, when drive-in annealed at 500°C for 20sec., and 600°C for 80sec. respectively.

**Key words:** NiSi, Ni/Ti bilayer, silicide as dopant source(SADS), polycide gate, capacitor, thermal stability, C-V characteristics

### 1. 서 론

액정 표시소자(LCD)와 image sensor의 고밀도·대면적·고성능화를 위해 저온공정 다결정 박막 트랜지스터(poly-Si TFT)에 대한 관심이 매우 높다.<sup>1,2)</sup> 특히 최근에는 poly-Si 활성층을 30nm 이하의 박막으로 증착하고 TFT를 제작하여 생산성과 성능 향상을 꾀하고 있다.<sup>2)</sup> 그러나 활성층의 박막화는 소스/드레인에서의 기생저항을 증가시킨다. 또한, MOSFET의 성능은 게이트에서의 RC 지연시간(RC delay time)에 가장 크게 의존하기 때문에 동작속도를 증가시키려면 게이트의 면저항값을 줄여야 한다. 현재 TFT의 게이트 전극으로 사용되고 있는 다결정 실리콘(poly-Si)은 면저항(20~50Ω/sq.)이 높아, 실리사이드/poly-Si 즉 polycide의 적용이 연구되고 있다. 한편, 기억 및 논리소자의 고밀도화는 급격히 진전하여, 현재 0.1μm대의 설계기준을 갖는 ULSI소자의 개발이 진행중이다. 이러한 초미세 MOS소자의 경우에도 기생저항 증가와 동작속도 감소같은 문제가 발생하며, 이의 해결을 위해 소오스/드레인과 게이트를 동시에 자기정렬공정을 통해 실리사이드화하는 SALICIDE(self-aligned silicide) 공정이 적용되고 있다.<sup>3~9)</sup> 특히 단채널효과를 최소화하기 위한 dual-gate CMOS 구조에서는 소오스/드레인에는 매우얇은접합을 형성하면서 동시에 게이트에서 degenerate 도핑을 하기

위해 실리사이드를 확산원으로 사용하는 SADS(silicide as dopant source)법의 적용이 연구되고 있다.<sup>10~12)</sup> SADS법은 실리사이드에 도판트를 먼저 이온주입한 후 drive-in 열처리를 하는 데, 이온주입 도오즈와 에너지에 따라 500~600°C의 비교적 저온에서 열처리할 수 있다는 장점이 있다.<sup>10)</sup>

금속 실리사이드중 TiSi<sub>2</sub>와 CoSi<sub>2</sub>가 지금까지 가장 많이 연구되어 왔다. 그러나, TiSi<sub>2</sub>는 선폭의존성<sup>3)</sup>, CoSi<sub>2</sub>는 실리사이드 형성시 과도한 Si 소모<sup>4)</sup> 때문에 ULSI의 적용에는 한계가 있다. 반면, NiSi는 TiSi<sub>2</sub>와 CoSi<sub>2</sub>에 버금가는 낮은 비저항(14μΩ-cm)을 가졌으며 실리사이드 형성온도가 350~750°C이므로 저온공정이 가능하며 열공정의 선폭이 넓고, 면저항의 선폭의존성이 없으며 NiSi형성시 실리콘 소모량도 약 1.83배로 매우 작다.<sup>5)</sup> 이러한 장점으로 인해 NiSi를 차세대 CMOS소자에 적용하려는 연구<sup>5~9)</sup>가 활발히 진행되고 있으며, 최근에는 LCD용 TFT에의 적용도 시도<sup>1,2)</sup>되고 있다.

그러나 NiSi는 실리사이드 형성 방법이나 열처리 온도에 따라 높은 접합 누설 전류와 면저항을 나타낸다. 이러한 현상은 단결정 실리콘 보다 다결정 실리콘 위에 형성된 NiSi에 더 심각한데, 이는 NiSi/poly-Si 사이의 거친 계면(rough interface) 때문에 발생한다.<sup>7~9)</sup> 이러한 거친 계면은 실리사이드의 열적 불안정성의 가장 큰 원인이 되기도

† E-mail: kstbae@mailsuwon.ac.kr

한다. 이러한 계면 거침성은 실리사이드 형성시 기관 위에 존재하는 자연 산화막 (native oxide) 과 실리콘의 결정성에 가장 큰 영향을 받는다. 그런데, 이와 같은 문제점은  $\text{CoSi}_2$  형성시에도 발생하며 이의 해결을 위해 Co 단일막 대신 Co/내열금속 이중 박막을 이용하는 방법 (역전법) 이 연구되고 있다.<sup>10,11)</sup> 이 방법은 산화물 형성 에너지가 큰 내열금속이 먼저 실리콘 위에 존재하는 자연 산화막 ( $\text{SiO}_2$ ) 을 환원하여 원자적으로 깨끗한 표면을 만든 후, Co가 실리콘 쪽으로 확산하여 계면이 평탄한  $\text{CoSi}_2$  를 형성하는 원리를 이용한다. Ni은 Co와 같은 VIII족이며 실리사이드 형성시 주확산원소이므로 이 방법의 적용이 가능하며, Ti<sup>13,14)</sup> 또는 Pt<sup>15,16)</sup> 를 중간층으로 사용한 경우 450~500°C에서도 NiSi가 형성되었다는 연구결과가 보고된 바 있다.

본 연구에서는 다결정 실리콘위에 Ni 단일막과 Ni/Ti 이중막을 각각 증착하고 열처리하여, NiSi의 형성과 열적안정성을 비교하였다. 또 형성된 NiSi에 불순물을 이온주입하고 이를 확산원으로 이용하는 SADS법으로 다결정 실리콘을 도핑하여 MOS 커패시터를 제작하고 drive-in 열처리 온도 및 시간이 니켈 폴리사이드 게이트의 전기적 특성에 미치는 영향을 연구하였다. 특별히 니켈 폴리사이드 게이트 형성시 역전법과 SADS법의 적용 가능성을 중점적으로 조사하였다.

## 2. 실험 방법

기관으로는 비저항이 1~20  $\Omega\text{cm}$  인 4" (100) 실리콘 웨이퍼를 사용하였다.  $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$  용액으로 유기물을 제거한 후 전식 산화법 (dry oxidation) 으로 5~10nm의 산화막을 성장시키고 그 위에 저압 화학 증착 방법 (low pressure chemical vapor deposition : LPCVD) 으로 150nm의 다결정 실리콘을 증착시켰다. 그리고 10% HF 용액으로 자연 산화막을 제거하고 Ni(20nm) 단일막, 또는 Ni(20nm)/Ti(5nm) 이중막을 전자빔 증발증착기에서  $2 \times 10^{-6}$  Torr의 진공도로 증착시켰다. 금속박막의 두께는 ellipsometer와 AES분석으로 보정한 증착시간으로 조절하였다. 금속이 증착된 시편을 급속 열처리 장치 (rapid thermal annealer : RTA) 로 300~500°C에서 20~600초간 질소 분위기하에서 열처리하여 실리사이드를 형성하였다. MOS 커패시터 제작을 위하여서는 먼저 1.5  $\mu\text{m}$  CMOS 폴리 마스크를 이용하여 LOCOS 공정으로 500  $\mu\text{m} \times 500 \mu\text{m}$  크기의 활성창을 연 후, 금속을 증착하고 400°C에서 100초간 실리사이드화 열처리를 하였다. 미반응 Ni을 50% 질산용액으로 제거한 후, PMOS는 5E15의 도오즈의  $\text{BF}_2$  를 80keV로, NMOS는 5E15 도오즈의 As을 35keV의 에너지로 이온주입하였다. 이온주입된 시편을 500~800°C에서 20~120초간 drive-in 열처리였다. NiSi의 열처리 온도와 시간에 따른 열적안정성은 4점 탐침기로 면저항을 측정하여 조사하고, 박막의 표면은 SEM (scanning electron microscopy) 으로 관찰하였으며, 열처리 전후 조성변화는 AES (Auger electron spectroscopy) 로 분석하였다. 커패시터의 전기적특성을 비교하기 위해 Keithley 590 CV

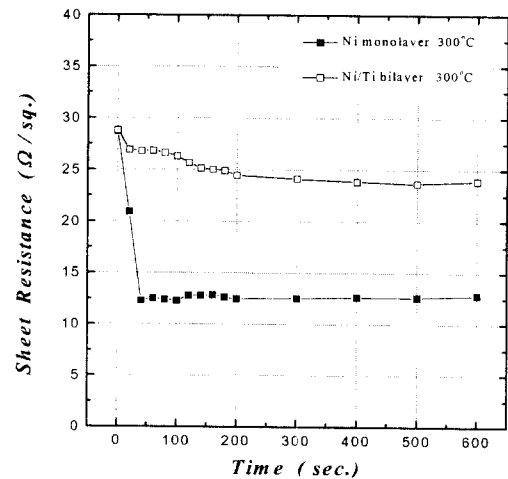


Fig. 1. Change of sheet resistance as a function of rapid thermal annealing time ( $T=300^\circ\text{C}$ ).

analyzer로 C-V 특성을 측정하였다.

## 3. 결과 및 고찰

Fig. 1은 금속증착후 300°C에서 급속열처리하였을 때 열처리시간에 따른 면저항의 변화이다. 처음 20초까지는 20초 간격으로 면저항을 측정하였다. 증착된 Ni의 면저항 값은 28  $\Omega/\text{sq.}$ 이었다. Ni단일막의 경우 열처리하면 40초 후 약 12  $\Omega/\text{sq.}$  정도로 감소하고 그 후 600초까지 변하지 않았다. Ni 실리사이드는 350°C 이하에서는 주로 NiSi가 형성되며 750°C 이상에서는  $\text{NiSi}_2$ 상이 형성된다.<sup>9)</sup> 그런데, Ni<sub>3</sub>Si, NiSi, NiSi<sub>2</sub>의 비저항이 각각 24, 14, 34  $\mu\Omega\text{-cm}$ 인 것을 감안하면 Fig. 1에서 면저항의 감소는 NiSi가 형성되기 시작하였음을 의미한다.<sup>7,15)</sup> 그러나, Ni/Ti 이중막의 경우 면저항값이 서서히 감소하나 단일막에서와 같은 변화는 없었다. 이로 미루어 300°C에서는 NiSi의 형성이 거의 일어나지 않았음을 알 수 있다. 이러한 현상은 Pt 중간층을 사용한 Cheng 등<sup>15)</sup>의 연구에서도 나타나는 데, 이는 중간층이 Ni의 확산을 막는 방지막의 역할을 하여 Ni과 Si의 접촉을 지연시키기 때문이다. 온도를 400°C로 높혀 급속열처리하였을 때의 면저항 변화를 Fig. 2에 나타내었다. Ni 단일막의 경우, 면저항값은 20초 후 최소값을 나타내고 100초 후 약간 상승하였으나 200초 후부터는 일정한 값을 유지하였다. 100초 이후의 면저항 상승은 장시간 열처리에 의한 표면층의 미반응 Ni 또는 NiSi/Si 계면의 산화<sup>9)</sup> 때문으로 생각된다. 한편, Ni/Ti 이중막은 면저항이 처음 100초까지 감소하여 300°C 경우와는 달리 뚜렷한 면저항의 감소를 나타내어 어느 정도 NiSi가 형성되었음을 알 수 있다. 그리고, 100초후부터는 더 이상 면저항의 변화가 없이 일정한 값을 유지하여 열적안정성을 나타내었다. Fig. 3은 온도를 500°C로 높혀 급속열처리하였을 때의 면저항 변화이다. Ni 단일막은 400°C의 경우 (Fig. 2)와 유사한 면저항값의 변화를 나타내었다. 그러나, Ni/Ti 이중막은 열처리초기부터 면저항값의 급격한 상승을 나타내어, NiSi외에도 poly-Si층 위에 TiNiSi 혼합물층과 NiTi<sub>3</sub>층이 형성된 것으

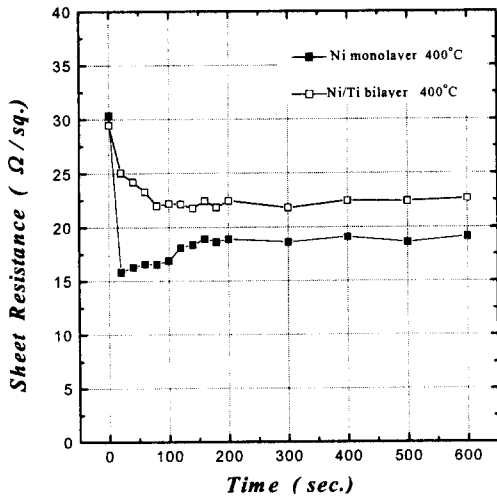


Fig. 2. Change of sheet resistance as a function of rapid thermal-annealing time ( $T=400^{\circ}\text{C}$ ).

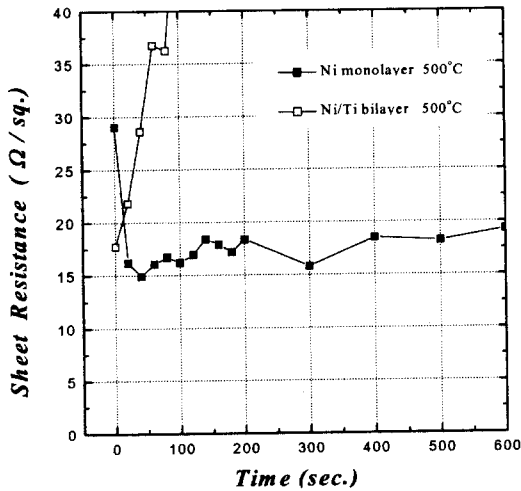
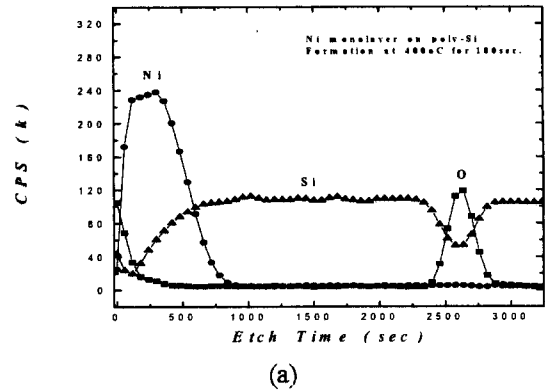


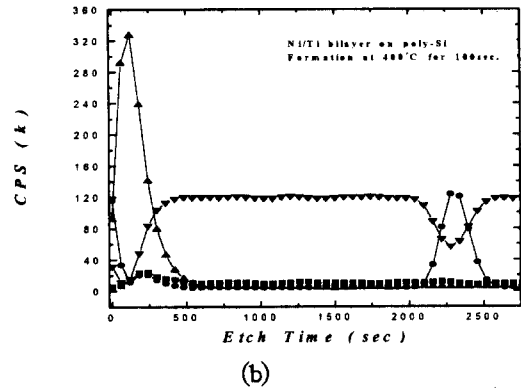
Fig. 3. Change of sheet resistance as a function of rapid thermal-annealing time ( $T=500^{\circ}\text{C}$ ).

로 추론된다.<sup>13,14)</sup>

Ti 중간층이 NiSi형성에 미치는 영향을 알아보기 위해 실시한 AES 깊이 분석을 Fig. 4에 보였다. 이때 실리콘이 드화 열처리조건은  $400^{\circ}\text{C}$  100초로 하였다. Fig. 4-(a)에서 기판과 다결정 실리콘층 사이에 매우 얇은(5~10nm) 산화막이 형성되어 있음을 알 수 있다. 또 열처리에 의해 Ni 원자가 다결정 실리콘층으로 확산해 들어갔음을 알 수 있다. 그러나, 100초간 장시간의 열처리에 불구하고 Ni와 Si의 원자수 비율이 1 대 1이 되는 NiSi 층이 뚜렷히 형성되어 있지 않다. 따라서, 이론상으로 Ni를 20nm 증착하여 NiSi를 형성할 경우 약 37nm의 NiSi 층이 형성되어야 하나, 아직도 미반응한 Ni이 표면층에 많이 남아 있어, 실제 NiSi층의 두께는 이 보다 훨씬 작다. 이는 NiSi형성시 Ni은 격자확산(lattice diffusion)을 하며 그 속도가 낮기 때문이다.<sup>6)</sup> 보다 두꺼운 NiSi의 형성을 위해서 열처리온도를 단계적으로 증가시키는 방법 등을 현재 연구중이다. 한편, 이중막의 경우(Fig. 4-(b))는 더욱 작은 양의 Ni원자가 확산하였음을 보여준다. 이는 Ti중간층이 Ni의 확산을



(a)



(b)

Fig. 4. AES depth profiles after silicidation at  $400^{\circ}\text{C}$  for 100sec., (a) Ni monolayer, and (b) Ni/Ti bilayer.

억제한 결과이다. Co/Ti으로부터  $\text{CoSi}_2$ 를 형성할 때도 Ti은 Co의 확산을 억제하나,  $800^{\circ}\text{C}$  이상의 온도에서는 Co가 Si층으로 충분히 확산하여 Ti층이 표면층이 되는 역전현상이 일어난다.<sup>10~12)</sup> 그러나, Ni의 경우(Fig. 4-(b)), 역전이 일어나지 않고 Ti 중간층이 Ni층과 Si층 사이에 그대로 남아 있었다. 실제 다결정 Si에 Ni/Ti 이중막을 적용한 Fenske 등의 연구<sup>13)</sup>에 의하면  $500^{\circ}\text{C}$ 에서의 Ni 확산속도가 0.05nm/s로 매우 낮았다. 이로 미루워, Ni을 충분히 확산시키고 또 역전을 유도하기 위해서는 급속열처리법은 적당하지 않으며 고진공의 관상로에서 장시간 열처리하는 것이 보다 효과적일 것으로 생각된다.

Fig. 5는 다결정 실리콘위에 Ni 단일막과 Ni/Ti 이중막을 증착한 후 실리콘이 드를 형성하기 위해 (a)  $500^{\circ}\text{C}$ , 20초와 (b)  $400^{\circ}\text{C}$ , 60초에서 각각 급속열처리를 한 후의 표면 SEM이다. Fig. 5-(a)의 단일막 경우에는 표면이 상대적으로 거칠고 grain 형태를 나타내어 Ni이 Si층으로 확산하여 NiSi를 형성한 흔적을 보이고 있으나, Fig. 5-(b)의 이중막의 경우에는 이러한 흔적이 없이 매우 평탄하다. 이는 위의 AES 결과에 나타난 바와 같이 Ni이 Si층으로 확산하여 NiSi를 충분히 형성하지 못하고, 대부분의 Ni이 증착된 그대로 표면층에 남아있기 때문이다.

$400^{\circ}\text{C}$ 에서 100초간 열처리하여 실리콘이 드를 형성한 후 SADS법으로 만든 커패시터의 C-V특성을 Fig. 6~8에 나타내었다. 커패시터는 NiSi 형성이 뚜렷하고 열적으로 안정된 Ni 단일막 시편만 이용하여 제작하였다. Fig. 6은  $\text{BF}_2$ 를 이온주입한 PMOS 커패시터를  $500^{\circ}\text{C}$ 에서 drive-



(a)



(b)

Fig. 5. Surficial SEM micrographs after silicidation of (a) Ni monolayer specimen at 500°C for 20sec., and (b) Ni/Ti bilayer specimen at 400°C for 60sec.

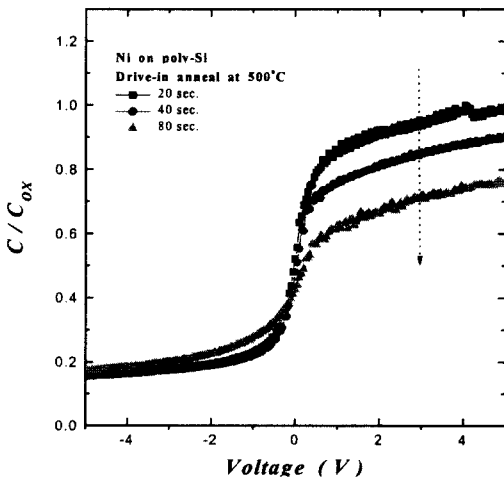


Fig. 6. Variation of C-V characteristics of PMOS capacitors as a function of drive-in annealing time ( $T=500^{\circ}\text{C}$ ).

in 열처리하였을 때의 C-V특성이다. 20초간의 열처리에 도 정전압에서의 정전용량(C)이 최대값( $C/C_{ox}=1$ )을 나타내어 다결정 실리콘층이 충분히 도핑되었음을 보여준다. 단시간 열처리에 도핑이 완료된 것은 형성된 NiSi층이 얇고, 또 이온주입 에너지와 도오즈가 높아 이온주입시 B이온이 다결정 실리콘층으로 깊숙히 들어갈 수 있었기 때문이다. 이러한 결과는  $\text{CoSi}_2$ 를 확산원으로 이용한 이전의 연구<sup>17)</sup>와 E. C. Jones 등<sup>10)</sup>의 연구 결과에서도 나타난 바 있다. 한편, 열처리시간이 증가함에 따라 정전용량이 급속히 저하하였다. 이는 장시간 열처리에 의해 B 이온이 산화

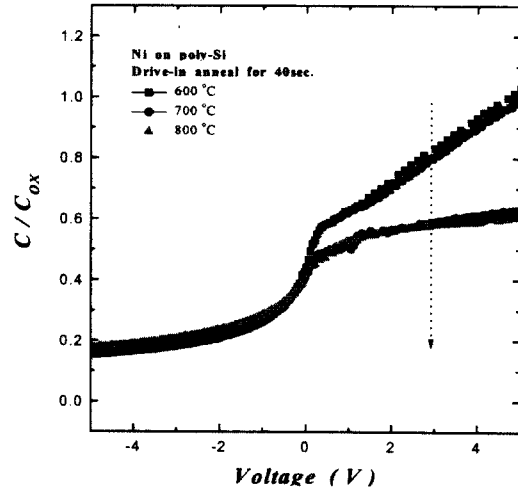


Fig. 7. Variation of C-V characteristics of PMOS capacitors as a function of drive-in annealing temperature ( $t=40\text{sec}$ ).

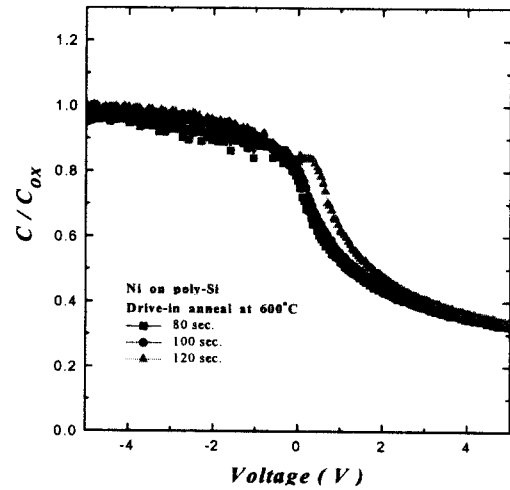


Fig. 8. Variation of C-V characteristics of NMOS capacitors as a function of drive-in annealing time ( $T=600^{\circ}\text{C}$ ).

막층으로 까지 확산한 결과로 생각된다.<sup>11)</sup> 열처리온도를 증가시키면 (Fig. 7), 양극에서의 정전용량의 차이가 별로 없는 비정상적인 C-V특성을 나타내었다. 이는 B의 과도한 확산과 얇은 NiSi층의 열적불안정성으로 인해 산화막의 절연특성과 NiSi층의 전극으로서의 특성이 나빠져 커패시터로서의 특성이 저하되었기 때문이다. 따라서, SADS법으로 도핑을 하기 위해서는 500°C에서 20초간 짧게 drive-in 열처리하는 것이 가장 바람직한 조건으로 나타났다.

As을 이온주입한 NMOS 커패시터의 경우 500°C에서 drive-in 열처리하면 도핑이 충분하지 않아 정상적인 C-V 특성이 나타나지 않았다. Fig. 8은 600°C에서 80~120초간 비교적 장시간 열처리하였을 때의 C-V특성으로서 열처리시간에 관계없이 유사한 결과를 나타내었다. B에 비해 As이  $\text{CoSi}_2$ 내에서의 확산속도가 낮은 것<sup>11)</sup>으로 미루어 NiSi의 경우에도 As의 확산속도가 낮기 때문에 NMOS 커패시터를 drive-in 열처리할 때 더 높은 온도와 더 많은 시간이 필요한 것으로 판단된다.

## 4. 결 론

본 연구에서는 다결정 실리콘위에 Ni 단일막 또는 Ni/Ti 이중박막을 증착하고 300~500°C의 저온에서 NiSi를 형성한 후 SADS법으로 커패시터를 제작하여 소자의 열적 안정성과 전기적 특성을 연구하였다. 400°C에서는 단일막과 이중막 시편 모두 NiSi가 형성되었고 또 열적안정성을 나타내었으나, 500°C의 경우 이중막은 NiSi를 충분히 형성하지 못하였고 그 결과 열적으로 불안정하였다. 이중막 시편은 Ti중간층이 Ni의 확산을 억제하여 NiSi형성이 미미하였고 그 결과 열적안정성도 낮아, NiSi 형성에는 역전법의 적용이 비효과적인 것으로 나타났다. Ni단일막 시편에 SADS법으로 제작한 PMOS와 NMOS 커패시터는 500°C에서 20초간과 600°C에서 80초간 각각 drive-in 열처리한 경우 가장 우수한 C-V특성을 나타내었다. 이로 미루워 나켈 폴리사이드를 확산원으로 하여 소스/드레인과 게이트를 도핑하는 SADS법은 효과적인 접촉 및 게이트 제작 공정법으로 판단된다.

## 감사의 글

본 연구는 한국과학재단 핵심전문연구의 지원에 의해 수행되었기에 감사드립니다. (과제번호 : 981-0806-104-2)

## 참 고 문 헌

1. W. K. Kwak, B. R. Cho, S. Y. Yoon, S. J. Park, and J. Jang, *IEEE-Electron Device Letters*, **21** (3), 107 (2000).
2. G. T. Sarcona, M. Stewart, and M. K. Hatalis, *IEEE-Electron Device Letters*, **20** (7), 332 (1999).
3. H. Norstrom, K. Maex, and P. Vandenabeele, *Thin Solid Films*, **198**, 53 (1991).
4. C. M. Osburn, Q. F. Wang, M. Kellam, C. Canovai, P. L. Smith, G. E. McGuire, Z. G. Xiao, and G. A. Rozgonyi, *Appl. Surf. Sci.*, **53**, 291 (1991).
5. T. Morimoto, T. Ohguro, H. S. Momose, T. Iinuma, I. Kunishima, K. Suguro, I. Katakabe, H. Nakajima, M. Tsuchiaki, M. Ono, Y. Katsumata, and H. Iwai, *IEEE-Electron Devices*, **42**(5), 915 (1995).
6. F. d'Heurle, C.S. Petersson, J.E.E. Baglin, S.J. La Placa, and C.Y. Wong, *J. Appl. Phys.*, **55**(12), 4208 (1984).
7. D.-X. Xu, S.R. Das, C.J. Peters, and L.E. Erickson, *Thin Solid Films*, **326**, 143 (1998).
8. L. W. Cheng, S. L. Cheng, J. Y. Chen, L. J. Chen, and B. Y. Tsui, *Thin Solid Films*, **355-356**, 412 (1999).
9. T. H. Hou, T. F. Lei, and T. S. Chao, *IEEE-Electron Device Letters*, **20**(11), 572 (1999).
10. E. C. Jones, N. W. Cheung, and D. B. Fraser, *J. of Electronic Materials*, **24** (7), 863 (1995).
11. 정연실, 구본철, 배규식, *한국재료학회지*, **9**(11), 1117 (1999).
12. W-M Chen, J. Lin, and J. C. Lee, *IEDM Tech. Digest-94*, 691 (1994).
13. F. Fenske, A. Schopke, S. Schulze, and B. Selle, *Applied Surface Science*, **104/105**, 218 (1996).
14. U. Falke, F. Fenske, S. Schulze, and M. Hietschold, *Phys. stat. sol. (a)* **162**, 615 (1997).
15. L. W. Cheng, S. L. Cheng, L. J. Chen, H. C. Chien, H. L. Lee, and F.M. Pan, *J. Vac. Sci. Technol. A* **18** (4), 1176 (2000).
16. J. F. Liu, H.B. Chen, J. Y. Feng, and J. Zhu, *Applied Physics Letters*, **77**(14), 2177 (2000).
17. K. S. Bae, J. R. Kim, S. Y. Hong, Y. B. Park, and Y. S. Cho, *Thin Solid Films*, **302**, 260 (1997).