

디지털 이동통신단말기용 IF 주파수합성기 IC개발에 관한 연구

이규복 · 정덕진*

전자부품연구원 무선회로기술그룹
*인하대학교 전자전기컴퓨터공학부

The Study of IF Frequency Synthesizer IC Design for Digital Cellular Phone

K. B. Lee and D. J. Chung*

Korea Electronics Technology Institute
*INHA University

초 록 : 본 연구에서는 디지털 셀룰러용 IF Frequency Synthesizer의 설계, 시뮬레이션 결과 및 측정 결과를 기술하였으며, 공정 및 소자 라이브러리는 AMS社의 0.8 μm BiCMOS를 사용하였다. IF Frequency Synthesizer부는 IF 전압제어발진기, 위상검파기, 8분배기, 차지 펌프 및 루프 필터(Loop Filter) 등을 포함하고 있다. 공급전원은 2.7에서 3.6 V이며, IF VCO의 조절전압은 0.5~2.7V이고, 소비전류는 11 mA로 설계결과와 측정결과가 유사한 결과를 보였다.

Abstract : In this paper, the design and simulation results of IF frequency synthesizer section has been described. We has been used 0.8 μm BiCMOS device and library of the AMS. IF frequency synthesizer section has been contained IF VCO, Phase Detector, Divide_by_8, Charge Pump and Loop Filter. IF frequency synthesizer has been shown operating voltage of 2.7~3.6 V, control voltage of 0.5~2.7 V and supply current of 11 mA. The measured results have been showed good agreement with the simulation results about supply current.

I. 서 론

세계의 이동통신은 아날로그방식에서 디지털방식으로 빠르게 바뀌어 가고 있다. 1980년대부터 유럽, 미국, 일본 등 선진국가에 의해 제정되기 시작한 디지털 이동통신방식은 1990년대에 상용서비스가 개시되면서 급속하게 성장하고 있다. 현재 전세계에서 활발하게 상용 서비스되고 있는 디지털 이동통신방식은 GSM(global system for mobile communication)방식과 CDMA(code division multiple access) 방식으로 대별된다. 1999년 현재 전세계 97개 국가가 GSM을 디지털 이동통신방식으로 채택하였고 가입자수는 약 8,700만명에 이르고 있으며, 전세계 이동통신 시장의 약 37%를 점유하고 있다. 주파수 900 MHz 대역의 CDMA 및 GSM방식은 발전을 거듭하여 1.8 GHz대역의 PCN(personal communication network)과 1.9 GHz대역의 PCS(personal communica-

tion service)등 2개의 디지털 개인휴대통신 규격을 파생시켰다.

최근 들어 무선통신 시스템은 GHz 주파수의 무선통신 수신기를 위한 저가이고 고성능의 수신단 부품(RF 증폭기, 주파수 혼합기, 전압제어발진기 등)을 필요로 하고 있으며, 개별 부품들을 단일 칩 위에 구현하여 IC화 및 집적도 향상, 그리고 보드 및 기판 면적의 최소화는 중요한 요소 중의 하나이다.

본 논문에서는 이와 같은 필요성을 고려하여 디지털 이동통신단말기에 사용 가능한 IF(intermediate frequency) 주파수 합성기의 설계, 제작 및 특성측정 결과를 나타내었다. 설계는 주로 H-SPICE 시뮬레이션을 이용하였고, 공정 및 소자 라이브러리는 AMS社의 0.8 μm BiCMOS를 사용하였다.

II. IF 주파수합성기 IC의 설계 및 분석

디지털 이동통신단말기의 송수신시스템에서 IF 주파수합성기는 제어회로에 의해 발생되는 코드 값에 따라 주파수를 합성하며 이러한 기능이 단말기의 전반적인 특성을 좌우하므로 매우 중요하다. 이는 전압제어발진기(VCO : Voltage Controlled oscillator)가 위상제어루프(PLL : phase locked loop)과 궤환 루프(feedback loop)를 형성하고 전압제어발진기의 출력을 위상제어루프로 카운트하여 다시 전압제어발진기에 입력함으로써 수신부의 하향변환(downconverting) 주파수혼합기로 입력되는 LO(local oscillator) 주파수가 항상 일정하게 유지되도록 한다¹⁾.

GSM 휴대단말기에서는 송·수신이 일정한 시간 간격(1.5 Timeslots=866 μs)으로 이루어지기 때문에 하나의 위상제어루프로 주 주파수합성기의 구현이 가능하다.^{2,3)}

Fig. 1은 IF 주파수합성기의 블록다이어그램을 보여준다. 본 회로도도 같이 IF 주파수합성기는 IF 전압제어발진기(VCO), 위상검파기(phase detector), 8분배기(divide_by_8), 차지펌프(charge pump) 및 루프 필터 등으로 구성되어 있다. 이 IF 주파수합성기의 목적은 송신단의 104 MHz, 수신단의 26 MHz를 발생시킨다. IF 전압제어발진기는 104 MHz의 단일구조 클록 신호 I, Q를 발생하도록 설계되었다. 또한 위상 잡음을 최소화하고, 좁은 대역폭을 적용시키기 위하여 느린 위상제어루프를 사용하였다. 본 과제에서의 IF 위상제어루프의 주요 특성은 전압제어발진기에서 발생되는 주파수가 단일 주파수이므로 잠금시간이 느리고, 스퓨리어스(spurious) 출력 잡음이 40 dB/decade로 억압이 된다는 점이다.

여기에서 IF 전압제어발진기는 104 MHz를 발생시키며, 온도보상형 수정발진기(TCXO)는 13 MHz 기준 주파수를 발생시키며 이 주파수는 8분배기 블록을 거친 전압제어발진기 주파수 13 MHz와 비교되어 교정된 신호

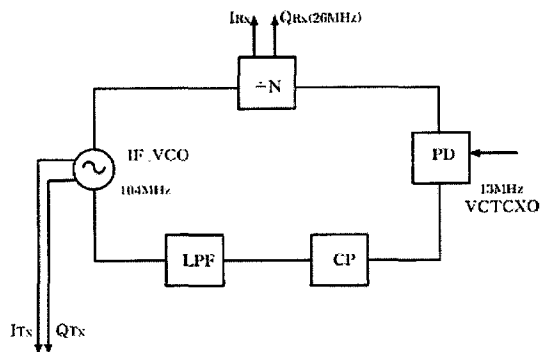


Fig. 1. Block diagram of IF Frequency Synthesizer.

가 저대역통과 필터(LPF)로 보내진다. 위상검파기는 13 MHz VCO 클록 신호의 위상과 외부 온도보상형 수정발진기의 13 MHz 위상과 비교한다. 따라서 위상검파기의 출력은 두 신호의 위상 차이를 나타내는 펄스이다. 차지펌프 회로는 위상검파기의 출력신호와 비례하여 전류 펄스를 발생시킨다. 또한 외부-칩 저대역통과 필터는 차지펌프에서 발생되는 전류 펄스를 전압으로 변환시켜 IF 전압제어발진기의 전압조정 단자로 보내어서 IF 전압제어발진기가 104 MHz의 단일(single) 주파수를 발생시키도록 한다.

1. IF 전압제어발진기

위상제어루프(phase locked loop)에서 전압제어발진기의 성능은 크게 단기조건(short term)과 장기조건(long term)의 안정성으로 판단되어진다. 단기조건 안정도는 주로 위상 잡음으로 언급되며 특히 주변 채널로부터의 간섭을 해석하는 중요한 인자가 된다.

발진기는 본질적으로 능동소자(BJT, FET)를 포함하고 있으므로 발진출력이 변조되어 잡음 측파대(sideband)가 발진주파수 근방에서 생기게 된다. 그 중에서도 위상 잡음의 이해와 해석은 전압제어발진기의 설계에 중요한 요소가 된다.

위상 잡음은 이론적으로, 스펙트럼 분석기에 표시된 발진주파수에서 단일 수직 스파이크로써 표시된다. 그러나 발진주파수가 위상 잡음에 의하여 시간과 함께 변화하므로 잡음 측파대가 신호 근처에서 나타나게 된다. 위상 잡음은 이론적으로 신호가 안정하고 잡음 측파대들이 신호의 위상변조에 의하여 일어난다고 가정한다.

발진기의 위상 잡음은 보통 단일측파대(SSB : single sideband) 위상잡음에 의하여 정량화된다. 즉, Fig. 2와 같이 신호(캐리어) 출력에서 offset fm인 점에서 1Hz 대역폭 안에 잡음의 출력 비로써 정의된다.

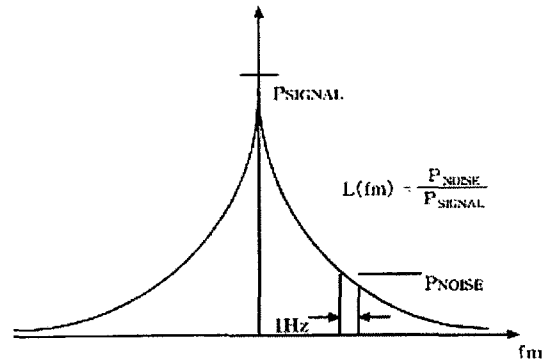


Fig. 2. Definition of SSB phase noise.

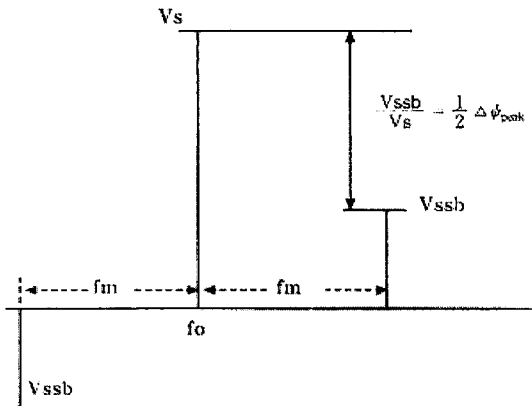


Fig. 3. Spectrum of phase modulated signal.

중심 주파수 f_0 에서 신호, 비변조된 크기 V_s , $\Delta\Phi_{peak}$ 의 피크 편향을 가지고 f_m 으로 위상 변조된 신호는 다음의 방정식으로 표현될 수 있다.

$$v(t) = V_s \cos(2\pi f_0 t) + \Delta\Phi_{peak} \sin(2\pi f_m t) \quad (1-1)$$

이 식은 Fig. 3에 보인 신호를 나타낸다. V_{ssb} 는 잡음 측파대의 크기이다.

각 offset 주파수에 대하여 캐리어 출력에 대한 측파대 잡음 출력의 비로써 위상 잡음이 계산된다. 발진기의 SSB 위상 잡음 성능은 Leeson에 의하여 설명되며 발진기의 위상 잡음에 대한 개략적인 표현은 다음과 같다.

$$S_o(f_m) = [a_R F_o^4 + a_E (F_o/2Q_L)^2] / f_m^2 + [(2GFKT/P_o)(F_o/(2Q_L))^2] / f_m^2 + (2\alpha_R Q_L F_o^3) f_m^2 + \alpha_E / f_m + 2GFKT/P_o \quad (1-2)$$

여기서,

G : compressed power gain of the loop amplifier

F : noise factor of the loop amplifier

K : Boltzman's constant

T : temperature ($^{\circ}$ K)

P_o : carrier power level(W) at the output of the loop amplifier

F_o : carrier frequency(Hz)

f_m : carrier offset frequency(Hz)

$Q_L (= xF_o \tau_r)$: loaded Q of the resonator in the feedback loop

α_R : flicker noise constant for the resonator

α_E : flicker noise constant for the loop amplifier

모든 위상 잡음은 회로내의 다양한 잡음 소스로부터 기인한다. 예를 들면 저항, 손실형 소자(lossy elements)로부터 생기는 열 잡음, BJT로부터 생기는 단발(shot), $1/f$, 돌발 잡음 등이다. 잡음 소스들은 다음과 같은 메카니즘을 통하여 위상 잡음에 기인하게 되며 그것은 회로에서의 비선형 효과에 의하여 베이스 밴드로부터 발진 주파수까지 직접 상향 변조되는 것이다.

이 중 DC에서의 화이트(white) 잡음은 출력신호근처에서 화이트 잡음에 공현하고, $1/f$ 잡음원은 출력신호근처에서 $1/f$ 잡음에 기인한다는 것이다. 이러한 각각의 잡음원이 발진주파수에 미치는 영향을 계산하기 위해서 각 잡음원의 크기로부터 발진주파수의 미분을 계산하는 것이다. 이 mean square 주파수 잡음은 위상 잡음으로 변환된다. 위상 잡음은 주파수의 적분이므로 주파수 영역에서 주파수 잡음은 푸리에 이론을 통하여 $1/(f_m)^2$ 을 곱함으로써 주파수 영역에서 위상 잡음으로 변환될 수 있다. 따라서, 화이트 잡음은 $1/f^2$ 위상 잡음에 공현하고, $1/f$ 잡음은 $1/f^3$ 위상 잡음에 공현하고 각각의 잡음원들은 독립적으로 더해진다.

본 연구에서 설계한 IF 전압제어발진기의 목적은 104 MHz의 I, Q 단일구조 주파수를 발생시키는 것이다. 이 IF 전압제어발진기는 4단 링 발진기(ring oscillator)를 사용하였다. 4단 링 발진기는 탱크 회로와 같은 외부 칩 소자를 사용하지 않는다. Fig. 5는 IF 전압제어발진기의 세부 회로도를 보여준다. IF 전압제어발진기는 바이어스 제어(control bias) 회로와 함께 4개의 증폭기를 사용하

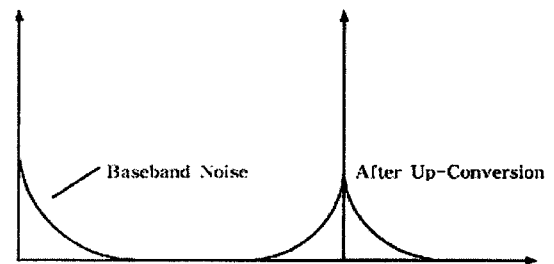


Fig. 4. Up-conversion base-band noise.

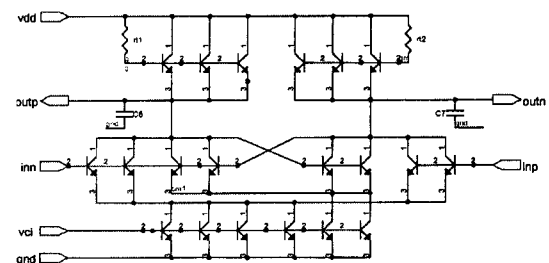


Fig. 5. IF VCO circuit.

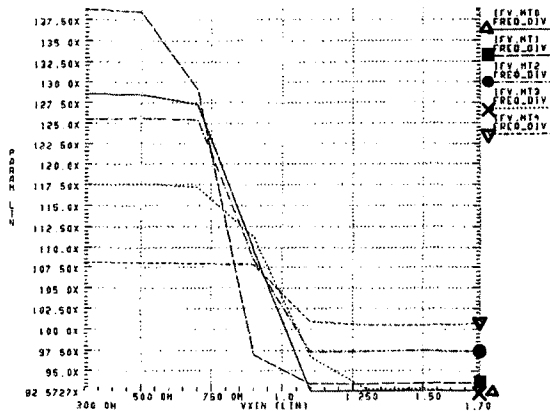


Fig. 6. IF VCO simulation result.

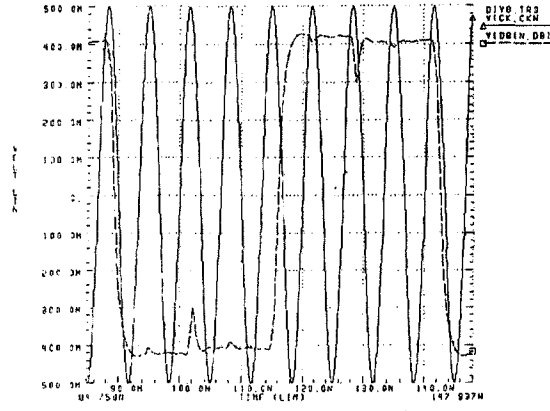


Fig. 8. Divide_by_8 output to 150 MHz input.

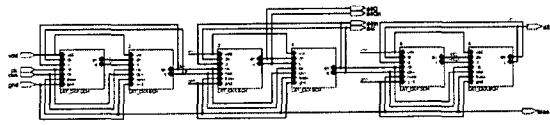


Fig. 7. Divide_by_8 latch circuit.

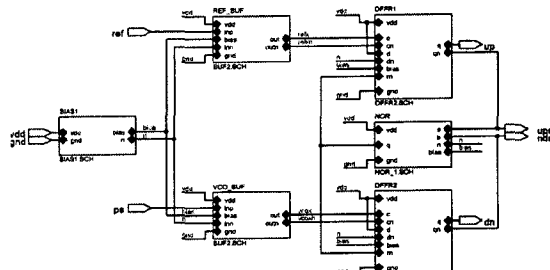


Fig. 9. Block Circuit of Phase Detector.

였으며, 바이어스 제어회로는 각 증폭기에 대한 주파수의 이득 및 위상을 변화시키기 위하여 사용된다. 또한 출력 주파수는 바이어스 제어회로에 의하여 조정할 수 있다.

본 연구에서 설계한 전압제어발진기는 대략 5 mA 이하의 전류가 소모된다. Fig. 6은 공급전원이 2.7 V에서 3.6 V까지 변하고, 온도가 -27°C에서 115°C까지 변할 때 임의의 포인트(전압, 온도)에서 조절전압을 0.3 V~1.7 V로 변화시켜 가면서 IF 전압제어발진기의 출력 주파수의 변화를 보여주는 시뮬레이션 결과이다.

2. 8. 분배기(Divide by 8)

본 연구에서 설계한 분배기는 IF VCO 104 MHz를 26 MHz 및 13 MHz로 분배하여 발생시킨다. 26 MHz 신호는 수신단에 사용되는 반면 13 MHz 신호는 IF 주파수합성기에 쓰인다. 이 분배기는 2개의 래치회로를 직렬(cascade)로 하나의 2분배기 블록으로 묶어 3단으로 사용하였다. 각각의 래치회로는 고주파에 적합한 바이폴라 NPN회로를 기본으로 하였다.⁴⁾ Fig. 7은 8분배기에 사용된 래치에 대한 회로도이다. Fig. 8은 전형적인 조건에서 150 MHz 입력에 대한 8분배기 출력의 시뮬레이션 결과이다.

3. 위상검파기(phase detector)

위상검파기는 위상제어루프 내에서 기준 신호와 전압제어발진기 출력을 비교하는데 쓰인다. 즉, 두 신호의 위

상 및 주파수의 차이를 감지하고, 차지펄스로 정확한 펄스를 보내준다. 또한, 차지펄프로 입력되는 이 펄스는 루프 필터를 거쳐 전압제어발진기로 재환된다. 본 연구에서 설계한 위상검파기의 역할은 13 MHz 온도보상형 수정발진기의 기준 신호와 8분배기 회로를 거친 출력신호와의 위상 차이를 검출하는 것이다. 이 위상검파기의 구조는 3단 위상검파기 구조이다. 이 구조를 사용하는 주된 이유로는 구조가 간단하고, $\pm 2\pi$ radian의 선형 범위를 가지며, 위상검파기뿐만 아니라 주파수검파기(frequency detector)로서 동작하기 때문이다.⁵⁾

Fig. 9는 위상검파기의 블록 구성을 나타내는 회로도이며, 본 회로도에서 위상검파기는 바이폴라 트랜지스터를 기초로 한 설계로써 2개의 D-Flip Flop(DFFs), 1개의 NOR 게이트와 4개의 인버터를 사용하였다. 13 MHz 온도보상형 수정발진기로부터 첫번째 DFF의 클럭입력이 발생하는 반면, 다른 DFF의 클럭 입력은 8분배기 회로에서의 출력을 수신하여 발생된다. 2개의 DFF는 high로 고정되도록 설계하였다. 13 MHz 온도보상형 수정발진기의 클럭에지(edge)는 8분배기 회로에서 발생하는 클럭 에지보다 먼저 발생한다. 13 MHz 온도보상형 수정발진기에 의해 트리거(trigger)되는 DFF의 출력은 high로 고정된다. 8분배기 회로에 의해 발생하는 DFF의 출

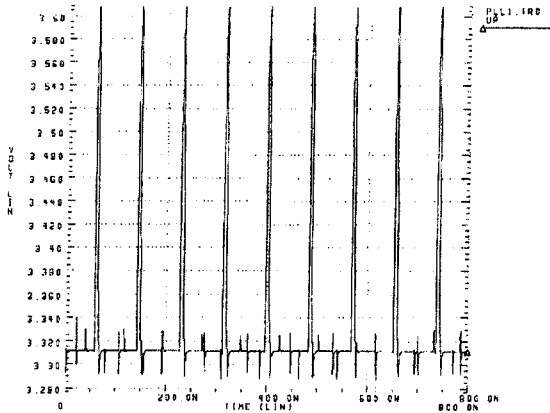


Fig. 10. Phase Detector output node(up).

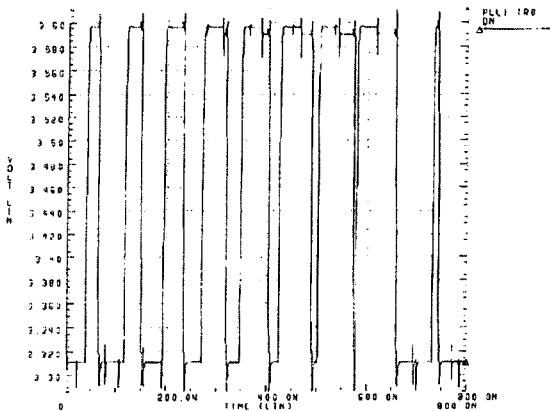


Fig. 11. Phase Detector output node(down).

력이 감지되자마자 DFF의 출력 또한 high로 고정된다. 2개의 DFF의 반전된 출력들은 NOR 게이트로 입력되면서 비교된다. NOR 게이트는 2개의 DFF가 high로 고정되자마자 reset 신호를 발생시킨다. Reset 신호의 지연을 증가시키기 위하여 NOR 게이트 다음 단계에 4개의 인버터를 추가하였다. DFF 출력에 대한 reset 신호의 지연은 이력현상(hysteresis) 문제를 피하기 위하여 DFF의 내부 지연보다 길어야 한다.

Fig. 10 및 Fig. 11은 각각 위상검파기의 시뮬레이션 결과를 보여준다. 각각의 조건은 전압제어발진기 신호가 77 nsec로 일정한 주기를 갖고 외부 기준신호가 85 nsec 주기로 변할 때 위상검파기의 출력 점에서의 up, down 변화를 보여준다.

4. 차지펌프(Charge Pump)

차지펌프(CP)는 일반적으로 전압의 넓은 범위에 걸쳐 루프 필터에 제어된 펄스를 제어하는데 사용된다. CP에

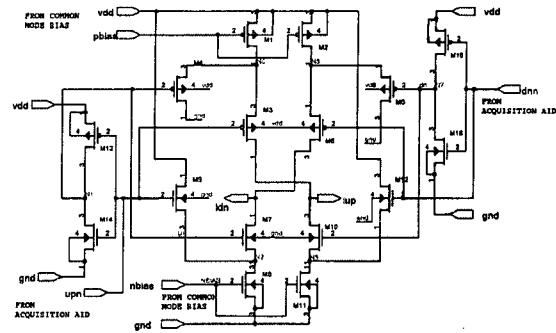


Fig. 12. Charge Pump circuit.

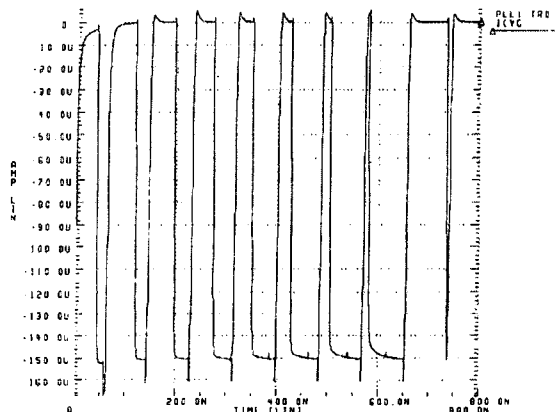


Fig. 13. Charge Pump output.

의해 충전되는 선형성은 스푸리어스 출력을 줄이고 적은 위상 잡음을 제공하는데 쓰인다.

본 연구에서 설계한 위상검파기(PD) 다음 단계에 위치한 CP는 PD의 위상차 펄스를 차지/전류신호로 전환하는데 쓰인다. 이 신호는 PD에서 검출된 위상차인 펄스 폭과 비례한다. 그림 9는 차지펌프의 회로도이다. 이 구조는 “current summer design”을 기본으로 하였다. “current summer design”은 기준 신호의 주파수가 전압제어발진기 주파수보다 크면 루프 필터로 순수 양의 전류(net positive current)가 발생되고, 기준 신호의 주파수가 전압제어발진기 주파수보다 작으면 루프 필터로 순수 음의 전류가 발생된다. 이 CP는 MOS 및 BJT를 사용한다. 루프 필터로 양 및 음의 전류를 발생시키기 위하여 양과 음의 바이어스 점으로부터 전류 미러(current mirror)를 갖는 것이 필요하다. PMOS 소자는 양의 전력공급원으로부터 전류 미러를 발생시키고 NPN 소자는 음의 전력원으로부터 전류 미러를 얻는데 사용된다.

Fig. 13은 전압제어발진기 신호가 77 nsec일 때 외부 기준 신호를 85 nsec로 변화시켜 전압원을 통한 차지펌프의 출력을 보여준다.

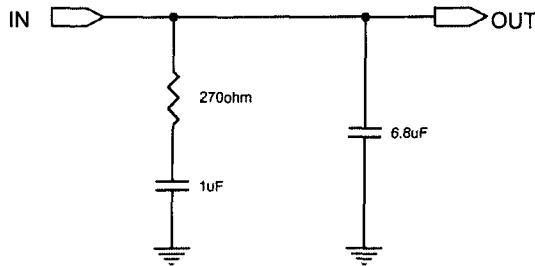


Fig. 14. Designed loop filter circuit.

5. 루프필터(Loop Filter)

위상제어루프는 주파수 및 위상에 대한 잠금을 걸기 위하여 필요한 조절전압 신호를 전압제어발진기 입력단에 보내기 전에 루프필터를 거친다. 필터의 설계는 기준 자극(spur) 및 잠금 시간의 상관관계를 고려한다. 일반적으로 루프필터의 밴드 폭이 좁을수록 기준 자극이 작고 잠금 시간이 길다.

본 연구에서 설계한 IF 주파수합성기의 전압제어발진기는 한 주파수 104 MHz를 발생시킨다. 이는 루프필터의 설계를 간단하게 하므로 여기서는 2차 저대역 통과 필터를 사용하였다. 이 저대역 통과 필터는 발진에 대한 위상 잠음을 줄일 뿐만 아니라 스푸리어스 잠음을 최소로 하기 위하여 제로 극(zero-pole)으로 구성하여 설계하였다. Fig. 14는 설계된 루프 필터의 회로도를 나타낸 것이다.

III. IF 주파수합성기 IC의 제작 및 결과 분석

IF 주파수합성기의 특성측정을 위해서는 온도보상형 수정발진기를 이용하여 13 MHz의 기준 주파수를 입력하고 IF 전압제어발진기의 출력주파수를 측정하여 잠금을 확인하여야 한다.

그러나, 본 연구에서 개발한 IF 주파수합성기는 내부에 분배기, 위상검파기 및 IF 전압제어발진기를 포함하고 있으므로 직접 IF 주파수를 측정하는 것은 불가능하며, 스위치 캡(switched capacitor) 필터 출력 중에 하향 샘플링 주파수 혼합기(down sampling mixer)로 입력되는 26 MHz를 확인하고 기준주파수에 따라 잠금이 되는지를 확인함으로써 IF 주파수합성기의 특성평가를 수행하였다. 이것은 104 MHz를 발생하는 IF VCO의 출력을 4분배기를 거쳐 26 MHz의 수신부 하향주파수 혼합기 입력 주파수를 발생시킨 후의 특성을 측정함으로써 4분배기를 통하면서 감소된 최종적인 출력을 측정하여 정확한 IF VCO의 특성을 구하기 위한 것이다.

본 측정에서는 온도보상형 수정발진기를 동작시키지

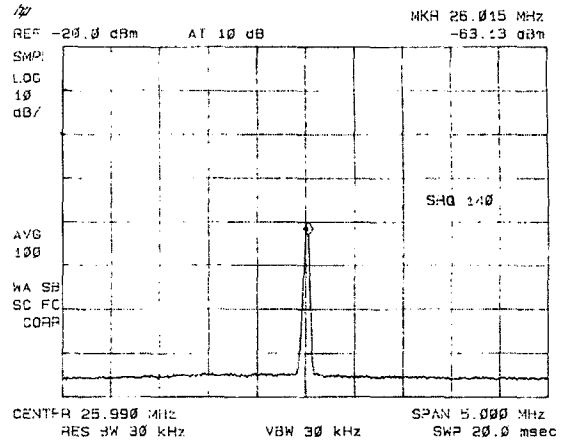


Fig. 15. Frequency locking result of IF frequency synthesizer at reference frequency of 13 MHz.

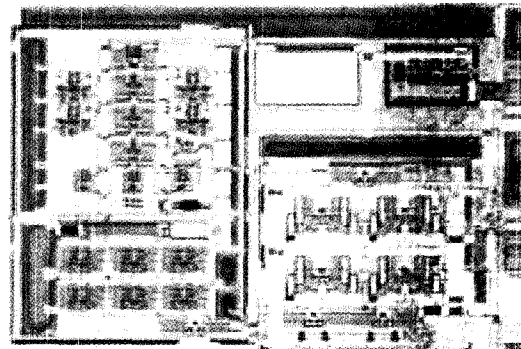


Fig. 16. Developed inner picture of the IF frequency synthesizer IC.

Table 1. Simulation results of IF Frequency Synthesizer

Parameters	Simulation Results		Measurement Results		Unit
	Min.	Typical	Max.	Typical	
Supply current	8	10	11.1	11	mA
LO frequency	104		104		MHz
VCO control voltage	0.5~2.7		0.5~2.7		V

않고 13 MHz의 기준주파수를 신호발생기를 사용하여 입력하고 스위치 캡 필터부를 동작시켜 26 MHz 주파수를 확인하였으며, 기준주파수를 12 MHz에서 15 MHz까지 변화시키면서 24 MHz에서 30 MHz까지의 주파수 잠금을 확인하였다. 기준주파수가 13 MHz일 경우의 26 MHz LO 주파수가 잠금 결과를 Fig. 15에 나타내었으며, Fig. 16은 개발된 IF 주파수합성기 IC의 사진을 나타낸 것이다.

IF 주파수합성기의 시뮬레이션 결과와 측정결과의 비교를 Table 1에 나타내었으며, 소비전류를 볼 때 설계결과와 유사한 양호한 측정결과를 보이고 있다.

IV. 결 론

최근 이동통신단말기의 소형화 및 고기능화에 따라 RF-IC에 대한 연구가 활발히 진행되고 있으며, 본 연구에서는 디지털 이동통신단말기용 IF 주파수합성기의 설계 및 시뮬레이션을 수행하였고 이 결과를 이용하여 IF 주파수합성기를 제작하였다. 사용된 소자 라이브러리는 AMS社의 0.8 μm BiCMOS 소자를 사용하였다. 공급전원은 2.7에서 3.6V, IF 전압제어발전기의 조절전압이 0.5~2.7V이고, 기준 주파수를 13 MHz로 하여 설계하여, 26 MHz에서 잠금이 됨을 볼 수 있었으며, 소비전류는 대략 11 mA를 보였다. 이 설계결과는 IC의 측정결과와 유사한 결과를 보였다.

본 연구에서는 일반적인 플라스틱 패키지를 사용하여 제작하였으며, 패키지상의 기생성분으로 인한 특성변화에 대한 문제와 레이아웃후의 시스템 시뮬레이션에서 더욱 정확한 시뮬레이션 결과를 얻기 위하여 SPICE 본딩 와이어 모델을 사용하여 시뮬레이션한 후 이 결과에

따라 레이아웃을 하여 공정, 제작하였다.

본 연구에서 수행된 결과는 전세계적으로 급속한 발전을 하고 있는 이동통신단말기 및 시스템, 무선인터넷, 그리고 위성통신 단말기의 소형화 및 특성개선에 광범위하게 응용될 수 있을 것으로 사료되며, 향후 0.15 μm 급의 CMOS 공정 라이브러리 이용 등으로 RF 및 IF, 그리고 베이스밴드 전체를 하나의 CMOS IC화하는 연구가 계속될 것이다.

참고문헌

1. 김인석, "Micro-Wave대 Mixer 이론 및 회로 설계 기술", 초고주파회로 설계기술 워크숍, 1993.
2. "GSM Basics, An Introduction," Hewlett-Packard Co., 1994.
3. "디지털 이동통신단말기(GSM) 개발," 전자부품종합기술연구소, 1995.
4. A.A. Abidi, "Low-Power Radio-Frequency IC's for Portable Communications," Proceedings of the IEEE, vol. 83, no. 4, pp. 544-560, April 1995.
5. B.S. Song and D.G. Wilson, "Low-Power Front Ends for RF Receivers," The 4th Inter. Conf. on VLSI and CAD, Seoul, Korea, Oct. 1995.