

비아 크기가 솔더범프 형성에 미치는 영향

김성진 · 주철원 · 박성수 · 백규하 · 이상균 · 송민규

한국전자통신연구원, 회로소자기술연구소

Via-size Dependence of Solder Bump Formation

Seong-Jin Kim, Chul-Won Ju, Seong-Su Park, Kyu-Ha Pack, Sang-kyun Lee and Min-Kyu Song

Microelectronics Technology Laboratory

Electronics and Telecommunications Research Institute Yusong P. O. Box 106, Taejeon 305-600, Korea

초 록 : 5인치 실리콘 기판위에 수 회 코팅기술을 이용하여 두꺼운 감광막을 얻은 후, 전기도금 법으로 솔더범프를 형성하고, 비아크기의 변화에 따른 리플로 전과, 후의 솔더범프 형성에 미치는 영향을 조사하였다. 리플로 전의 범프바닥 (bump bottom) 직경은 리플로 후에도 거의 변화가 없는 반면, 솔더범프 모양은 패터된 비아직경 크기에 크게 의존했다. 비아직경이 클수록 높은 도금효율을 보였다. 비아직경이 작을수록 리플로 후의 범프는 리플로 전의 범프높이와 비교하여 크게 낮아졌지만, aspect ratio는 크다는 것을 알았다. 고밀도와 고aspect ratio를 갖는 범프를 얻기 위하여 비아직경과 범프피치를 줄여야하지만, 과도금 (overplating), 또는 리플로를 할 때 최인접 간 범프끼리 맞닿을 수 있기 때문에 최인접 간 범프거리 확보는 중요하다. 비아높이(film두께)를 높게 하여 과도금을 하지 않고 비아높이까지만 도금하여 과도금으로 인한 최인접 범프끼리의 맞닿음을 없애는 방법과 범프배열을 zig-zag로 하는 방법을 혼용하면 과도금, 또는 리플로를 할 때 최인접 범프 간에 맞닿는 문제는 어느 정도 해결할 수 있다.

Abstract : We investigate the via-size dependence of as-electroplated- and reflow-bump shapes for realizing both high-density and high-aspect ratio of solder bump. The solder bump is fabricated by subsequent processes as follows. After sputtering a TiW/Al electrode on a 5-inch Si-wafer, a thick photoresist for via formation is obtained by multiple-coating method and then vias with various diameters are defined by a conventional photolithography technique using a contact alinger with an I-line source. After via formation the under ball metallurgy (UBM) structure with Ti-adhesion and Cu-seed layers is sputtered on a sample. Cu-layer and Sn/Pb-layer with a composition ratio of 6 to 4 are electroplated by a selective electroplating method. The reflow-bump diameters at bottom are unchanged, compared with as-electroplated diameters. As-electroplated- and reflow-bump shapes, however, depend significantly on the via size. The heights of as-electroplated and reflow bumps increase with the larger via, while the aspect ratio of bump decreases. The nearest bumps may be touched by decreasing the bump pitch in order to obtain high-density bump. The touching between the nearest bumps occurs during the overplating procedure rather than the reflowing procedure because the mushroom diameter formed by overplating is larger than the reflow-bump diameter. The arrangement as zig-zag rows can be effective for realizing the flip-chip-interconnect bump with both high-density and high-aspect ratio.

Keywords: solder bump, flip-chip interconnection, high-aspect ratio, bump arrangement

1. 서 론

솔더범프 (solder bump)를 이용한 플립-칩 인터콘넥션 (flip-chip interconnection)기술은 시스템의 소형화, 경량

화, 고속화 요구 및 마이크로 일렉트로닉스의 성능을 향상시키기 위한 절대 필요한 기술로서 1~2년 후에는 $10 \times 10 \text{ mm}^2$ chip당 I-O pad수가 2000개 이상 될 것으로 예상되어, 고밀도 플립-칩 실장기술의 중요성이 강조되고

있다¹⁾. 뿐만 아니라, 이러한 기술은 반도체 산업에서 반드시 필요한 것으로서 기술선점을 하루 빨리 확보해야 하기 때문에 상용화 측면에서도 많은 관심을 불러일으키고 있는 분야이다²⁾.

그러나 플립-칩 실장기술은 I-O pad수의 증가추세에 보조를 맞추기 위해 반드시 해결해야 될 몇 가지 문제점이 있다. 첫째, 범프 형성기술은 LSI칩 위에 형성할 수 있는 고밀도의 wafer level package (WLP)기술을 확보해야 하고, 둘째, 칩과 기판의 열팽창 계수의 차에 의해 발생할 수 있는 응력을 최소화하기 위해 높은 aspect ratio의 범프를 얻을 수 있어야 하며, 셋째, 인터콘넥션이 높은 신뢰성을 갖기 위해서는 수지 (resin)로 칩과 기판 사이를 채울 수 있는 기술을 확보해야 할뿐만 아니라, 공정이 간편하고 비용을 절감을 할 수 있어야 한다.

본 논문은, 도금전과 후의 솔더범프 모양이 비아직경에 크게 의존한다는 것을 실험결과들을 토대로 설명함으로써 솔더범프를 설계할 때 비아직경과 범프피치가 중요한 파라미터임을 입증할 뿐만 아니라, 수년 후에 요구될 수 있는 고밀도/고 aspect ratio의 솔더범프를 얻기 위한 솔더범프 공정 및 범프배열 방법 등에 관해서도 논의할 것이다.

2. 실 험

실리콘 기판위에 두꺼운 필름(감광막)을 얻기 위하여 수 회 코팅을 실시하였다. 낮은 회전 속도에서 감광막을 코팅하면 wafer edge부분에 코팅된 감광막이 두꺼워져 mask aligner에서 하드컨택을 할 때 기판이 불균일하게 힘을 받는 것을 방지하기 위하여 감광막 코팅 후, wafer edge부분의 감광막을 제거해 주었다. 매 코팅시 감광막이 깎여나가는 것을 방지하기 위하여 감광막의 베이킹은 110°C에서 3분 동안 매 코팅마다 실시하였다. 강한 빛에 순간적으로 노광됨으로서 발생할 수 있는 감광막의 변형을 막기 위하여 I-line의 노광 원을 갖는 contact aligner를 사용했으며, 감광막의 현상시간을 단축시키기 위하여 충분한 빛을 노광시켰다. 비아직경이 솔더범프에 미치는 영향을 조사하기 위하여 직경/피치 (diameter/pitch)가 40/100 μm , 60/150 μm , 80/200 μm , 100/250 μm 인 비아를 동시에 형성한 후, Cu/Ti UBM (under ball metallurgy)을 스퍼터링하고, 전기도금을 위해 3점의 전극접점을 확보하였다.

Cu 및 솔더 도금은 선택적 도금방법을 사용했으며 이에 관해서는 투고중인 필자의 논문에 상세히 기술되어 있다³⁾. 도금시 도금액은 펌프를 사용하여 순환시켜 주었고, Cu와 솔더의 도금액은 25°C로 유지시켜 주었다.

Sn : Pb=6 : 4인 도금 조성비를 얻기 위하여 솔더 도금액은 유기산 주석 (Sn)과 유기산 연 (Pb)의 비율 6 : 4로 건속 하였고, 도금조직을 균일하게 하기 위하여 활성제를 첨가하였다. 활성제는 도금조직의 균일성과 도금속도에 영향을 미칠 수 있으므로 관리를 철저히 해야하고, 활성제는 일반적으로 1 리터로 4000A/(hdm²)를 사용할 수 있으므로 사용한 시간을 정확히 기록하여 보충시기를 결정해야 한다.

솔더를 도금할 때 감광막 표면에 남아 있는 Ti층에 의해 발생 할 수 있는 전류 손실과 감광막 표면 위에 솔더 석출을 막기 위하여, Cu층을 도금한 후에 완전히 Ti층을 에칭 하였다. Ti층을 에칭 하는 동안 Cu가 산화될 수 있는 Cu-도금표면의 산화 막을 제거시켜주기 위하여 유기산 용액에서 세정한 후에 저 전류밀도에서 고 전류 밀도로 전류를 서서히 높여줌으로써 균일한 조직의 솔더가 도금되도록 하였다. 리플로(reflow)후의 범프 높이를 높여주기 위하여 40% 과도금 (overplating)을 실시하였다. 과도금 기술은 낮은 비아높이로 높은 범프를 얻고자 할 때 실시하는 방법이다.

도금된 솔더의 조성비와 조직상태는 Rutherford back scattering (RBS)과 주사전자현미경 (scanning electron microscope; SEM)으로 분석했다. RBS의 분석용 빔은 22.4 MeV의 He²⁺이온을 사용했으며, 빔 전류는 10 μC , 검출기 위치의 각도는 165°이었다.

3. 결과 및 논의

한 번의 코팅으로 두꺼운 감광막을 얻기 위하여 점도 (viscosity)가 높은 감광막을 쓰는 것이 좋지만 고용분이 너무 높은 감광막을 쓰면 기판 전체의 두께 균일성을 확보하기 어렵기 때문에 본 실험에서는 AZ 4000 계열을 사용했다. Si 기판위에 AZ 4000 계열의 감광막을 1000 rpm에서 4회 코팅하여 단면 SEM을 관찰한 결과, 코팅된 감광막 두께는 70 μm 정도였으며, 이 결과는 한 번 코팅 두께인 17.6 μm 의 4배로 4회 코팅으로 인한 감광막 손실은 없다는 것을 의미한다.

Fig. 1은 3회 코팅한 52.5 μm 두께를 갖는 감광막에 대한 현상결과를 보여주는 SEM사진으로서, 비아가 깨끗하게 형성된 것을 알 수 있다. 되도록 짧은 시간에 감광막을 현상시키기 위하여 감광막을 충분히 노광시켜 주었다. 감광막 현상 후의 최종 두께는 50 μm 이었으며 현상하기 전 두께와 비교하면 2.5 μm 인 4.7%정도 줄어 들었다. 직경/피치가 100/250 μm 을 갖는 비아에 대한 수직 각도는 85° 이상을 얻을 수 있었고, 50 μm 감광막 두께에서 직경/피치가 40/100 μm 인 비아까지 수직각도 감

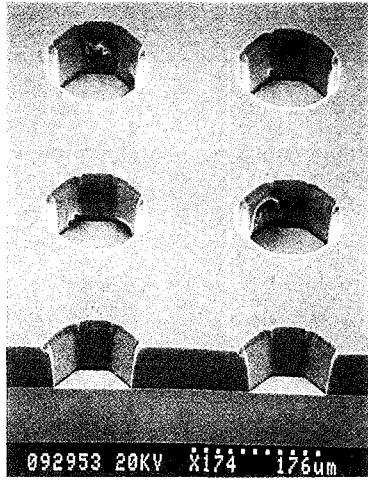


Fig. 1. Cross-section SEM image for the via with 100 μm in diameter.

소 없이 깨끗하게 형성시킬 수 있었다. line & space 형태를 갖는 테스트 패턴으로 실험해본 결과, 50 μm 감광막 두께의 현상 분해능은 약 10 μm 정도임을 알 수 있었으며, 이러한 결과는 aspect ratio가 5 정도인 범프를 형성시킬 수 있음을 의미한다.

5 인치 기판위에 Cu와 솔더를 도금할 경우, Cu의 도금 속도는 3 A (ampere)에서 0.4 μm/min, 솔더의 도금 속도는 3A에서 1.5 μm/min이었고, 5 인치 기판 전체에 대한 도금두께 편차는 5% 이내로 매우 균일했다. 이러한 결과를 바탕으로 솔더범프를 형성할 때 전류밀도는 비아 면적을 정확히 계산하여 결정하였고, 상용화를 고려하여 도금두께의 균일성이 확보되는 한 고속으로 도금되도록 도금속도를 선택하였다.

3.3 A/dm²에서 10분간 솔더 도금한 시료에 대한 RBS 분석 결과는 3 μm두께 이상에서 볼 수 있는 벌크특성을 보였고, Sn과 Pb의 조성비는 Sn : Pb=59.1 : 40.90로 평가되었다. RBS의 분석 허용오차 5%를 고려하면, Sn : Pb의 조성액에서 예상한 Sn과 Pb의 건육 비인 6 : 4와 매우 잘 일치한다. 이러한 결과로부터 솔더의 조성비는 Sn : Pb의 조성액 비를 정확히 건육 함으로서 얻을 수 있음을 의미하지만, 장기간 균일한 솔더의 조성비를 얻기 위해서는 솔더액의 건육비와 같은 아노드 전극판을 사용하는 것과, Cu, Fe같은 불순물과 액 건육비를 정기적으로 점검하는 등의 도금액 관리가 그 무엇보다도 중요하다.

Fig. 2는 솔더를 도금하고 감광막을 제거한 후의 직경/피치가 60/150 μm인 솔더범프에 대한 SEM 사진이다. 솔더범프는 전체적으로 균일하며, 아주 깨끗한 버섯모

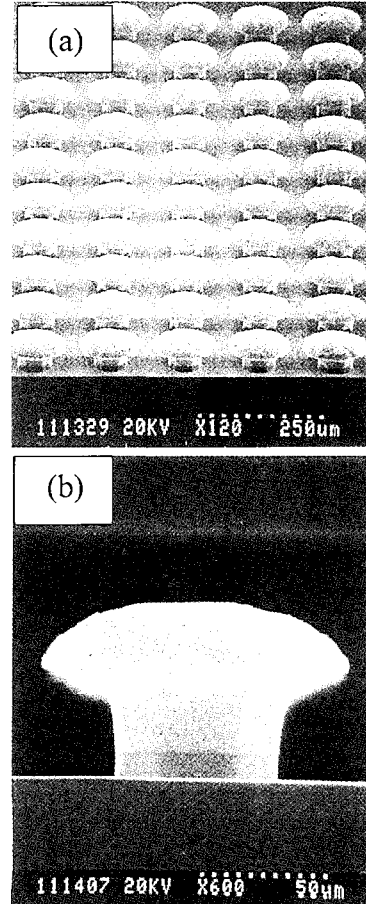


Fig. 2. SEM images for the electroplated-solder bump with 60/150 μm in diameter/pitch. (a) Side-view, and (b) high-resolution side-view.

양 (mushroom)으로 잘 형성된 것을 알 수 있다. Ti-접착층의 계면에서도 솔더범프가 벗겨지거나 도금이 불균일하게 된 현상을 관측할 수 없었다. 특히, 직경/피치가 40/100 μm인 고 밀도의 솔더범프까지 깨끗하게 형성되는 것으로 보아 고밀도/고균일의 솔더범프 형성이 가능할 것으로 생각된다.

Fig. 3은 N₂분위기에서 리플로 한 후의 직경/피치가 40/100 μm인 솔더범프에 대한 SEM사진이다. Fig. 3(a)에서 보여 주듯이 리플로 한 후의 솔더범프는 깨끗한 새눈 (bird eye) 형상을 보여주며, 인접 범프와 맞닿음 없이 잘 격리되어 형성된 것을 알 수 있다. Fig. 3(b)의 고분해능 SEM사진에서 볼 수 있듯이 리플로된 범프는 대칭적인 불모양을 하고 있다. 칩 기판위에 형성된 솔더범프의 전체적인 구조는 Fig. 4에서 볼 수 있다.

Fig. 5(a)에서 볼 수 있는 바와 같이 리플로 전과 후의

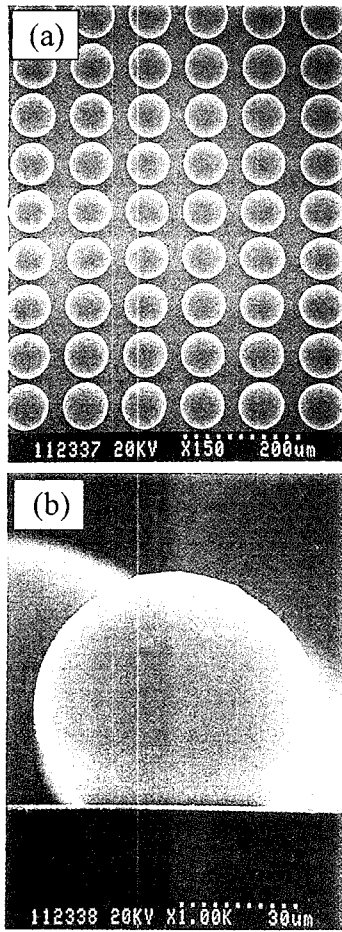


Fig. 3. SEM images for the reflow-solder bump with 40/100 μm in diameter/pitch. (a) Top-view, and (b) high-resolution side-view.

범프 바닥 (bump bottom)의 직경은 거의 변화가 없으며, 비아직경에 의존하지 않는다는 것을 알 수 있다. 도금된 범프직경은 설계한 것보다 약간 크다. 이것은 감광막 현상 후에 디스크를 하지 않고도 깨끗한 비아를 형성하기 위하여 감광막의 현상을 길게 했기 때문이며, 감광막과 기판의 밀착성이 좋지 않아 도금막이 도금 중에 옆으로 밀려나가 일어난 현상으로 생각하지 않는다. 특히, 도금 전과 후의 범프직경이 거의 변함이 없는 것으로 보아 리플로 중에 범프 바닥에서 솔더가 옆으로 퍼지는 것은 없는 것으로 생각된다. Fig. 5 (b)는 비아직경 변화에 대한 리플로 전과 후의 범프높이의 변화를 보여준다. 각각 다른 직경을 갖는 비아에 대해 도금을 동시에 했음에도 불구하고, 도금된 솔더범프 높이는 80 μm 까지는 완만하게 증가하다 100 μm 에서 급격히 증가함을 알 수 있다. 이러한 결과로 미루어 보아 비아 직경이 클수록 도금효율이

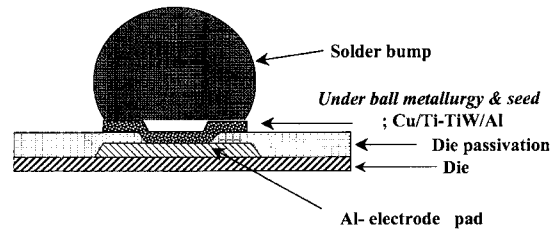


Fig. 4. The schematic diagram of reflow-solder bump.

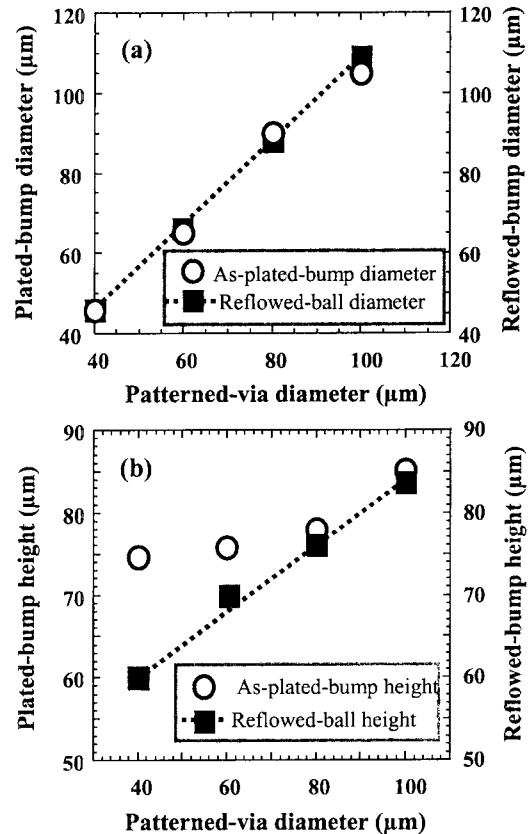


Fig. 5. The via-size dependence of solder bump formation. (a) Electroplated- and reflow-bump diameter vs. patterned-via diameter, and (b) electroplated- and reflow-bump height vs. patterned-via diameter.

좋다는 것을 예상할 수 있다. 리플로된 범프높이는 비아 크기에 따라 선형적으로 증가함을 알 수 있고, 비아직경이 작을수록 리플로된 범프높이는 감소한다는 것을 알 수 있다. 이것은 비아 직경이 작을수록 리플로된 범프 중심의 직경이 비아직경보다 상대적으로 높은 비율을 갖는 것으로 보아, 비아 직경이 작을수록 리플로시 옆으로 등그렇게 퍼지는 솔더량이 상대적으로 많지만, 과도금된 솔더량은 상대적으로 작기 때문으로 생각한다.

Table 1. The relationship between a patterned-via diameter and a reflow-bump diameter and reflow-bump height

Via diameter (μm)	The order of reflowed-bump diameter deviation from as-plated-bump diameter (α; ratio of a to e)	The order of spherical shape (β; ratio of e to f)	Aspect ratio (γ; ratio of d to f)
40	1.54	0.79	1.23
60	1.39	0.76	1.06
80	1.28	0.72	0.93
100	1.16	0.68	0.80

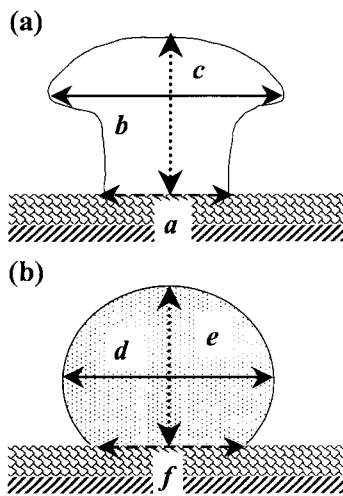


Fig. 6. The schematic diagrams of (a) as-electroplated-, and (b) reflow-solder bumps, where a, b, c, d, e and f indicate a electroplated-bump-bottom diameter, an overelectroplated-bump-head diameter, a electroplated-bump height, a reflow-bump-bottom diameter, a reflow-ball diameter, and a reflow-bump height, respectively.

Fig. 6은 도금직후의 범프모양과 리플로 후의 범프모양의 변화를 설명하는 그림이다. 특정한 비아직경을 갖는 범프에서 과도금된 버섯모양의 범프바닥의 직경은 a 이고, 범프머리의 직경과 높이는 각각 b, c 이다. 리플로 한 후의 범프의 직경과 높이는 각각 e, f 이고, 범프바닥의 직경은 d 이다. Fig. 2, 3의 SEM사진에서 볼 수 있듯이 리플로된 범프직경 e 는 과도금된 범프머리의 직경보다 작으므로, 최인접 간 범프의 맞닿음은 리플로할 때 발생하기 보다는 과도금으로 인해 발생할 수 있음을 알 수 있다.

Table 1은 비아직경 변화에 따른 리플로 후의 범프 직경과 범프 높이의 관계를 보여 준다. 리플로 후에 범프의 직경이 얼마나 변했는지를 보여주는 것이 값이 $n = a/e$ 이다. n 는 리플로 한 후의 범프높이의 감소요인을 알 수 있는 지표가 될 수 있다. 즉, 비아직경이 작을수록 값은 큰

데, 도금된 범프 바닥의 직경보다 더 옆으로 퍼지면서 공 모양(spherical shape)을 형성하기 때문이며, 이것이 범프 높이를 낮추는 요인으로 작용하는 것 같다. 따라서 작은 비아직경에서 높은 범프를 형성하기 위해서는 보다 많은 과도금을 해야함을 알 수 있다. 비아직경 변화에 따라 리플로 한 후의 범프가 공 모양에 얼마나 가까운지를 보여주는 것이 $\beta = e/f$ 이다. 비아직경이 클수록 값은 작아지고 있는데, 이것은 비아직경이 클수록 과도금이 더 많이 될 뿐만 아니라, 리플로된 범프가 비아직경 이상으로 둥그렇게 옆으로 퍼지는 것이 줄어들기 때문이다. 비아직경 변화에 따른 α 와 β 의 변화에서 알 수 있는 바와 같이, 직경이 작은 비아로 높은 범프를 얻으려면 과도금 기술을 실시해야 하지만, 과도금으로 인해 최인접 범프가 맞닿을 수 있기 때문에 범프의 최인접간 거리를 확보하는 것이 중요하다.

범프의 aspect ratio γ 에 대한 비아직경 의존성을 살펴 보면, 작은 비아직경 일수록 γ 는 크다는 것을 알 수 있다. 높은 aspect ratio는 칩과 기판의 열팽창 계수 차에 의해 발생할 수 있는 응력을 최소화하기 위해 매우 중요한 파라미터인데, 비아의 직경/피치가 40/100 μm인 솔더범프에서 1.23의 률 얻었다는 것은 주목할 만 하다.

앞에서 논의된 바와 같이 과도금된 범프머리의 직경은 리플로된 범프바닥의 직경보다 상당히 크므로, 최인접 범프 간 접촉은 리플로 공정에서 발생하기보다는 과도금 과정에서 발생할 수 있다. 이러한 문제를 해결할 수 있는 방법은 필름 두께 (비아)를 높게 하여 과도금 없이 범프를 형성하는 방법, 또는 범프의 최인접 간 거리를 확보하여 충분한 과도금을 할 수 있도록 하는 것이다. 비아를 높이는 공정은 시간과 비용의 부담을 초래하고, 과도금 방법은 시간과 비용을 절감할 수 있는 좋은 방법이지만, 최인접간 거리를 확보하는 범프설계를 한다면 범프 밀도를 낮추는 요인으로 작용할 것이다.

Fig. 7은 고밀도/고aspect ratio를 얻기 위한 범프의 배열을 보여준다. 여기서, g 와 j 는 설계된 범프직경, h 와 k 는 범프의 옆에 대한 피치 (bump-row pitch), i 와 m 는 범프 간 최인접 거리이고, zig-zag 범프배열에서 l 은 기준의

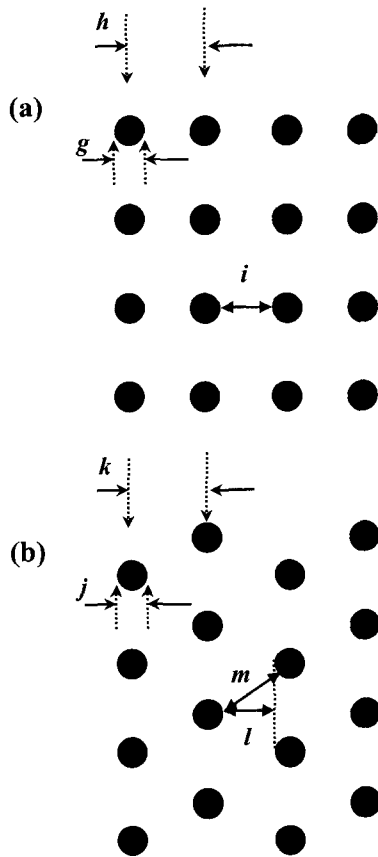


Fig. 7. Schematic diagram of bump arrangement for realizing the high-density and high-aspect ratio. (a) Straight arranged-bump, and (b) zig-zag arranged-bump.

대칭배열에서의 최인접 범프 간 거리와 같다. Fig. 7(a)에서 범프 밀도는 g 와 h 에 의해서 결정되지만, Fig. 7(b)에서는 j 와 k 에 의해서 결정된다. Fig. 7(b)에서 최인접 범프 거리 m 은 Fig. 7(a)에서 i 와 같지만 k 를 h 보다 작게 할 수 있으므로, 범프밀도를 높이거나, 혹은 과도금을 종래 범프배열 방법보다 더 많이 할 수 있는 근거가 된다. 과도금을 얼마나 할 수 있는지는 최인접 범프간 거리에 의해 결정되므로 Fig. 7 (a)와 같은 기존의 범프 배열방법에서는 최인접 범프와의 맞닿음 때문에 과도금된 범프 머리의 반경은 범프피치의 반 ($h/2$)을 초과 할 수 없었다. 그러나 Fig. 7 (b)의 zig-zag배열에서, i 와 l 이 같다면 범프 최인접 거리 m 은 ($l \div \cos\theta$)가 되므로 종래 방법과 비교하여 1.12배정도 최인접 범프를 가깝게 설계 할 수 있어 보다 고밀도 범프를 얻거나, 혹은 과도금된 범프머리의 반경을 1.12배 더 도금할 수 있으므로 종래 방법보다 고

밀도 범프를 효과적으로 형성할 수 있다. 따라서 최인접 간 범프와 맞닿음 없이 고밀도의 높은 범프를 얻기 위해서는 비아를 높게 하여 비아보다 높게 도금하지 않음으로서 과도금으로 인한 최인접 범프끼리의 맞닿음을 없애는 방법과 범프배치를 zig-zag로 하여 보다 많은 과도금을 하는 방법을 단독, 또는 복합적으로 활용하면 된다.

4. 결 론

본 논문은, 비아직경 크기가 범프형성에 어떤 영향을 미치는지 조사했다. 도금전과 후의 솔더범프 모양은 비아직경에 크게 의존하는 것을 알 수 있었다. 비아 직경이 클수록 높은 도금효율과 리플로 한 후의 범프는 높은 범프를 보였다. 비아직경이 작을수록 리플로 한 후의 범프는 리플로 전의 범프높이와 비교하여 크게 낮아지지만, 비아직경이 작을 수록 큰 aspect ratio를 얻을 수 있음을 알 수 있었다. 고밀도와 고aspect ratio를 갖는 범프를 얻기 위해서는 비아직경과 피치를 동시에 작게 하고 도금을 높게 해야 하지만, 범프직경을 작게 함으로서 리플로 한 후의 범프높이가 줄어든다. 범프피치를 줄임으로서 과도금 또는 리플로를 할 때 최인접 범프와 맞닿을 수 있는 문제는 비아높이 (필름 두께)를 높게 하여 비아높이 까지만 도금하여 과도금으로 인한 최인접 범프간의 맞닿음을 없애는 방법과 범프배열을 zig-zag로 하는 방법을 단독, 또는 혼합하여 활용하면 효과적으로 해결할 수 있다.

참고문헌

1. Y. Ohnuki, H. Shibuya, J. Utsunomiya and S. Iida, "Proceedings of International Electronic Manufacturing Technology Symposium", Japan, 125 (1996)
2. H. Kurata, T. Ogata, K. Mitsuka, H. Matsushita and C. Kimura "Proceedings of IEEE/CHMT International Electronics Manufacturing Technology Symposium", 214 (1999)
3. K.K. Yu and F. Tung "Proceedings of Fifteenth IEEE/CHMT International Electronics Manufacturing Technology Symposium", 277 (1993)
4. H. Kato, K. Ikuzaki, M. Tsujita, K. Nakata, T. Kobayashi and Y. Sano "Proceedings of Fifteenth IEEE/CHMT International Electronics Manufacturing Technology Symposium", 114 (1993)
5. 김성진, 주철원, 박성수, 백규하, 이희태, 송민규, 한국 마이크로전자 및 패키징학회 (인쇄중)