

# 시계열정보 처리를 위한 연상기억 모델<sup>†</sup> (Associative Memory Model for Time Series Data)

박 철 영\*  
(Cheol-Young Park)

**요 약** 본 논문에서는 신경회로망을 이용하여 아날로그 시계열정보를 직접 처리할 수 있는 연상기억 시스템을 제안한다. 제안하는 시스템은 시계열정보를 상기할 때 현재의 정보와의 일치 결과만으로 출력(상기결과)을 결정하는 것 외에 과거의 일치결과도 고려한 상태에서 출력을 결정하는 시스템이다. 시스템의 기본적인 능력을 조사하기 위하여 기억패턴을 주기계열로 그리고 하중은 전부 고정하는 조건으로 단순화하여 시뮬레이션을 행하여 오류정정 능력을 갖는 것을 확인하였다. 시간축 방향의 하중을 적절하게 설정하면 기억용량의 증대나 상기 오류의 저감 등의 효과가 기대된다.

**Abstract** In this paper, a new associative memory system for analog time-sequential data processing is proposed. This system effectively associate time-sequential data using not only matching with present data but also matching with past data. Furthermore in order to improve error correction ability, weight varying in time domain is introduced in this system. The network is simulated with several periodic time-sequential input patterns including noise. The results show that the proposed system has ability to correct input errors. We expect that the proposed system may be applied for a real time processing of analog time-sequential information.

## 1. 서 론

신경회로망을 이용한 연상기억(associative memory)은 불완전한 기억정보로부터 완전한 정보를 상기해 내는 정보처리 수단으로서 공학적으로 그 응용이 기대되며, 디지털회로를 이용하는 것[1]-[3]과 신경회로망을 이용하는 것 [4] 등 연구가 활발히 수행되어왔다.

특히 시계열(temporal sequences) 정보를 처리할 수 있는 연상기억 시스템은 예측, 인식, 자율탐색(autonomous search)등 고차의 유연한 정보처리에 있어서 중요한 요소로 인식되어 신경회로망 분야에서 많은 흥미를 갖고 연구되어 왔다[5]-[12]. 실제 연상기억시스템에서 연상을 행하는 대상은 음성이나 동화상과 같은 외계로부터의 정보이며 대부분 아날로그 시계열정보인 경우가 많으므로 시계열정보처리시스템에서는 실시간 응답이 대단히 중요하다. 그러나 종래의 시스템에서는 대부분 0과 1의 정적인 디

지탈 정보로 기억 패턴과 입출력 패턴을 구성하고 각 비트마다 비교연산을 행하여 입력패턴과 각각의 기억패턴과의 해밍거리(Hamming distance)가 가장 작은 것을 출력 패턴으로 결정한다. 따라서 이들 시스템이 아날로그 시계열정보를 처리하려고 하면 A/D 및 D/A 변환이 필요하고, 비교나 선택을 하는 처리과정이 필요하므로 아날로그 정보를 그대로 처리하는 경우에 비해서 연산회로의 규모가 증대되어 실시간 응답에 부적합하다. 반면에 아날로그 정보를 직접 처리하는 것은 디지털 처리방식에 비하여 정확도나 노이즈에 대한 문제점은 있으나 소자를 단지 스위치로 사용하지 않고 소자의 특성을 연산에 이용하기 때문에 회로 규모가 작아서 병렬성을 높일 수 있다. 따라서 연산의 절대적인 정확도는 요구되지 않으나 고속, 고병렬성이 요구되는 연상기억시스템에서는 대단히 유용하다. 아날로그 시계열정보를 직접 처리할 수 있는 연상기억시스템이 실현되면 동화상이나 음성 등의 실시간 인식 처리에 유효하고 그 의의는 크다고 할 수 있다.

본 연구에서는 아날로그 시계열정보를 직접 처리할 수 있는 연상기억 시스템을 제안한다. 제안하는 시스템은 시

\* 대구대학교 정보통신공학부

† 이 논문은 2000년도 대구대학교 학술 연구비 지원에 의한 논문임

계열정보를 상기할 때 현재의 정보와의 일치 결과만으로 상기결과를 출력하지 않고 과거의 일치결과도 고려한 상태에서 출력을 결정하는 시스템이다. 또한 과거의 일치결과가 현재의 출력에 주는 영향의 정도를 시간축 방향으로 하중을 설정하여 변화시킴으로써 처리 대상이 되는 정보에 대해서 시간적인 의미(시간 가중)를 갖게 한다.

## 2. 연상기억의 개요

연상기억 시스템은 미리 기억하고 있는 패턴 중에서 입력된 패턴과 일치하거나 혹은 가장 유사한 패턴을 출력하는 기능을 갖는 시스템이다.  $n$  비트의 입력패턴  $X$  와 출력패턴  $Y$ 를 다음과 같이 둔다.

$$\begin{cases} X=(x_1, x_2, \dots, x_n) \\ Y=(y_1, y_2, \dots, y_n) \end{cases} \quad (1)$$

이때  $((X^{(1)}, Y^{(1)}), \dots, (X^{(P)}, Y^{(P)}))$ 와 같이  $P$ 개의 입출력 패턴의 쌍에 대해서 입력패턴 가운데 어느 하나를 시스템에 입력한 경우, 이에 대응하는 출력패턴(즉  $X^{(k)}$ 에 대해서는  $Y^{(k)}$ )이 나오도록 입출력패턴을 기억하는 것을 연상기억이라 한다. 기억하는 입력패턴과 출력패턴의 쌍이 일치하는  $(X^{(k)} = Y^{(k)}, k=1, 2, \dots, P)$  연상기억을 자기상관기억이라 하며 다른 것을 연상해내는 것을 상호상관기억이라 부른다. 이것은 바꾸어 말하면 부분적으로 결여된 혹은 잘못된 것을 포함하는 정보로부터 시스템이 무엇인가를 생각해내는 기능이라고도 할 수 있고 혹은 지적정보처리의 일종이라고도 할 수 있다. 연상기억은 인간 등, 생체의 기억에 있어서도 나타나며 생체에 있어서 행동을 결정하는데 중요한 역할을 하고 있다고 알려져 있다. 예를 들면 어떤 일에 대해서 질문을 받았을 때 그것에 관한 에피소드 등을 답하는 것이라든지 화상의 일부를 보고 그것이 무엇인지를 답하는 등의 일을 들 수 있다.

## 3. 시간 가중 연상기억 모델

생체가 현재의 행동을 결정하는데 중요 요인이 되는 것은 현재 외계로부터의 정보와 과거의 기억에 근거하는 것으로 생각할 수 있다. 또한 과거의 기억이 현재의 행동 결정에 부여하는 영향의 정도는 그 행동의 질과 시간 등

이 관계된다. 따라서 본 연구에서는 시계열정보의 연상기억에서 현재 정보와의 일치결과만으로 출력(상기결과)을 결정하는 것 외에 과거의 일치결과도 고려한 상태에서 출력을 결정하는 시스템을 제안한다. 나아가서 과거의 일치결과가 현재의 출력에 주는 영향의 정도를 시간축 방향으로 하중을 설정하여 변화시킴으로써 해당 정보에 대해서 시간적인 의미를 갖게 한다.

제안하는 모델은 다음과 같다. 지금 시스템으로 입력되는 패턴의 계열을  $X$ , 출력패턴의 계열을  $Y$  그리고 메모리상의 기억값을  $\hat{X}$ 로 둔다. 그리고 출력은 현재로부터  $k$ 만큼 이전까지의 입력의 영향을 받는 것으로 한다.

$$\begin{cases} X=(x_1, x_2, \dots, x_n) \\ Y=(y_1, y_2, \dots, y_n) \end{cases} \quad (2)$$

$$\hat{X} = \begin{bmatrix} \hat{x}_{1,1} & \hat{x}_{1,2} & \dots & \hat{x}_{1,n} \\ \hat{x}_{2,1} & \hat{x}_{2,2} & \dots & \hat{x}_{2,n} \\ \vdots & \vdots & \ddots & \vdots \\ \hat{x}_{p,1} & \hat{x}_{p,2} & \dots & \hat{x}_{p,n} \end{bmatrix} \quad (3)$$

여기서  $n$ 은 계열의 길이이며  $P$ 는 기억패턴의 수를 나타낸다. 시각  $t$  ( $0 \leq t \leq n$ )에 있어서 각 기억패턴의 내부 상태함수  $u_{i,t}$ 는 아래와 같이 정의하며  $W$ 는 시간축 방향의 하중을 나타낸다.

$$u_{i,t} = \sum_{j=0}^{t-1} W_{-j} \cdot |x_{t-j} - \hat{x}_{i,t-j}| \quad (1 \leq i \leq P) \quad (4)$$

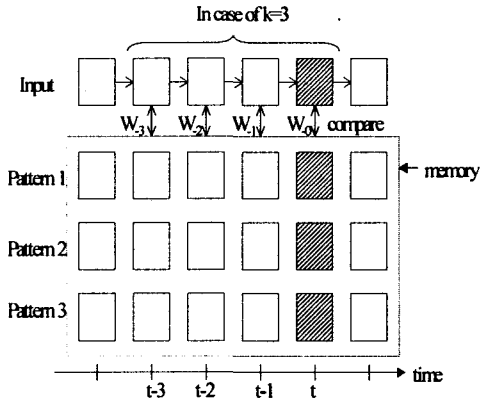
각 기억패턴의 내부 상태함수  $u_{1,t}, u_{2,t}, \dots, u_{p,t}$  가운데 최소값을 갖는 패턴번호를  $\alpha$ 로 두면

$$u_{\alpha,t} = \min(u_{1,t}, u_{2,t}, \dots, u_{p,t}) \quad (5)$$

으로 표현되며, 이때 시각  $t$ 에 있어서 시스템 출력  $y_t$ 는

$$y_t = \hat{x}_{\alpha,t} \quad (6)$$

가 된다. 그림 1은  $k=3$ 인 경우의 시간적 가중을 갖는 연상기억시스템의 개념을 나타낸다. 여기서 시각  $t$ 에서의 출력은  $(t-3)$ 에서 현재까지의 입력에 대한 내용과 메모리상의 기억 패턴을 비교하여 결정한다.



<그림 1> 시간가중 연상기억시스템:

시각  $t$  에 있어서 출력은  $(t-3)$ 에서 현재까지의 입력의 기억정보와 메모리상의 기억값의 일치도를 구하여 결정

#### 4. 시뮬레이션

여기서는 제안된 시간 가중 연상기억 모델의 시뮬레이션 결과에 대해서 설명한다. 시뮬레이션 조건으로는 계열의 길이  $n=1000$ , 기억패턴의 수  $P=5$ , 그리고 고려하는 과거 계열의 수  $k=10$ 으로 한다. 또한 각 패턴마다의 거리  $d$  를 아래와 같이 정의한다.

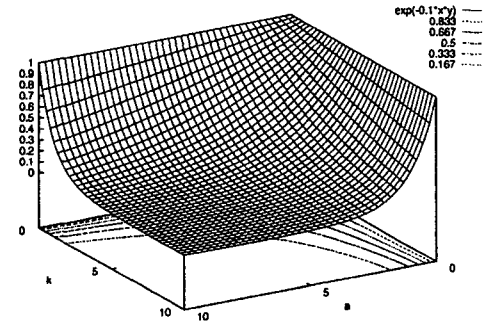
$$d(\Phi, \Psi) = |\Phi - \Psi| = \sqrt{\sum_{i=1}^n (\phi_i - \psi_i)^2} \quad (7)$$

$$\begin{cases} \Phi = (\phi_1, \phi_2, \dots, \phi_n) \\ \Psi = (\psi_1, \psi_2, \dots, \psi_n) \end{cases} \quad (8)$$

시간축 방향의 하중  $w_{a,j}$ 는 변수  $a$ 를 비선형 파라미터로 하여 식 (9)와 같이 정의한다. 이 하중은 시간적으로 과거의 것일수록 값이 작아지며 먼 과거의 것은 망각하는 의미를 갖는다. 여기서 하중값을 적절하게 설정할 수 있으면 시스템의 기억용량이나 여러 정정 능력의 향상이 기대되지만 현 단계에서는 우선 기본적인 능력을 조사하기 위하여 문제를 단순화하여 시뮬레이션을 수행한다.

$$w_{a,j} = \exp(-0.1 \times a \times j), \quad (0 \leq j \leq k, \quad 0 \leq a) \quad (9)$$

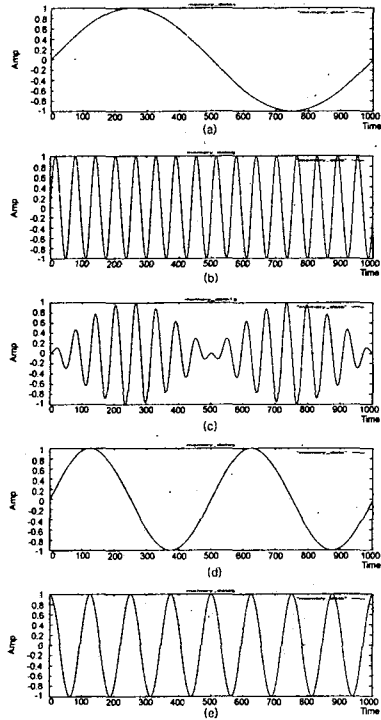
연상능력을 조사하기 위하여 기억패턴 중의 하나를 선택하여 이것에 노이즈를 부가함으로써 기억된 패턴과 과거의 이력  $k$ 의 거리를 변화시킨 것을 입력패턴으로 이용한다. 또한 하중값의 비선형에 의한 영향을 조사하기 위하여 비선형 파라미터  $a$ 를 변화시킨다. 그림 2는 과거의 이력  $k$ 와 비선형 파라미터  $a$ 의 변화에 대한 시스템의 하중값  $w$ 의 분포를 나타낸다.



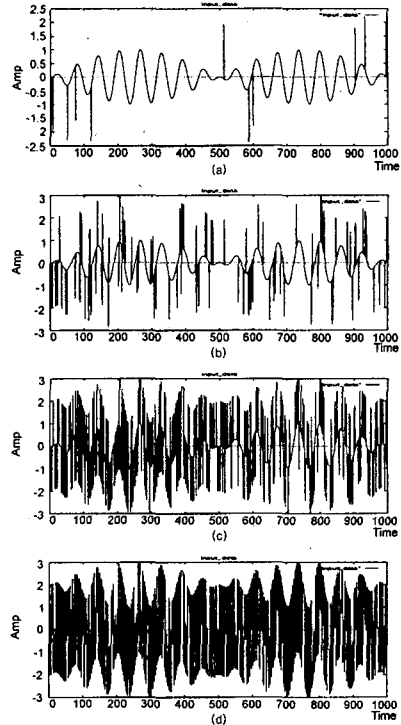
<그림 2> 과거의 이력  $k$ 와 비선형 파라미터  $a$ 의 변화에 따른 시간가중 연상기억시스템의 하중값  $w$  분포 시스템의 기억패턴으로는 그림 3에 나타난 5종류의 패턴을 이용하며, 각 기억패턴 간의 거리는 표 1과 같다.

<표 1> 각 패턴간의 거리

	패턴 a	패턴 b	패턴 c	패턴 d	패턴 e
패턴 a	0	31.63	27.39	31.63	31.62
패턴 b		0	27.39	31.63	31.62
패턴 c			0	27.39	27.38
패턴 d				0	31.62
패턴 e					0



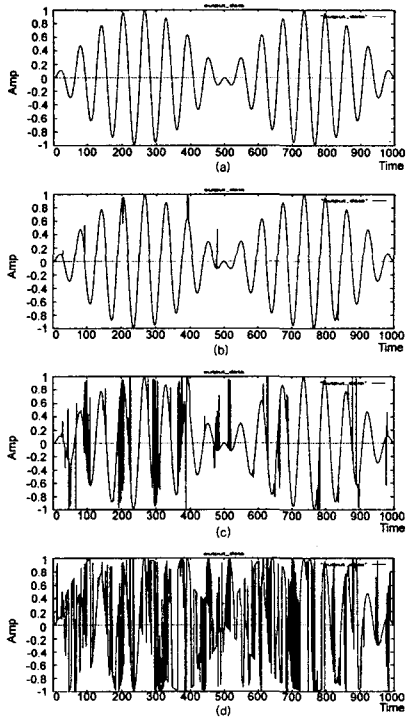
<그림 3> 기억패턴 (a)-(e)



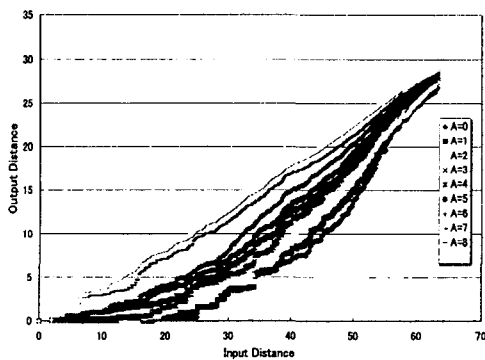
<그림 4> 입력패턴

(a)  $d=6.32$  (b)  $d=20$  (c)  $d=40$  (d)  $d=56.56$

입력패턴으로는 그림 4에 나타난 것과 같이 그림 3에서의 기억 패턴 (c)에 노이즈를 부가한 것을 이용한다. 비선형 파라미터  $a=2$ 인 경우의 출력 패턴을 그림 5에 나타낸다. 그림 4와 그림 5에서  $d$ 의 값은 그림 3에서의 기억패턴 (c)와의 거리를 식 (7)을 이용하여 구한 것을 나타낸다. 시뮬레이션 결과로부터 입력패턴의 거리  $d=14$ 까지 거의 완전히 상기에 성공하는 것을 알 수 있다. 입력의 거리가  $d=28$ 인 경우에도 완전히 상기는 되지 않으나 기억패턴에 가까운 출력패턴을 상기하고 있다. 그림 6은 입력패턴의 거리를 연속적으로 변화시킨 경우에 출력패턴의 거리 변화를 비선형 파라미터  $a$ 의 함수로 나타낸 것이다. 결과로부터  $a=0$ 인 경우에 가장 상기 능력이 높고  $a$ 가 증가하여 비선형성이 강하게 되면 상기능력이 저하되는 것을 알 수 있다. 이유로는  $a$ 가 증가되어 시간축 방향에 대한 하중의 비선형성이 강하게 되면 등가적으로  $k$ 가 작아지는 것과 같다. 따라서 시스템이 판단하기 위한 정보의 양은 작아지므로 상기 오류가 일어나기 쉽게 되기 때문이다.



<그림 5> 출력패턴(a=2인 경우)  
(a) d=0 (b) d=1.06 (c) d=9.31 (d) d=22.84



<그림 6> 비선형 파라미터 a의 변화에 따른 시스템의 연상기억 능력

## 5. 결론

종래의 정적인 디지털 패턴 매칭을 행하는 연상메모리와는 달리 아날로그의 시계열정보를 직접 처리하여 시간축 방향으로 하중을 설정함으로써 강인성이 뛰어난 연상 기억시스템을 제안하였다. 시스템의 기본적인 능력을 조사하기 위하여 기억패턴을 주기계열로 하고 하중은 전부 고정하는 조건으로 단순화하여 시뮬레이션을 행하고 오류정정 능력을 갖는 것을 확인하였다. 시간축 방향의 하중을 적절하게 설정하면 기억용량의 증대나 상기 오류의 저감 등의 효과가 기대된다. 향후 동화상이나 음성 등의 아날로그 시계열정보를 직접 처리할 수 있는 시스템 실현을 위한 하드웨어 구성 등의 연구에 응용함으로써 실시간 인식 처리에 유효하다.

## 참고 문헌

- [1] T. Ogura, J. Yamada, and M. Tanno, "A 20Kbit Associative Memory LSI for Artificial Intelligence Machines," IEEE Journal of Solid State Circuits, vol. 24, no.4, 1989.
- [2] T. Miwa, H. Yamada, Y. Hirota, T. Sato, and H. Hara, "A 1Mb 2-Transistor/bit Nonvolatile CAM Based on Flash-Memory Technologies," IEEE ISSCC'96 TP 2.5, 1996.
- [3] T. Hanyu, M. Arakai, and M. Kameyama, "Design and Evaluation of a 4 Valued Universal Literal CAM for Cellular Logic Image Processing," IEICE Trans. Electronics, vol.E80-C, no.7, 1997.
- [4] S. Nakano, Fundamentals of Neuro-Computer, Corona, 1990.
- [5] Y. Mori, P. Davis and S. Nara, "Pattern retrieval in an asymmetric neural network with embedded limit cycles," Journal of Phys., A22, L525-532, 1989.
- [6] D. Kleinfeld, "Sequential State Generation by Model Neural Networks", Proc. Natl. Acad. Sci. USA, no.83, pp.9469-9473, 1989.

[7] K. Nowara and T. Saito, "Guaranteed storing of limit cycles into a discrete-time asynchronous neural network," IEICE Trans. on Fundamentals, vol.E75-A, pp.1579-1582, 1992.

[8] S. Nara, P. Davis, and H. Totsuji, "Memory search using complex dynamics in a recurrent neural network model," Neural Networks, vol.6, pp.963-973, 1993.

[9] M. Morita, "Associative memory of sequential pattern using nonmonotone dynamics," IEICE Trans., vol.J78-D11, pp.679-688, 1995.

[10] Y. Hayashi, "Oscillatory neural network and learning of continuously transformed patterns," Neural Networks, vol.7, pp.219-231, 1994.

[11] C. Y. Park, Y. Hayakawa, K. Nakajima and Y. Sawada, "Limit cycles of one-dimensional neural networks with the cyclic connection matrix," IEICE Trans. Fundamentals, vol.E79-A, no.6, pp.752-757, 1996.

[12] C. Y. Park, and K. Nakajima, "Analog CMOS Implementation of Quantized Interconnection Neural Networks for Memorizing Limit Cycles," IEICE Trans. Fundamentals, vol.E82-A, no.6, pp.952-957, 1999.

1997년~현재 대구대학교 정보통신공학부 조교수  
<주관심분야> 신경회로망을 이용한 지능정보처리  
신경회로망 VLSI 설계 및 신개념 지능형 소자 개발



박철영 (Cheol-Young Park)

1984년 경북대학교 전자공학과  
졸업(공학사)

1986년 경북대학교 전자공학과  
졸업(공학석사)

1997년 일본 동북대학 정보과학  
연구과 졸업(공학박사)

1985년~1990년 (주)금성사 중앙연구소 근무

1991년~1993년 (주)금성사 영상미디어연구소 근무

1993년~1997년 LG전자 멀티미디어연구소 근무

(책임연구원)