

반도체 공정 overview

서 정 현

한국반도체산업협회 상근부회장

I. 서 론

반도체의 기술을 정확히 예측하고 투자를 판단하는 것은 백사장에서 바늘을 찾는 것처럼 어려운 일일 것이다. 그러나, 전자산업 및 IT 산업의 근간을 이루는 반도체 기술은 호황, 불황의 물결이 교대로 반복되는 실리콘 사이클을 겪으며 성장하고 있을 뿐 아니라 막대한 투자를 필요로 하기 때문에 정확한 기술 예측을 필요로 한다. 2000년의 반도체 시장은 PC나 휴대전화, 네트워크 기기 등의 IT 관련 기기의 수요 확대에 힘입어 활황이었지만 IT 시장의 버블 파괴와 PC 시장의 침체에 의해 2001년의 반도체 시장은 급냉으로 선화함에 따라 실리콘 사이클의 하향 국면으로 접어들게 되었다. 그러나, 실리콘 사이클이 지켜진다는 원리(?)를 깨닫고 각 반도체 메이커는 코스트 절감, 시장투입까지의 개발 기간 단축, 디바이스의 성능 향상에 힘 쏟고 있는 상태이다.

반도체의 미세화는 곧 경쟁력이라는 인식하에 해마다 가속화되고 있는 반도체의 기술개발은 디바이스의 구조와 공정뿐 아니라 신재료, 검사, 측정 및 관리 기술까지 심화되고 있고, 300mm 웨이퍼를 이용한 양산도 본격화될 전망이다. ITRS (International Technology Roadmap for Semiconductor)에 따르면 Process Node는 2004년에 90nm에 돌입할 것으로 예측되고 있어서 2002년 경에는 0.1um, 나아가서는 post 0.1um 프로세스로의 이행을 향한 기술 개발이 진행될 것이라고 한다.

디바이스와 프로세스 기술에 관해서는 트랜지

스터와 노광기술은 0.1um 시대를 경계로 기술 혁신이 필요한 부문으로 인식되고 있으며 배선 기술은 디바이스의 고속화와 저소비 전력화를 위하여 배선지연의 단축이 목표로 될 것이다. Technology driver가 종래의 DRAM에서 System-LSI로 바뀌게 됨에 따라 0.1um 기술 그 자체 뿐 아니라 SOC(System-On-a-Chip) 응용기술을 목표로 하게 되었고, 이러한 반도체의 미세화는 프로세스 기술의 세대 교체가 종래의 3년에서 최근에는 2년으로 단축됨에 따라 0.13um 시대가 2001년에 도래하게 되었다.

본 기고에서는 현재의 위치에서 반도체 주요 공정이 되는 노광기술과 식각, 배선기술 및 트랜지스터 형성 기술에 대한 동향을 살펴보기로 한다.

II. 부문별 기술 동향

노광기술은 248nm KrF 엑시머 레이저 노광 장치의 개구수(N.A)를 높이고 광학계의 완성도를 향상시킨 스캐너 장치에 초해상기술(RET)을 병용함에 따라 0.13um 프로세스까지 연장될 가능성이 나옴으로써 0.18um 이후의 미세화가 가속되고 있고, 0.1um향 노광 기술은 파장 193nm인 ArF 엑시머 레이저 노광 기술에 초해상 기술을 접목시킨 기술을 주력으로 사용하게 될 가능성이 가장 높다. 이러한 노광기술의 개발 방법은 화학적 기계 연마법(CMP)에 의한 평탄화 기술이 도입됨에 따라 실험 주체에서 Simulation 주체로 이행되게 되었는데, Simulation을 많이 사

용함으로써 Phase Shift나 변형조명, 광근접 효과 보정(OPC) 등의 해상도를 올릴 수 있는 각종 요소기술을 조합한 노광기술이 양산개시 시기에 맞출 수 있게 되었다. 노광기술의 개발 방법이 Simulation 주체로 이행된 것은 제한된 개발 기간 내에 최적 조건을 찾아내기 위한 필요성과 함께 CMP 기술을 도입함에 따라 Simulation 결과와 실제 노광 결과가 일치하였기 때문에 미세화 및 개발기간 단축이 가능하게 되었다. 그러나 ArF용 resist의 성능 향상과 mask 묘화 정도의 향상이 필수적으로 따라야 하는데 특히 ArF resist는 내etching성 뿐 아니라 내환경성 등 품질 보증면에서도 개선이 요구된다. 차세대 노광 기술(NGL)은 완성도가 떨어져 어떤 기술이 선택될지 아직 불분명하나 제조 코스트 부담이 가장 큰 관건이 될 것이며, 광의 한계에 도달 하여 사용하게 되는 157nm 파장의 F₂ 엑시머 레이저 노광 기술은 ArF 보다 한층 더 높은 기술 장벽에 따른 기하급수적인 제작 비용으로 인하여 0.1um 이하의 시대에는 드디어 광의 한계에 도달하게 될 것이다. 그러나, 분해능 향상을 위한 초해상기술과 Phase Shift 기술, 보조 pattern 등의 Mask 기술을 ArF 노광 기술에 구사하면 70nm 분해능을 요구하는 프로세스까지 대응할 수 있을 것으로 보인다.

Etching 분야에서 가장 핵심이 되며 중요한 기술은 oxide etching으로써 Front-end에서 Self-align contact(SAC) 형성을 포함한 고 aspect비의 contact hole 형성이다. 이를 위하여 선택비를 확보하는 것이 가장 큰 관건이 되며, 프로세스에 사용하는 원료 가스의 파밍 해리를 제어함으로써 0.1um 이하의 작은 contact의 입구가 막히거나 etching이 도중에서 멈춰버리는 stopping 현상을 해결해야 한다. 이 외에도 contact hole의 profile을 정확히 제어할 수 있어야 하는 등 생산성 관점에서 개선하여야 할 것이 있다. Back-end에서는 Damascene 형성과 low-k막 재료의 가공이 주요 기술이 될 것이며, AI 배선 분야에서는 좁은 pitch를 갖는 AI 배선 형성을 위한 resist 선택비와 패턴의 밀도 차이

에 의한 loading이 문제가 된다. SOC 기술에서 반드시 필요한 low-k막 중에서 유력한 후보인 유기계 low-k막은 내열성, 내산소 Plasma성, Resist를 사용할 수 없는 점에서 문제가 되지만 유기막이 노출된 상태에서는 Ashing이 불가능하므로 유기막의 etching시 resist를 남기지 않고 etching 해야만 하는 것이 최대의 과제라 할 수 있다. 또한 커패시터 재료에 고/강유전체가 도입될 경우 하부 및 하부전극의 형성이 metal etching에서 큰 문제로 부상할 것으로 예상되며 게이트용 Poly-Si etching은 wafer내의 CD(Critical Dimension) 산포제어와 Logic 대응 초고선택성 가공이 문제로 지적된다. Etching 가공의 과제는 시대의 흐름에도 불구하고 여전히 가공 형상의 제어, Micro-loading의 최소화, 가공의 안정성 등을 요구받고 있으며, 패턴이 미세화됨에 따라 플라즈마 중의 이온이나 전자의 에너지를 매우 낮게 억제하여 챔버의 측벽재료로부터의 금속오염이나 기판 손상을 완전히 방지할 수 있는 소위 damageless etching 기술이 요구된다. 또한 etching 기술은 디바이스의 구조에 크게 의존하므로 FeRAM, MRAM 등의 새로운 개념의 디바이스 개발을 위해 또 다른 차원의 도전을 받고 있다.

Tr. 기술에서는 휴대 정보 단말향 System-LSI가 부상하게 됨에 따라 고속화와 저소비전력화가 요구되고 있어서 leakage 전류 억제가 가장 큰 기술 장벽으로 보이며, 미세화에 따른 short channel 효과의 억제 또한 주요 과제로 등장하였다. 이를 위하여 접합깊이를 얇게 하는 저에너지 이온 주입 및 열처리 기술, 고유전율 게이트 절연재료, metal 게이트 전극 재료 등의 개발이 이루어지고 있으며, 이와 더불어 미세화에 따른 STI(Shallow Trench Isolation)의 매몰은 고밀도 플라즈마 방식의 CVD 산화막으로 채우고 있으나 곧 한계에 이르게 되어 프로세스 마진을 넓힐 수 있는 새로운 공정 방식의 매몰 기술이 필요하게 된다. 또한 소오스, 드레인 구조의 개선과 아울러 채널 불순물 분포의 최적화도 달성해야 할 분야이다. 여러 기술 중에서도 게이트

길이의 미세화가 가장 앞서가고 있으며 2001년 VLSI Technology 학회에서 7Å의 게이트막 등가두께(Equivalent oxide thickness)를 갖는 35nm의 트랜지스터가 발표된 바 있으나 일반적인 견해로는 기존의 SiO₂로는 대응할 수 없어 SiON을 거쳐 궁극적으로 Al₂O₃, HfO₂, Silicate 나 Aluminate 등의 고유전 재료가 사용될 것이다. 이들 신재료는 대부분 세라믹으로 사용되는 재료로서 세라믹과 금속의 계면 제어 기술이 요구됨에 따라 Band Engineering이 더욱 중요하게 된다. 고유전막이나 강유전체 막 중에는 10E²⁰/cm³의 Acceptor 불순물이나 Donor 불순물이 존재하고, 이에 따라 산소 결손 생성이 발생함에 따라 유전체 막의 Band 구조, Barrier Height 및 Trap 준위가 변하게 되며 이에 따라 계면 근방의 공핍층 상태도 변하게 된다. 따라서 leakage 전류, 절연 파괴 특성, 유전성 등에 영향을 미치게 되므로 박막 성장 프로세스와 박막 구조의 제어, 접합계면 형성에 따른 전기적 특성 제어, 박막의 신뢰성 및 프로세스에 의한 손상 제어 등이 필요하게 된다.

DRAM의 scaling은 커패시터 용량을 확보하기 위하여 커패시터 절연막의 박막화와 커패시터의 표면적 증대를 위한 셀의 3차원화에 의존해 왔는데 0.1μm 이후에는 셀 트랜지스터의 접합 leakage 전류를 무시할 수 없게 되어 Tr.의 scaling도 어려워진다. 이 문제를 해결하기 위하여 Tr. 구조를 개량해서 접합 leakage를 개선하거나 커패시터 용량을 늘리는 방법이 있는데, 대부분의 DRAM 메이커는 High-k막을 사용해서 커패시터 용량을 향상하는 방법을 택하고 있다. High-k막의 재료로는 Ta₂O₅를 위시하여 Al₂O₃, SrTiO₃ 등의 재료가 연구되고 있으며, 게이트 절연막에 사용할 목적으로 개발되고 있는 Silicate, Aluminate, HfO₂ 등의 재료도 후보로 거론되고 있다. 이를 형성하기 위한 방법은 종래의 CVD 방법이 주로 사용되고 있지만 최근 저온에서 형성이 가능한 원자층 증착법(ALD)이 Si 메모리 분야에 도입된 이후 활발히 연구되고 있다.

다층 배선에서는 디바이스의 고속화를 위하여 배선 저항 감소와 용량 감소의 양립이 필요불가결 해지는데 저항 감소를 위한 Cu 배선은 특히 High-end의 로직 디바이스에서 배선 프로세스의 해결책으로서 정착되고 있으나 층간 절연막의 용량감소는 F을 SiO₂에 doping 시킴으로써 유전상수를 3.7 근방까지 낮춘 FSG(Fluorine-Doped Silicate Glass)를 사용하고 있으며 F을 효율적으로 SiO₂에 결합시키기 위하여 고밀도 플라즈마 장치를 사용한다. 그러나 3.0 이하의 Low-k막 개발이 아직 확립되지 않아 미확립 과제로 남아있는 상태이며, 특히 2.5 이하의 low-k막은 더욱 큰 과제로 남아 있다. 수소화 Siloxane(HSQ)계 재료, 유기 폴리머계, 다공질 재료 등을 꼽을 수 있지만 아직 어느 것이나 만족할 만한 수준에는 도달하지 못하고 있고 실용화는 Cu 배선에 뒤질 가능성이 높다. 특히, 하지 SiO₂와의 밀착성, 기계적 강도와 내열성, resist와의 에칭 선택비 등의 문제가 산적해 있을 뿐 아니라 ashing 공정을 거치면 low-k막의 실효 유전율이 상승하거나 수축되어 버리는 문제가 생기므로 Cu/low-k 프로세스의 현실적인 대안을 만들어 주변 프로세스와의 Integration을 어떻게 하느냐가 가장 큰 관건이 된다. 이에 반하여 DRAM, Flash, SRAM 등의 전력 소모가 적은 디바이스에는 여전히 Al 배선이 사용되며 기존의 W-Plug 기술보다 코스트가 저렴한 CVD-Al 기술을 도입하려는 움직임이 보인다.

Integration시 필수적으로 사용되는 CMP 기술은 이상적인 평탄화 표면을 얻을 수 있기 때문에 UV 노광시 초점 심도(DOF)를 확보하기 위한 기술로 사용될 뿐 아니라 다층배선에 필수적으로 사용된다. CMP 기술은 산화막 CMP와 Metal CMP로 분류할 수 있으며, Metal CMP 기술은 contact hole에 텅스텐 등의 금속을 매몰한 후 CMP하는 Plug-CMP 공정과 배선 부분이 될 Trench에 금속을 매몰한 후 CMP를 하여 Trench 내에 metal을 남기고 배선을 형성하는 damascene 공정으로 나뉘어진다. 이러한 CMP 기술은 Dishing이나 Erosion이라 부르는

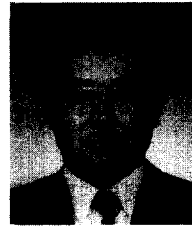
패임(凹)현상이 발생하며, Low-k막의 CMP 가능성 여부, 연마 도중에 발생하는 스크래치 현상이나 연마제의 잔류 등의 문제가 있고, 또한 CMP 부품 재료의 품질 안정화와 소모성 재료의 코스트(COC) 삭감 등의 생산기술적인 관점까지 해결해야 한다.

그러나 앞에서와 같이 프로세스의 중요성을 논의하였지만 간과하기 쉬운 분야가 검사, 계측 기술로서 ITRS에 따르면 프로세스는 2005년 이후, 100nm node 이후에 보이지 않는 벽이 나올 것이라고 하는데, 검사 및 계측 분야는 타 분야에 비하여 그 벽이 더욱 빨리오게 된다. 따라서, 이 벽을 넘어서는 기술을 개발하지 않으면 안되는데, DUV를 광원으로 하는 결함 검사 설비와 고속·고분해능의 전자빔에 의한 결함 검사 기술이 필수적일 것으로 보고 있으며, 또한 고속의 AFM 기술을 이용한 CD 계측을 위시하여 트랜지스터의 절연막을 0.05nm 해상도로 고속 측정하는 기술도 필히 확보되어야 할 것이다.

III. 결 론

0.13um급 이하의 디바이스를 개발하는데 있어서 필요한 주요 기술을 살펴보았으며, 0.1um의 벽을 뚫고 나아가기 위해서는 종래 기술의 연장선상에서 구현하는 것도 큰 과제일 뿐 아니라 혁신적인 기술에 의해 완성시켜야만 과거 20년간 급성장해온 반도체 기술의 성장속도가 유지될 것이다. 이를 위하여 앞에서 언급한 기술 이외에도 SOI 기술이나 수직 트랜지스터와 같은 신 구조, 고유전 재료, SiGe와 같은 신 재료도 사용될 것이다. 또한 언급이 되지 않았지만 프로세스의 모듈화와 부분 세정기술, 300mm wafer의 edge 처리기술은 검사, 계측 기술과 더불어 반드시 해결되어야 할 0.1um 시대의 양산 기술이다.

저 자 소 개



徐 靖 憲

1943년 1월 20일생, 1966년 2월 경희대 법과(14회 졸업), 1969년 2월 서울대 행정대학원 석사, 1996년 6월 미국 워싱턴 주립대학 로스쿨 수료, 1971년 10월~1990년 3월: 상공부(현 산업자원부) 사무관, 과장, 1990년 4월~1999년 3월: 특허청 심판소장, 관리국장, 1999년 3월~현재: 한국반도체산업협회 상근부회장, <주관심 분야: 지적재산권(IP)>