

## Dry Etch 기술 동향 및 전망

김진웅

하이닉스반도체 메모리연구소

### I. 머리말

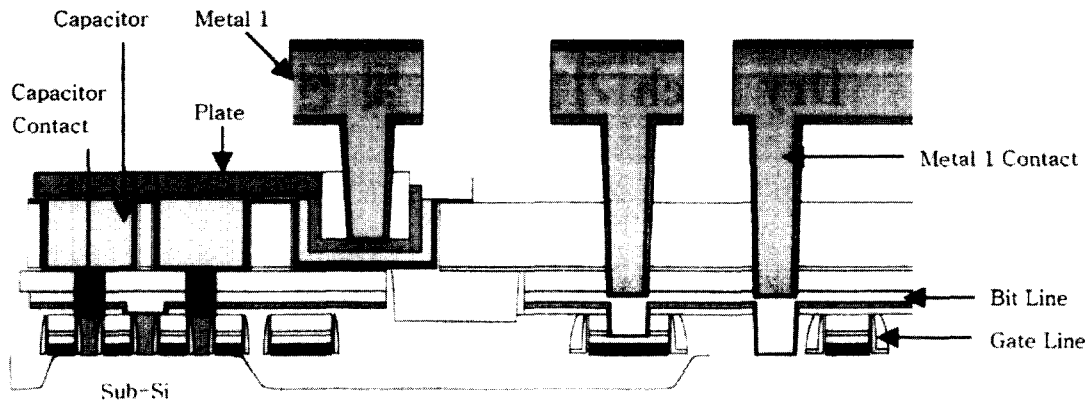
반도체 공정이 Deep Sub Micron 시대로 접어들면서 Dry Etch 기술은 상상을 초월할 만큼 난 기술로 자리매김하고 있으며, 과거에 사용되었던 많은 기술과 개념이 하루가 다르게 변하고 있다고 할 수 있다. Dry Etch란 주요 반도체 공정 중 하나로 Plasma를 사용해서 원하는 박막(Layer)을 식각하는 공정으로, 우리 말로는 건식 식각이라고 부른다. 반도체 소자의 미세화에 따라 기존에 Dry Etch 기술들은 꾸준히 발전에 발전을 거듭해서 많은 난관을 극복하면서 오늘에 이르고 있다고 할 수 있다. 최근 0.1um 이하의 미세패턴을 구현하기 위해서 Lithography(앞장 설명) 기술도 많이 발전해 왔으며, 원하는 미세패턴을 Photo Resist(PR)을 사용해서 형성할 수 있게 되었지만 기술상의 어려움으로 PR 두께는 과거에 비해서 현저히 낮아지게 되었다. PR를 식각 Mask로 사용해서 PR이 없는 부분만 식각 해야 하는 Dry Etch 기술에서는 식각하는 동안 PR이 남아 있어야 원하는 패턴이 완성되므로 PR에 대한 고 선택비(식각 되는 물질의 식각 속도와 식각 되지 않아야 할 Mask 물질의 식각 속도 비)가 어느 때 보다도 중요하게 요구되고 있다. 또한 미세패턴이 요구되면서 기존에 비해서 훨씬 복잡하고 어려운 구조를 형성해야 되는 상황뿐만 아니라 신규 물질들이 속속 도입되면서 기존에 장비나 Dry Etch Concept으로는 원하는 패턴을 식각할 수 없는 일도 종종 발생한다. 이와 같이 나날이 어려워져 가는 반도체

Dry Etch 기술에 대하여 Dynamic Random Access Memory(DRAM) 소자 구조 형성을 중심으로 설명하면서, 기존 기술과 비교해서 Dry Etch 기술 동향을 파악하고 미래에 대해서 전망해 보는 것은 의의가 크다고 할 수 있다.

### II. 본 론

여러 반도체 소자 제조 공정 중 특히 DRAM(1 Transistor와 1 Capacitor로 1 Bit를 형성하는 단순한 구조가 고집적 되어 만들어지는 기억소자)과 관련하여 다양하고 복잡한 Dry Etch 공정들이 개발 되어 오면서 패턴 크기나 공정 난이도에 따라 다양하게 변형되었거나 발전되어 왔다. <그림 1>에 그 대표적인 DRAM Structure를 제시하였는데, 이를 기준으로 Dry Etch 기술이 사용되는 곳에 대해서 먼저 설명하겠다.

DRAM 제조 공정에서 가장 먼저 시작하는 공정은 소자의 작동 영역과 소자간 분리 역할을 담당하는 영역을 구분하는 Isolation 공정이다. 현재 256M 혹은 512M/1G DRAM 제조 공정에 가장 많이 사용되고 있는 Isolation 공정은 <그림 1>과 같은 Si-Substrate를 깊게 파는 STI(Shallow Trench Isolation) 공정으로 STI Etch 공정이 요구된다. 다음으로 Transistor 형성을 위해 Implantation 공정을 이용하여 Well 및 Junction들을 형성한 후 Gate Line/Bit Line을 Patterning하게 된다. 현재 가장 넓게 사용되는 Gate 구조는 Tungsten Silicide(이



〈그림 1〉 대표적인 DRAM 개요도

하 Wsix)/Poly Cristal Silicon(이하 Poly-Si) 박막의 중첩이며 현재 제조 및 판매되는 제품의 대부분을 차지하고 있다. Bit Line 경우는 주로 WSix/Poly-Si이나 W(Tungsten)이 그 Technology 수준에 따라 적용되고 있으며 그 형성 이전에 Bit Line이 Junction 부분과 연결되는 Bit Line Contact이 필요하게 되고 관련된 Gate/Bit Line/Contact Etch 공정이 요구된다. 다음으로 Bit Line 위에 Capacitor가 형성되는데 〈그림 1〉과 같이 Capacitor가 Bit Line 위에 형성되므로 COB(Capacitor Over Bit Line) 구조라 하고, 이와 같은 구조가 현재 가장 광범위하게 사용되고 있어 위에 제시하였다. Capacitor 구성은 현 제품 단계에서는 Poly-Si/Dielectric/Poly-Si 구조가 가장 많이 사용되고 있는데, 이 중에서도 Dielectric은 Oxide/Nitride/Oxide( $\text{SiO}_2/\text{Si}_3\text{N}_4$  혹은  $\text{SiN}/\text{iO}_2$ ) 구조와 그 제시한 각각의 Material이 가장 많이 사용되고 있으며 이를 특히 ONO 구조라 한다. 역시 이러한 Capacitor도 이를 Junction과 연결할 Capacitor Contact이 필요하며, Capacitor를 형성하기 전에 우선 형성을 하게 되고 관련된 식각 공정들이 개발되어 있다. 다음으로 만들어진 개개 소자의 Interconnection 공정이 필요하게 되고, 관련된 식각 공정으로는 Metal Contact 식각 및 Metal Line 식각 등이 있다. 이상의 간단한 설명에서 알 수 있듯이 기본적인

DRAM 제조 공정 곳곳에 Dry Etch 공정이 사용되고 있음이 파악되었을 것으로 생각된다. 이제부터는 이런 기초 지식에 기반으로 현재 진행되고 있는 새로운 기술 동향이나 애로사항에 대한 개선 기술 등을 설명하고자 한다.<sup>[1],[2],[3]</sup>

### 1. High Selectivity(고 선택비) Etch Process

식각 공정에서 선택비란 동시에 Plasma에 노출되어 식각되는 박막(layer) 간의 Etch Rate의 비율을 말한다. 고 선택비 식각 공정은 위에서 설명한 대부분의 Etch Step에서 필요로 하나, 그 중에서도 가장 중요한 Line & Space Patterning 공정인 Gate Line 형성 공정과, Contact 형성 공정 중 Hole Depth가 깊어 Aspect Ratio (Hole의 높이(Height)를 Hole Size (Width)로 나눈 값)가 큰 Metal-1 Contact (M1C) 식각 공정에 대하여 설명하고자 한다.

기존  $0.16\mu\text{m}$  Technology(최소 패턴 크기가  $0.16\mu\text{m}$ 인 경우를 말함) 반도체 제조 수준에서의 Gate Line을 식각하는 경우 Gate Oxide 박막에 대한 Poly-Si 박막의 선택비는 80:1 정도면 충분하였다. 이는 Wsix 박막과 Poly-Si 박막의 중첩으로 이루어진 Gate line 형성시 밑의 박막인 Gate Oxide가  $60\text{\AA}$  혹은 그 이상됨으로써 80:1 수준의 선택비면 WSix/Poly-Si 중첩의 Gate Line을 식각하는 과정에서 충분히

Gate Oxide가 남을 수 있기 때문이다. 이것은 또한 Poly-Si의 Etch Rate에 대한 WSix의 Etch Rate 차이가 미비하고 마치 같은 박막처럼 작용하여 Gate Oxide에 대한 WSix/Poly-Si 선택비를 하나로 생각할 수 있었기 때문이다. 그러나 최근 차세대 반도체 소자에서는 Gate Line이 W/Poly-Si 구조로 바뀌고, 그 위에 뒤에서 설명되는 Self-Align-Contact(SAC) 구조를 위해서 Hard Mask 재료로 두꺼운 Nitride(SiN, Si<sub>3</sub>N<sub>4</sub>)을 사용하게 되어 기존에 크게 문제가 되지않던 PR에 대한 고 선택비가 요구되었고, Gate Oxide도 50Å 이하로 낮아져서 식각 후 Gate Oxide가 남으려면 Gate oxide에 대한 선택비가 100:1 이상의 고 선택비가 요구되게 되었다. 따라서 PR에 대한 선택비 문제는 Hard Mask를 겸해서 해결하고 Gate Oxide 선택비는 Plasma 밀도를 올린 신규 장비로 해결하는 방법이 현재의 기술동향이다. Line & Space Etch 공정 중 Gate Line 형성 공정이 가장 까다롭다면 Contact Hole 식각 공정에서는 위에서 제시한 M<sub>1</sub>C Etch 공정이 가장 고 선택비를 필요로 한다. 그것은 Contact의 깊이는 기존과 같거나 더 깊어지지만 해당 공정에 필요한 PR은 그 두께가 더 얇아지기 때문이다. 예를 들어 기존에 20,000Å의 Contact을 1.0μm(10,000Å) 두께의 PR을 이용하여 식각한다면, 간단히 PR에 대한 Oxide 선택비가 2:1이면 기본적으로 바닥에 닿게 할 수 있을 정도다. 그러나 만약 소자의 Shrink에 의하여 Lithography 공정의 Margin이 축소되어 0.75μm 두께의 PR을 사용하게 되었다고 가정하면, 약 2.7:1의 선택비가 확보되어야 Contact을 형성할 수 있다는 것이다. 만약 기존의 공정을 그대로 사용한다면 15,000Å 정도 식각 후에 PR이 없어 Top 부분이 불균일하게 벌어지거나 Etch Stop이 발생하여 바닥까지 식각할 수 없을 것이 자명한 사실이다. 이와 같이 PR의 선택비가 부족한 경우 PR과 더불어 선택비 차이를 더욱 확보할 수 있는 Poly-Si Hard Mask를 추가한다거나, 또는 보다 개선된 PR 선택비를 확보한 신규 장비로

이를 해결하고 있다.

## 2. High Aspect Ratio Etch Process

Dry Etch 공정에서 고 선택비 공정 개발과 High Aspect Ratio 극복 공정 개발은 어느 정도 불가분의 관계에 있다고 할 수 있다. 위의 <그림 1>에서 Aspect Ratio를 설명하면 Height(line 높이, hole 깊이)를 Width(line 선포, hole size)로 나눈 비를 말하는 것으로, 일반적으로 소자의 집적도가 올라갈수록 Height는 변하지 않으면서 Width만 줄어들게 되어 Aspect Ratio가 커지게 되고 그만큼 Etch는 어렵게 되는 것이다. 동일한 PR 두께를 가지고 Aspect Ratio가 큰 구조를 식각하는 경우에 PR에 대해서 고 선택비가 요구되는 것은 앞 절에서 설명하였으며, 이와 같은 현상은 Contact Hole Pattern, Line & Space Pattern에서 동일하게 나타나는 현상이다. 또한 Aspect Ratio가 증가하면 u-Loading Effect(Etch 해야할 패턴 크기나 면적, 깊이 등에 따라 식각 속도가 변하는 현상)가 심각하게 되어 Etch Stop, Profile 변형 등의 현상이 발생한다. 이러한 현상은 Pressure, Gas Ratio 등의 공정 변수를 수정한 식각 공정 개발로 극복하려는 연구와 뒤에 설명할 식각 장비 개발로 극복하기 위한 연구가 활발히 진행중이다.

## 3. New Structure 구현

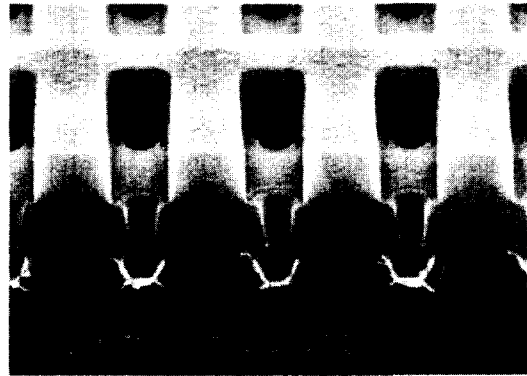
### 1) Self-Align-Contact(SAC) Etch Process

반도체 소자의 Design Rule(최소 패턴 선포)이 축소되고, 또한 Lithography 기술이 각 Technology에 주도적으로 대응하지 못하고 후발적으로 대응함에 따라 Device의 형성 개발 기간이 지연되는 것이 현실이다. 이와 같은 상황에서 Lithography 기술에서 Align Margin을 개선하기 위해 식각 공정에서 도입한 공정이 SAC Etch 공정이다. 이는 여러 가지 개념을 적

용할 수 있으나 특히 Nitride에 대한 Oxide의 선택비를 극대화 함으로써, Oxide 박막을 식각 시 Nitride 박막을 식각 Barrier 박막으로 이용하여 Nitride 박막층의 하부 소자에 Attack을 발생시키지 않고 상부 소자와 하부 박막을 연결하는 Contact을 형성하는 과정으로 이를 일반 Contact Hole Etch와 구별하여 SAC 공정이 라고 일컫는 것이다. 이와 같이 Oxide와 Nitride 선택비를 이용하여 Contact을 형성하는 경우 그 주요 Control Factor로는 Gas Chemistry와 식각 장비의 영향을 들 수 있는데, 특히 Gas Chemistry를 이용한 SAC 식각 공정의 개발이 주요한 관건이다. SAC 식각은 일반적으로 Main Etch Gas로서 C/F(Carbon과 Fluoride의 비) 비율이 높은  $C_4F_8$  Gas를 주로 사용함과 동시에  $C_5F_8$ ,  $C_4F_6$  등의 Gas도 일부 적용하거나 확장 실험을 실시하고 있는 상황이다. 그러나 이와 같은 Polymer를 유발시키는 Gas를 과다하게 사용하는 경우 Polymer가 표면에 증착되어 Etch Stop이라는 부작용이 발생할 수 있다. 이는 식각이 진행되는 과정에서 끝까지 뚫리지 않고 중간에서 Contact이 막혀있는 현상을 일컫는데, 이와 같은 부작용을 개선하기 위하여  $CH_xF_y$  계열의 Gas를 사용하여 소폭의 선택비를 올림과 동시에 Etch Stop이 발생하지 않도록 하는 개념이 주로 사용되고 있다.  $CH_xF_y$  계열의 Gas로는  $CHF_3$ ,  $CH_2F_2$  및  $CH_3F$  등이 주로 사용되고 있다. 이와 같이 SAC 식각 공정을 진행하기 위



〈사진 1〉 SAC 공정 적용결과



〈사진 2〉 Damascene 공정 적용결과

해서는 무엇보다 다양한 C-F계 및 C-H-F계의 Gas 연구가 필수적인 과제가 되어 있다. 또한 최근 소자의 집적화에 따른 소자 구조가 복잡해짐에 따라 Contact 식각 공정을 SAC 공정으로 대체할 뿐 아니라 Etch Target도 증가함에 따라 High Aspect Ratio SAC 식각 개념이 필요하므로 더욱 난해한 공정이 되고 있다.<sup>[4]</sup>

## 2) Damascene Process

Gate Line, Bit Line, Metal Line과 같은 Line & Space Type 패턴을 형성할 때 PR에 대한 고 선택비 공정이나 Hard Mask을 이용해서 식각을 수행함을 앞에서 언급했다. 그러나 그것만으로 충분하지 않은 경우를 극복하기 위해서 개발된 Idea가 Damascene 공정인데, 예를 들어 설명하면 W Gate Line을 형성하기 위해 기존에는 W 박막을 전면 증착한 다음 Gate Line이 될 부분만 남기고 나머지 부분은 제거하는 방법인 반면에 Damascene 공정은 Oxide와 같은 절연체를 우선 도포한 다음 Gate Line이 될 부분만을 Etch 공정으로 드러낸 후 Etch된 부분에 W를 전면 증착하여 채워 넣어 Line을 만드는 공정이다. 이를 응용하여 Metal-1과 Metal-2 박막 등 2개의 개별 Line을 동시에 구현하는 Dual Damascene 공정도 상당 부분 진행되고 있다. Damascene 공정을 형성할 때도 앞에서 설명한 SAC 식각 개념을 이용한 두 물질의 고 선택비를 응용하게 되는데, Oxide Etch시

〈표 1〉 각 소자별 적용 Material 추이

| 개별 소자      | 적용 Material  |
|------------|--|
| Gate Line  | W/Poly-Si, TiSix/Poly-Si, CoSix/Poly-Si  |
| Gate Oxide | Al <sub>2</sub> O <sub>3</sub> , Ta <sub>2</sub> O <sub>5</sub> , ZrO <sub>3</sub> , HfO <sub>2</sub>  |
| Capacitor  | TaON, Ta <sub>2</sub> O <sub>5</sub> , Al <sub>2</sub> O <sub>3</sub> , RuO, RuO <sub>5</sub> , Ru, Pt |
| Metal Line | Cu   |

Nitride를 식각 Barrier로 사용하는 것이 한 예가 된다.

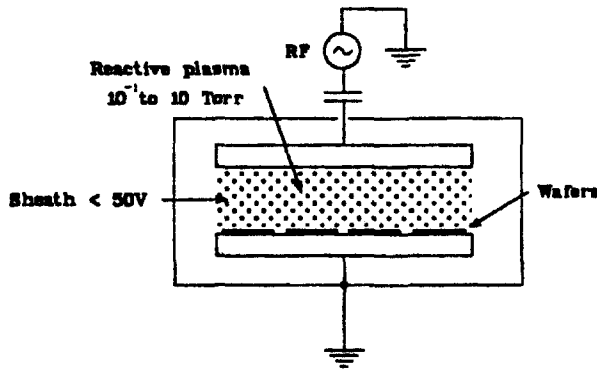
#### 4. New Material Etch Process

기존 반도체 소자 제조에 사용되는 재료로는 Poly-Si, Oxide, Nitride(SiN, Si<sub>3</sub>N<sub>4</sub>), Ti, TiN, W, Al 등이 일반적이다. 그러나 최근 소자의 Shrink 및 차세대 소자 구현을 위해서는 위의 재료로는 각 개별 소자에 적용 시 저항이나 작동 속도, 용량 측면에서 부족한 결과들을 발생시키고 있다. 이를 개선하기 위하여 새로운 재료들이 다양하게 도입되고 있는데, 이들을 정리하여 뒷 표에 정리하였다. 이와 같은 신규 물질들이 속속 도입되면서 관련된 식각 공정도 기존 물질인 경우와 많이 변하게 된다. 예로 Pt 전극을 식각 하는 경우에 기존의 Chemical Reaction을 이용한 식각보다는 Physical Reaction을 주로 이용하는 식각 공정을 사용해야지 원하는 Performance를 얻을 수 있게 된다. 따라서 신 물질에 적합한 식각 공정들이 속속 개발되고 있다고 할 수 있다.

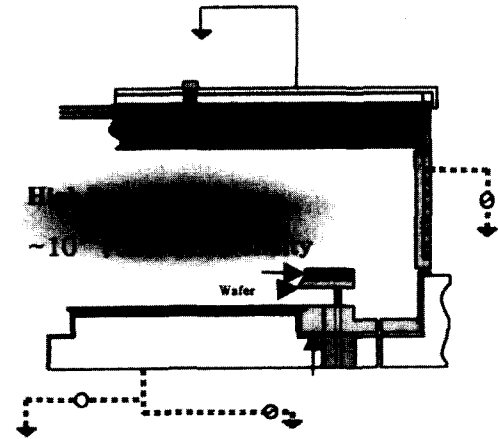
#### 5. Dry Etch 장비의 기술동향

다음으로 반도체 제조과정에 적용되는 Dry Etch 장비에 대해서 언급하겠다. Plasma를 이용한 Dry Etch 장비의 개념은 아래 그림에서 나타나듯이 어떻게 Plasma를 생성하느냐에 따라 구분이 되어지며, 앞에서 설명했듯이 소자의 Transistor의 선폭이 작아짐에 따라 그에 알맞

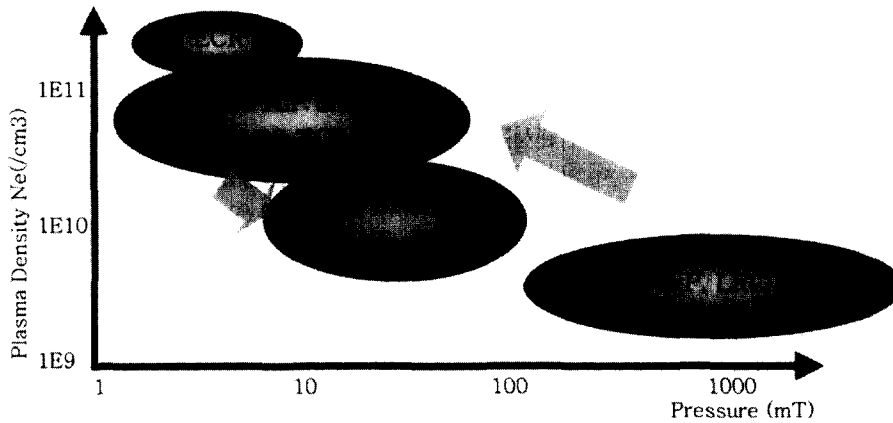
은 요구 사항을 만족시키기 위한 장비들이 개발되어 왔다. 즉, 식각 시 요구되는 사항들(Critical Dimension, Profile, Remain Under Layer Thickness, Etch Rate, Uniformity)을 만족시킬 수 있는 Plasma Source를 꾸준히 개발해 왔다고 할 수 있다. 가장 간단하며 오랜 기간 사용되어 왔던 Dry Etch 장비는 〈그림 2〉에서 나타나듯이 Diode 형태의 전극에 13.56MHz의 Radio Frequency(RF)를 인가하는 Plasma 식각 장비이다. 그러나 소자가 발달함에 따라 보다 엄격한 요구가 발생하게 되고, 이에 따라 여러 가지 형태의 Plasma Source가 개발되었고, 가장 먼저 개발된 것이 미국 LAM社의 Transformer Coupled Plasma(TCP)로써 Antenna에 RF를 인가하여 생성된 Electromagnetic Field에 의해서 Plasma가 형성되는 Inductively Coupled Plasma(ICP)〈그림 3〉의 일종인 장비이다. 또한 전자 공명을 이용한 Electron Cyclotron Resonance(ECR) 장비가 일본의 장비 제조회사(Sumitomo社, Hitachi社)에서 개발되었다. 이러한 장비가 개발되게 된 이유는 기존 식각의 한계를 벗어나기 위하여는 저압에서 식각을 하면서도 일정한 Etch Rate를 유지하기 위하여는 Plasma Density( $>10^{12}cm^{-3}$ )를 높여야 하기에 앞에서 기술한 새로운 Plasma Source에 대한 개발이 박차를 가하게 되었다. 이러한 장비의 변화를 가장 간단히 보여주는 것이 아래 〈그림 4〉와 같으며, 대략적으로는 고압 공정에서 저압 공정으로, Low plasma density( $10^{10}cm^{-3}$ )에서 Medium( $10^{11}cm^{-3}$ ), High Plasma Density( $10^{12}cm^{-3}$ )으로 장비가 개발되고 있다. 물론, 새로운 Plasma Source의 개발로 모든 식각 공정 한계가 전부 극복될 수 있는 것은 아니며, 따라서 여러 장비회사에서는 기존의 Diode 형태의 Plasma Source를 이용하되 장비의 Hardware적으로 개선을 시도한 장비(Medium Density, Low Pressure)도 개발되었다(ex. TEL社). 이상의 발전 단계를 거쳐서 현재 Poly-Si, Metal을 식각할 경우에는 High Density, Low Pressure 장비를, Oxide



<그림 2> Plasma Etcher의 개념도



<그림 3> High Density Plasma Etcher의 개념도



<그림 4> Dry Etch System의 발전 Trend

의 경우는 Medium Density, Medium Pressure 장비를 주로 사용하고 있다. 특히 Oxide Etch의 경우 PR과의 선택비가 매우 비중있는 Issue로 부각되고 있으며, 이를 극복하기 위하여 앞서 언급한 장비의 개선 이외에도 새로운 식각 Gas( $C_2F_6$ ,  $C_3F_8$ ,  $C_4F_8$ ,  $CH_2F_2$  etc.)에 대한 연구도 활발히 진행 중에 있다. 마지막으로 간과할 수 없는 문제점이 Plasma Charging Damage 이다. 일반적으로 Plasma Charging Damage 를 최소화하려면 Plasma의 불균일성 유발할 수 있는 요소 즉, Plasma Density, Plasma Potential, Electron Temperature등의 적당한 Control이 중요하다.

### III. 결 론

Dry Etch 공정은 반도체 제조 공정에서 중요한 역할을 담당하는 주요 공정임은 아무리 강조해도 지나치지 않지만 소자의 집적도가 올라가면서 기존 공정이 원하는 Performance를 내놓지 못해서 큰 어려움에 직면하고 있다. 그러나 미세 패턴, 복잡한 구조, 신 물질 등 새로운 요구 조건이 계속되고 있는 상황에서 끊임없이 기술개발이 되고 있는 것은 참으로 다행이라고 할 수 있다. 기존 식각 공정을 개발하는 엔지니어들은 신규 장비 도입으로 많은 어려움을 극복할 수 있을 것

으로 기대했지만, 현실적으로 우수한 장비가 개발되어도 선택비의 개선 등은 두드러지지 않았다. 오히려 소자 측면에서 식각 공정 진행상 어려운 부분들이 더욱더 발생하고 있는 상황이고 소자가 고 집적화 됨에 따라 식각 공정에서의 선택비 부족과 Aspect Ratio 증가는 더욱더 심화될 것이 분명하다. 이와 같이 단순히 장비 개발로 Shrink되는 소자의 Etch 공정을 대응하기에는 현실적으로 불가능함이 대세적인 것 같다. 그보다는 식각 엔지니어들의 기본 개념을 바탕으로 한 새로운 Idea와 끊임없는 공정개발의 노력이 오히려 급변하는 소자의 구조 실현이나 신규 재료의 Etch Performance 확보에 도움을 줄 수 있을 것으로 기대한다. 이에 도전적인 Etch 엔지니어들의 분투를 기대해본다.

#### 참 고 문 헌

- [1] Semiconductor Device Processing, Technology Trends in the VLSI Era, Robert N. Castellano, Gordon and Breach Science Publishers
- [2] 월간 반도체, (주)전자자료사, '96/4, '98/6, '99/2, 4
- [3] 반도체 산업, 한국반도체산업협회, '99/1, 2
- [4] 반도체 기술동향, 하이닉스반도체주식회사, '97/1

## 저 자 소개



金眞雄

1964년 2월 1일생, 1986년 2월 서울대 금속공학과 학사 졸업, 1990년 8월 KAIST 재료공학과 박사, 1990년 8월~2001년 6월: 현대전자, 2001년 7월~현재: 하이닉스 반도체, <주관심

분야: 반도체 제조공정/소자>