

네트워크 프로세서의 기술 동향

임준서

(주) 파이온

I. 네트워크 프로세서 산업 개요

라우터, 스위치, web switch, 그리고 load balancer와 같은 네트워크 장비들은 포트간의 트래픽 전송을 위해서 스위치 패브릭(Switch Fabric)과 네트워크 프로세서(Network Processor)를 사용한다.

스위치 패브릭은 입/출력 포트간의 패킷 트래픽에 대한, 큐잉(queuing), 스케줄링(scheduling), 중재(arbitration)와 같은 복잡하고 다양한 라우팅 기능을 수행한다. 네트워크 프로세서는 입력 포트(ingress port)에서 받은 패킷을 스위치 패브릭으로 전달하거나, 스위치 패브릭에서 받은 패킷을 출력 포트(Egress port)로 보내기 전에 들어 갈 “패킷 처리 기능(packet processing)에 특화 된 프로그래머블 프로세서(programmable processor)”로 정의할 수 있다. 네트워크 프로세서의 주요한 기능으로는, 헤더 파싱(Header parsing), 패턴 매칭(pattern matching), 비트 필드 조작(bit-field manipulation), 테이블 룩업(table look-ups), 패킷 수정(packet modification) 및 트래픽 관리(traffic management) 등을 와이어 스피드(wire speed)로 할 수 있어야 하고, Layer 3뿐 아니라 최근에는 Layer 7까지 처리할 수 있어야 한다.

- Classification : 패킷을 조사하여 목적지를 결정하고 다른 특별한 처리가 필요한 패킷인지 판별한다.

- Modification : 암호화나 보안을 위하여 패킷의 내용을 바꾸는 것을 말한다.
- Queuing : 패킷을 큐에 할당하고 스위치 패브릭으로 전달할 우선순위(priority)를 정한다.
- Management/Control : 처리과정을 관리하고 예외상황을 처리하며, 스위치의 제어부와 정보를 주고 받는다.
- Support : 고속의 테이블 룩업(table lookup) 및 CAM(Contents Addressable Memory)과의 인터페이스를 담당한다.

네트워크 장비 업체 NEV(Network Equipment Vendor)들이 네트워크 프로세서를 사용하면서 물리 계층 PHY 칩, 스위치 패브릭, 보조-프로세서(Co-processor), 메모리와 같은 여러 하드웨어와의 인터페이스를 접하게 된다. 또한 부품 초기화, 스위치/라우팅 테이블 관리, classification 룰(rule) 컴파일, 프로토콜 스택, 상위 Layer (L4~7) 처리와 같은 여러 가지 소프트웨어 개발이 필요로 하게 된다.

최근 주목을 받는 네트워크 프로세서의 부가기능으로는 IP forwarding, 프로토콜 변환기능, QoS, 보안, 트래픽 대역폭 할당 기능, VoIP와 네트워크 모니터링과 관리(management) 기능이 있는데, 이러한 기능들에 필요한 정보를 얻기 위해서는, 상위 Layer (L4~7)에 대한 아주 심도 있는 패킷 프로세싱이 필요하며, 이는 데이터 경로 외부에 있는 서비스나 프로토콜 스택의 지원을 필요로 한다. 이쪽 시장이 급속히 커지고 있는데, 장비의 유연성을 제공하기 위해 네트워크

프로세서 내부를 액세스할 수 있는 강력한 프로그래밍 인터페이스를 필요로 하고, 이에 따라 API(Application Programming Interface)를 표준화/개방화 하여 여러 칩에 걸쳐 동일한 코드를 재사용하는 것이 중요해지고 있다.

네트워크 프로세서는 ASIC이 갖는 특화된 성능과 범용 프로세서가 갖는 유연적인 프로그래밍 기능을 갖는다. 이러한 점은 ASIC이 갖는 경직성을 보완하고 오랜 ASIC 설계 시간을 단축시켜, NEV의 ASIC 개발에 대한 부담을 덜어주게 되었다. In-House ASIC이 없는 신생 네트워크 장비 업체(NEV)로 하여금 개발시간 단축(Time to Market) 및 지속적으로 발전하고 있는 인터넷 표준 및 프로토콜의 지원, 그리고 새로운 기능을 위한 필드에서 기능추가(Time In Market) 관점에서 네트워크 프로세서는 시장에서 포지션 되고 있다. 네트워크 프로세서는 뛰어난 성능으로 Internet Access Device 및 게이트웨이 뿐 아니라, 에지급 멀티 서비스 플랫폼, 라우터, 그리고, 코어급 기가비트/테라비트 라우터의 핵심부품으로 쓰이고 있다.

시장조사 기관 Cahners In-Stat 나 IDC 2001년 보고서에서 네트워크 프로세서 칩 시장이 2005년까지 70억불의 시장으로 확대되리라고 예측하고 있다. 이는 갈수록 복잡해지고 다양해지는 네트워크 트래픽 유형과 서비스에 대한 요구사항의 증가와 점점 더 빠른 속도의 네트워크 장비를 통해, 사용자와 Service Provider들로 부터의 QoS 보장, SLA(service level agreement), 과금(Billing), 음성/데이터의 통합, 보안(Security), VPN, 그리고 멀티미디어 콘텐츠 분리를 통한 Content Delivery Networking(CDN) 서비스제공과 같은 기능을 수행할 수 있는 새로운 장비 개발 요구가 증가하고 있기 때문이다.

네트워크 장비 업체는 신제품 출시의 개발기간 및 위험을 낮추기 위해, PHY, MAC과 같은 물리계층 칩에서 네트워크 프로세서, 스위치 패브릭과 같은 스위치 칩 셋, 그리고 소프트웨어 솔루션까지의 토털 솔루션을 원하게 된다. 이 때문에

반도체 업체는 지속적으로 전략적인 파트너 관계를 맺거나, M&A를 통해, 토털 솔루션을 확보하는 것이 일반적인 동향이다. 현재의 네트워크 프로세서 개발관련 업체는 크게 4가지의 부류가 있는데, i) Intel, IBM, Motorola 등 CPU 벤더에 의한 자체 개발 혹은 M&A에 의한 솔루션 제공, ii) AMCC, Vitesse, Conexant, Lucent, PMC-Sierra와 같은 기존의 PHY 벤더에 의한 M&A, iii) In-House ASIC을 보유하고 있거나 확대하고 싶어하는 네트워크 장비 업체들, iv) 고도의 기술력으로 네트워크 반도체 시장에 도전하는 비상장 신생 벤처 기업들이다.

CPU 벤더에 의한 스위치 칩 셋 M&A :

1. Intel : Level One(\$ 2.2 billion), Basis (\$ 450 million), SoftCom
2. Motorola : C-port (\$ 430 million)

물리계층 칩 벤더에 의한 스위치 칩 셋 M&A :

1. AMCC : MMC (\$ 4.5 billion), Yuni networks-스위치 패브릭 (\$ 241 million)
2. Vitesse : XaQti (\$ 65 million), Sitera (\$ 750 million), Orologic Traffic management (\$ 450 million),
3. Conexant : Maker (\$ 990 million), Hot-Rail-스위치 패브릭 (\$ 400 million)
4. Lucent : Agere (\$ 415 million)
5. PMC-Sierra : Abrizio-스위치 패브릭 (\$ 400 million), SwitchOn-classification 보조-프로세서 (\$ 450 million), QED-컨트롤 프로세서 (\$ 2.3 billion)
6. Broadcom : Allayer 스위치 칩 셋 (\$ 274 million), SiByte 컨트롤 프로세서 (\$ 2 billion)
7. Marvell : Galileo 스위치 칩 셋

NEV에 의한 스위치 칩 셋 M&A :

1. Cisco : Growth networks 스위치 패브릭 (\$ 355 million)

이와 같은 M&A 기회와 벤처 캐피털의 투자에 힘입어, 많은 네트워크 스위치 칩 셋 벤처

기업이 등장하였다. 예를 들면, 2001년 2월 기술 투자은행 Robertson Stephens에 의해 선정된 50대 비상장 통신/네트워크 반도체 기업 중, EZchip, Internet Machines, Paion, Power X, Silicon Access, Clearwater, Cognigine, Bay Micro, Fast-Chip, ZettaCom, Velio, ClearSpeed와 같은 회사가 대표적인 네트워크 스위치 칩 셋 벤처 기업들이다.

II. 상용 네트워크 프로세서 분석

네트워크 프로세서는 일반적으로, 초당 처리할 수 있는 패킷 개수(Packet Forwarding Rate)에 따라, 다음과 같은 성능 구분을 한다.

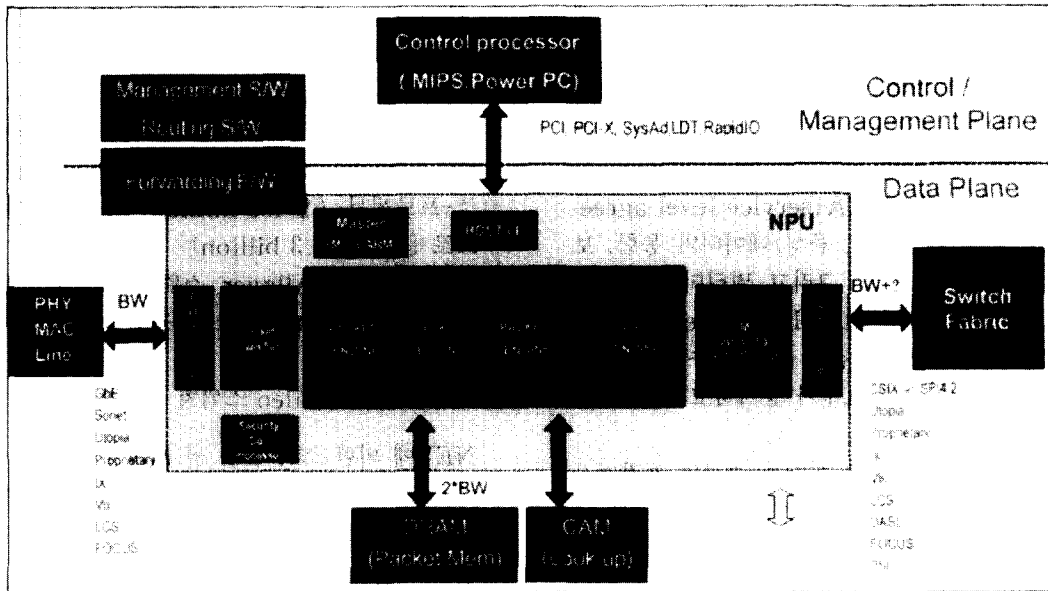
- 1G급 네트워크 프로세서 : Intel IXP1200, Vitesse IQ2000, AMCC nP7120
- 2.5G(OC-48)급 네트워크 프로세서 : IBM Rainer, C-Port C5, Agere Payload Plus, AMCC nP7250, Vitesse Denali-5,

BroadCom 12500, MindSpeed CX 27470, Cisco PXF, Paion GEP4C04

- 10G급 네트워크 프로세서 : AMCC nP 7510, EZchip NP-1, Lexra NetVortex, Silicon Access iPP, IBM Sanford, Agere NP10/TM10 Cognigine, Internet Machines NPE10/TMC10, Clearwater CNP810, Bay Micro, Paion XEP1010
- 40G급 네트워크 프로세서 : Xelerated Packet Devices X40/T40, EZchip NP-2, ClearSpeed

현재 대략 20~30개의 회사에서, 네트워크 프로세서 관련 칩 셋을 개발하고 있고, 2001년 말까지 10~15 정도의 회사가 샘플을 내놓을 것으로 알려져 있다. 현재까지 대략 500여 장비에 설계 채택 (design-win) 되어있고, 실제로 양산으로 연결된 회사는 Intel(20.5%), AMCC(26%), Vitesse(8%), IBM(10%), Motorola(11.5%), Agere(8%) 등 6개 정도에 불과하다.

일반적인 네트워크 프로세서 구조는 <그림 1>



<그림 1> 네트워크 프로세서 framework

과 같은 구조를 갖게 된다. 물리계층 칩과의 라인 인터페이스, 스위치 패브릭과의 인터페이스는 많은 경우, IXbus, ViX, LCS, DASL, Focus, PSI와 같은 회사마다의 proprietary 인터페이스를 사용하고 있지만, CSIX-LI 및 SPI4.2 등 최근 표준화 경향을 쫓아가고 있다.

이들에 대한 핵심 구조, 차별성, 개발 환경 및 시장성 분석에 대해 간단하게 설명하겠다.

1. Intel IXP 1200 ;

Intel은 1998년 Digital semiconductor를 인수하면서 생긴 StrongArm을 기반으로 IXP 1200 네트워크 프로세서를 발표하였다. IXP 2000는, 6개의 프로그래머블 패킷 엔진(packet engine)과 StrongArm 프로세서 코어를 내장함으로써 저가 장비의 호스트 프로세서 기능을 수행할 수 있다. 1G급에서 유일하게, 32bit PCI 인터페이스를 통해 외부 CPU와의 인터페이스가 가능하다.

IXP1200은 432pin BGA 패키지를 사용하였고, IO 3.3V, core 2.0V 동작으로, 200MHz 버전은 4W 정도의 전력을 소비하여, 상당한 저전력 버전이다. 동작 속도에 따라 세 가지 버전이 있는데, 166MHz 버전은 2.5Mpps(Million Packet per Second)의 packet forwarding rate, 200MHz는 3Mpps, 232MHz는 추가 기능과 함께 3.5Mpps 성능을 보인다. 세 종류의 칩 모두 full duplex Gigabit Ethernet 채널에 쓰이기에 충분한 성능을 가지고 있고, 두 개의 IXP1200을 연결하여, full duplex OC-48 채널을 충분히 처리할 수 있다.

내부 IXbus는 6.6Gbps의 대역폭을 가지며 다양한 Level One의 MAC 칩과 연결되는데, Intel에게 약점은 별도의 스위치 패브릭 port가 없이 IXbus라는 자체 인터페이스를 사용한다는 점이고 이 때문에 표준 인터페이스에 대해 큰 관심을 기울이고 있다.

소프트웨어 개발환경은 네트워크 프로세서를 채택하려는 고객들이 가장 중요하게 고려하는 요인의 하나이다. 인텔은 \$ 250 million을 IX 소

프웨어 개발에 투자했고, 500명 이상의 IX 소프트웨어 그룹을 운영하고 있다. 이로 인해, 충실한 어셈블러, 시뮬레이터, 그래픽 디버거, performance profiler, 많은 코드 라이브러리들을 포함하는 SDK(Software Development Kit) v2.0을 2001년 5월 발표했고, 현재 컴파일러가 \$ 2,000 수준에서 제공된다. 그밖에도, Microware, Teja, LynuxWorks, IPinfusion과 같은 제3의 소프트웨어 벤더의 지원이 증가하고 있다. 훌륭한 아키텍처가 아님에도 불구하고, 좋은 개발환경이 마켓 성공의 열쇠가 되었음을 알 수 있다. 이로 인해 Cisco, Nortel, Alcatel, Cabletron, F5 networks 등의 업체에 100개 이상 설계 채택되었다.

10G 네트워크 프로세서를 위해서는, IXbus 대신 별도의 표준 스위치 패브릭 인터페이스를 사용할 예정이며, 0.13 마이크론 공정으로 16 패킷 엔진과 보조-프로세서를 포함할 가능성이 있다. 부족한 메모리 대역폭을 극복하기 위해, Rambus 채택 가능성이 있다.

2. Vitesse/Sitera Prism IQ 2000 ;

GaAs 공정을 이용한 고속 물리계층 칩을 제공하던 Vitesse는 2000년 4월 Single Product, No revenue의 Sitera를 US \$ 750 million에 인수한다고 발표함으로써 실리콘밸리를 놀라게 했다. XaQti(GbE MAC)와 Orologic(SAR/TM)를 포함해 모두 \$ 1.3 billion를 투자함으로써, 스위치 칩 셋 시장에도 발을 들여놓은 것이다. 이밖에도 Vitesse는 기존의 80Gbps(320Gbps까지 확장가능) CSIX 인터페이스 방식의 크로스바(Crossbar) 스위치 패브릭 Gigastream을 보유하고 있다.

Prism IQ2000은 DS0(64Kbps)에서 부터 OC-48(2.5Gbps)에 이르는 라인 스피드를 갖는 에지 라우터를 응용 제품으로 삼고 있다. 또한 DSLAM이나 web switch와 같은 장비에도 쓰일 수 있다. IQ2000은 200MHz(IQ2200은 400MHz)에서 동작하는 패킷 엔진이 4개밖에 들어 있지 않지만 다른 부가적인 기능 엔진을 따로 두

어 프로세싱 용량의 부족을 보충하고 있어서 full duplex Gigabit Ethernet 채널에 쓰이기에 부족함이 없다. 더 큰 프로세싱 파워를 얻기 위해 스위치 패브릭 없이 여러 개의 IQ 2000을 연결하여 쓸 수 있도록 설계되었다. IQ 2000은 RDRAM과의 인터페이스를 위해 3.2Gbps의 대역폭을 갖는 4개의 16bit Focus 포트를 제공한다. Focus 포트는 Solidum, SwitchOn, Fast-Chip 등의 보조-프로세서, 스위치 패브릭, 다른 IQ 2000과의 인터페이스를 위해 사용한다.

IQ 2000은 Intel의 IXP1200보다 프로세싱 headroom이 충분하다. 또한 동급의 타사 제품에 비해서 Gigabit Ethernet MAC을 포함하고 있다는 점에서 유일한 제품이다. 하지만 RDRAM을 사용하기 때문에 전체적인 시스템 비용이 높다는 단점이 있다.

MIPS-X 기반으로 설계되었지만, MIPS와 정확히 호환이 되지 않기 때문에, 기존의 컴파일러를 사용할 수 없다는 단점을 갖고 있다. 현재 컴파일러는 지원되지 않아서, 개발환경 면에서, Intel, AMCC 등에 비교하여 불리하다. 하지만, RM7000 같은 외부 MIPS 칩을 호스트 프로세서로 사용하기 편리하도록 SysAd 버스를 제공한다. 현재 Nortel networks, Quarry technology 등 40업체에 설계 채택되어 있다.

3. AMCC/MMC 7120 ;

AMCC는 OC-192급 SONET 트랜시버, framer, Gigabit Ethernet PHY 칩 등에서 마켓 리더로 알려져 있다. MMC는 1997년부터 일찌감치 네트워크 프로세서 시장의 파이어니어로 초기 마켓을 주도하였다. 특히 Cisco (ArrowPoint), Nortel 등에 주요 설계 채택을 달성했다. 이로 인해, AMCC는 US\$ 4.5 billion에 MMC를 M&A 했다. 그와 병행하여, AMCC는 Yuni networks라는 테라 비트 스위치 패브릭 벤더를 M&A 했는데, 이로서 AMCC는 Yuni의 스위치 패브릭, MMC의 네트워크 프로세서와 MAC, 그리고 AMCC의 PHY 및 Framer 칩을 결합하는 토털 솔루션

솔루션을 NEV에게 공급한다.

AMCC는 32bit RISC에 기반으로 한, nPcore라고 불리는 패킷 엔진을 갖고 있다. nP7120는 3세대 제품으로서 2개 패킷 엔진을 이용하여, 2 Gigabit Ethernet 포트를 지원하며, nP7250은 OC-48C를 타겟으로 개발되었다. AMCC 칩을 위해서는 5412/5700과 같은 별도의 Traffic Manager 칩이 필요했는데, nP3400은 2 포트의 Gigabit Ethernet와 Traffic Manager를 단일 칩으로 결합하였다. nP7510은 10Gigabit Ethernet 네트워크 프로세서로 올해 후반부 발표가 예정되어 있다.

AMCC의 네트워크 프로세서의 성공은 부족한 아키텍처를 보완해줄, 좋은 performance profiler, 어셈블러, 컴파일러 등 소프트웨어 개발환경을 지원하고 있기 때문이다. nP7120는 1G급에서 가격과 파워소모 측면에서 가장 경쟁력이 있고, C컴파일러를 통한 개발이 용이하다는 최대 장점을 갖고 있다.

AMCC는 선도 주자라는 이점을 최대한 활용할 수 있기 때문에, AMCC의 proprietary switch 구조에 lock-in된 고객들을 지속적으로 붙잡기 위해 차세대 스위치 패브릭과 네트워크 프로세서 개발에 전념할 것임에 틀림없다. MMC의 네트워크 프로세서와 Yuni의 스위치 패브릭 기술은 best-matching임에 틀림 없다.

현재 AMCC의 ViX 스위치 패브릭 인터페이스는 차츰 표준화 인터페이스로, 그리고, traffic management 기능이 스위치 패브릭 카드에서 라인카드로 옮기는 등, 스탠더드 아키텍처 및 인터페이스로 전환할 것으로 기대된다.

AMCC 네트워크 프로세서는, LAN 영역뿐 아니라, WAN쪽에 많이 들어가고 있는데, Cisco Catalyst Layer 3 switch(2948 및 4908 L3), ArrowPoint의 Web-switch, Nortel의 broadband service platform(universal Edge 9000 IAD), Fujitsu, Alcatel, Atmosphere networks, Ciena, Hitachi, Nbase, Tellabs 등 140개 이상의 제품에 다양하게 설계 채택되었다.

4. IBM Rainier :

IBM은 세계 최고의 0.13 마이크로 ASIC 공정 및 패키지 기술을 확보하고 있다. 이것에 만족하지 못하고, North Carolina Research Park에서 네트워크 프로세서를 개발한다. IBM은 MIPS가 장악하고 있는 대용량 라우터의 호스트 프로세서 시장에 IBM은 PowerPC를 공급하기로 한다. 동시에 라우터의 데이터 플레인에 쓰일 네트워크 프로세서를 개발한다. Rainier(NP4GS3)는 고급사양의 네트워크 프로세서이다. Rainier의 주된 용도는 Ethernet이나 SONET을 수용할 수 있는 중/대용량의 라우터이다.

Rainier는 PowerPC와 pico engine(32bit RISC)이라 불리는 16개의 패킷 엔진, 그리고 여러 개의 프로세싱 요소를 사용하여 4포트 full-duplex Gigabit Ethernet, 또는 1포트 full-duplex OC-48을 처리할 수 있다.

한편 IBM은 프랑스의 디자인센터에서 개발되는 스위치 패브릭을 공급한다. 최근의 PRS(Packet Routing switch fabric) 64G는 128 Gbps를 지원한다. PRS64G는 IBM Rainier 칩 뿐 아니라, C-port와 잘 호환되어 동작한다. Rainier는 각각 7Gbps의 이중의 스위치 패브릭 인터페이스를 제공한다. 패킷 메모리로는 1.6 Gbps 메모리 대역폭의 2 DDR 인터페이스를 지원한다. Rainier에는 이중 스위치 패브릭 포트가 제공되기 때문에, 대용량 라우터 등 high availability를 요구하는 디자인에 적합하다.

Nortel, IBM이 손을 잡고, Rainier를 Nortel Open IP 환경에 사용하려 한다. 하지만, Rainier 아키텍처가 매우 복잡해서, 고객에 의한 소프트웨어 개발이 어렵기 때문에, IBM이 얼마나 많은 소프트웨어 라이브러리를 제공하는가가 시장에서의 성공을 결정할 것 같다. 최근 IBM은 칩보다도 대신, 엄청난 소프트웨어 인력을 투입하여, 고객별로 전담할 데이터 플레인 소프트웨어를 개발하고 있다. IBM은 어셈블러, 시뮬레이터, 디버거를 제공하고, 컴파일러를 개발해 놓았지만, 데이터 플레인에 최적화되어 있지는 못해, 공식적으로 발표하지 않고 있다. 아키텍처의 복

잡도로 인해 scalability가 떨어지기 때문에, 10 G 네트워크 프로세서로의 확장이 쉽지 않고, 자체적으로 다른 아키텍처를 모색할 것으로 예상된다. 현재 Alcatel, Asante, Cabletron, Nortel 등에 50여 개의 설계 채택되었다.

5. Motorola/C-Port C-5 ;

Motorola는 2000년 2월에 C-5 DCP라는 네트워크 프로세서를 개발하고 있던 C-Port를 인수하여 네트워크 프로세서 시장에 뛰어들게 된다. Motorola는 다른 벤더들과는 달리 네트워크 프로세서, 스위치 패브릭, PHY 칩에 대한 토털 솔루션을 제공하는 vertical-integration 전략 대신, 네트워크 프로세서에만 전념하고 있다. 대신에 Motorola는 다른 회사보다 월등한 확장성과 유연성을 제공하는 것을 목표로 하고 있다. 따라서, C-Port는 IBM, Power X와 스위치 패브릭, AMCC, Broadcom, Vitesse와 PHY 칩에 대한 파트너십을 전략을 사용한다.

C-5는 16개의 패킷 엔진(Channel Processor: CP)과 200MHz에서 동작하는 하나의 온-칩 컨트롤 프로세서(XP)를 가지고 있다. CP와 XP는 32-bit RISC (MIPS-X)로 개발되었다. 채널 프로세서(CP)는 PHY 칩과 바로 연결되어서 MAC이나 framer로 동작할 수 있다. 전체 라인대역폭이 5Gbps이기 때문에 C-5는 full-duplex OC-48 속도의 트래픽을 처리할 수 있으며, 스위치 패브릭으로는 6.4Gbps의 대역폭을 제공한다. C-5는 16.7Mpps의 성능으로 Layer 3 프로세싱을 수행할 수 있다.

IBM(+DASL 칩), Power X(CSIX glueless) 등의 스위치 패브릭 인터페이스 혹은 Utopia에 맞는 인터페이스 프로그래밍을 할 수 있다. 그리고, Serial Data Processor(SDP)를 통해, 온 칩 ATM SAR 기능이 지원된다.

MIPS-X 명령어 집합을 사용함으로써, 기존의 스탠드 MIPS 개발환경을 이용할 수 있었고, 고가 시장에서 C-5는 많은 수의 패킷 엔진, 높은 집적도로 인한 많은 이점을 제공한다. 다른 회사(특히 IBM Rainier)와의 차별 점으로, 패킷 엔

진에 대한 C 컴파일러 지원이 대단히 뛰어나, NEV가 어셈블리 언어 대신 C로 바로 소프트웨어를 개발할 수 있게 하였다.

Motorola는 대용량 라우터의 호스트 프로세서에는 PowerPC를, 데이터 플레인에는 C-5와 같은 네트워크 프로세서를 제공하는데 사용범위와 성능면에서 확고한 위치를 차지하고 있다. Motorola는 반도체 업계의 강자이고, PowerQuicc의 성공을 네트워크 프로세서 마켓으로 leverage하려 한다.

C-5는 에지 라우터, multi service access platform, DSLAM, Web switch, 고급 cable 모뎀 장비, 3G 무선 기지국과 같은 각종 네트워크 장비에 쓰일 수 있다. 지금까지 Extreme, Nortel, Lucent, Nbase-Xyplex, Satuce, ATOGA, EMPTRIX 등 40여 업체에 설계 채택되어 있다.

현재 모토롤라의 PowerPC, PowerQuicc 및 C-series를 통합하는 플랫폼으로 진화할 것으로 예상되기 때문에, 10G급 네트워크 프로세서의 출시의 지연이 예상된다.

6. 보조-프로세서 ;

네트워크 프로세서는 단일 칩이거나, 아니면 부족한 프로세싱 기능을 도와주는 packet classifier, security, CAM, traffic manager 등의 보조-프로세서(co-processor)를 포함하는 여러 칩으로 구성될 수 있다.

대표적인 packet classifier용 보조-프로세서 업체로는 Solidum, Hifn(Apptitude), Fast-

Chip, PMC-Sierra(SwitchOn) 등이 있으며, Vitesse 네트워크 프로세서 등과 결합되어, 패킷 프로세싱 파워의 부족을 해결해 준다. 목적지 룩업(Destination lookup)을 위한 보조-프로세서로는 MUSIC, Cypress(Lara), NetLogic, SiberCore 등이 있어서, 현재 1M 혹은 2M lookup entry를 타겟으로 ternary CAM을 개발하고 있다 Acorn, Vitesse(orologic), Zetta-Com 등은 traffic manager용 보조-프로세서를 공급하는데, 10G 급에서는 대개의 경우 싱글 칩 네트워크 프로세서로는 성능이 부족하기 때문에, 많은 경우 멀티 칩 보조-프로세서 개념으로 개발이 되고 있다.

2002년부터는 encryption 등 security 칩이 라인카드에 등장할 것이고, 이를 타겟으로 HiFn 등에서 security 보조-프로세서가 개발되고 있다. 2003년부터는 security 보조-프로세서가 네트워크 프로세서 내부의 블록으로 집적될 것으로 예상된다.

<표 1>은 전술한 대표적인 상용 네트워크 프로세서의 패킷 프로세서 코어의 forwarding rate, 동작 주파수, 전력소모를 보여주고 있다.

7. 소프트웨어 ;

네트워크 프로세서의 프로그래밍 특성상, 소프트웨어 개발 환경, 라이브러리 루틴 및 응용 소프트웨어 제공에 대한 중요성이 크게 대두되었다. 이를 위해, 칩 벤더가 직접 소프트웨어를 개발하기 위한 많은 투자가 이루어지고 있고, 제3벤더 소프트웨어 회사가 많이 생겨났다. Intel, Power

<표 1> 1G 및 2.5G급 네트워크 프로세서 내부의 프로세싱 엔진 성능 비교

	프로세서 코어	Forwarding rate	주 파 수	공 정	전력소모
Intel IXP1200	6 packet engine(StrongArm)	2.5/3.0/3.3Mpps	166/200/232 MHz	0.28um	4.3 W
AMCC 7120	2 packet engine(nPcore RISC)	3Mpps	220 MHz	0.18um	4 W
Vitesse IQ2000	4 packet engine(MIPS R3000 like)	8.4 Mpps	200 MHz	0.25um	7 W
IBM Rainier	16 pico engine(32b RISC)	16.6 Mpps	133 MHz	0.18um	12 W
C-Port C-5	16 channel processor(MIPS-1)	16.7 Mpps	200 MHz	0.18um	15 W
Agere Payload	6 VLIW+2FPP	Wire speed L3 OC-48	133 MHz	0.18um	2*12 W

X 등과 제휴관계를 맺고 있는 Teja, 그리고 AMCC 및 Vitesse와 제휴관계를 맺고 있는 LVL7, 그밖에 Microware, LynuxWorks, IPinfusion 등은 OS, 싸이클-레벨 시뮬레이터, 마이크로 코드, 디바이스 드라이버, 컴파일러, 테스트 생성기 등의 표준개발 환경 및 칩 셋에 맞는 프로토콜 스택 혹은 데이터 플레인 코드를 개발하고 있다. 기존 Routing OS에 집중하던 RADLAN도 Galileo 및 Broadcom 스위치 칩 셋을 위한 SDK를 개발해주고 있다.

이전에는 대부분의 하드웨어들이 독자적으로 디자인되었기 때문에 소프트웨어 또한 업체마다 독자적인 경우가 대부분이었다. 심지어 ASIC을 사용한 경우에도 제3의 소프트웨어가 올바르게 동작되기 위해서 다시금 수정되어야만 했다. 이는 제품 개발 기간을 길게 만드는 요인이 되었으며, 다른 업체의 소프트웨어가 사용되는 것을 막는 요인이 되기도 하였다. 표준화된 API를 사용할 경우, 제3의 소프트웨어 제공 업체들이 네트워크 프로세싱 플랫폼에 소프트웨어를 올릴 수 있게 해서 전체 네트워크 장비업체(NEV)에 다양한 소프트웨어 솔루션을 안정적으로 공급할 수 있는 기회가 증가할 수 있게 된다.

III. 네트워크 프로세서의 발전 추세

현재 칩 셋 인더스트리에서는 10G급과 40G급 네트워크 프로세서 개발이 진행중이다. 10G/40G 네트워크 프로세서 개발 성공의 핵심은, 충분한 프로세싱 파워를 보장하고, 이에 필요한 메모

리 대역폭을 보장하면서, 단일 칩화시킬 수 있느냐 하는 것이다. 그리고, 인터페이스 방식을 표준화 하느냐 독자적인 proprietary 방식을 고수하느냐에 대한 이슈가 남아 있다.

패킷 프로세싱 성능 향상을 위해, 패킷 프로세서 자체에 대한 개선이 무엇보다 우선되어야 한다. 기존의 패킷 엔진의 개수를 16개 이상으로 확장 시키면서, 이들간의 스케줄링을 하는 아키텍처 관점의 한계를 부딪치게 된다. 대안으로 슈퍼스칼라 마이크로 구조 대신 VLIW 방식의 프로세서나, Multi Thread 구조를 채택하기도 한다. 그와 병행하여 0.13 마이크론의 초 미세 선폭(Deep submicron) 공정으로 스탠더드 셀 합성방식이 아닌 Full-Custom 설계 방식을 채택하여, 내부 동작 스피드를 200MHz 수준에서 400~600MHz 이상으로 끌어 올리고 있다.

10G급에서는 단일 칩의 한계를 극복하기 위해, packet classifier, security, traffic management 등의 기능을 보조-프로세서를 별도의 칩으로 구성하는 멀티 칩 솔루션이 먼저 나오게 될 것이다. 그렇지 않고는 칩 다이 사이즈 및 핀 카운트의 물리적인 제약을 해결할 수 없다.

마이크로 아키텍처의 복잡도 증가는, C 컴파일러의 필요성을 증대 시키기 때문에, 많은 소프트웨어 개발에 대한 투자가, 칩 개발과 병행해서 이루어지고 있다.

<표 2>는 대표적인 10G급 네트워크 프로세서의 패킷 프로세서 코어의 forwarding rate, 동작 주파수, 전력 소모를 보여주고 있다.

메모리 대역폭 ;

10G(OC-192)급 Layer 3를 와이어 스피드

<표 2> 10G급 네트워크 프로세서 내부의 프로세싱 엔진 성능 비교

	프로세서 코어	Forwarding rate	주 파 수	공 정	전력소모
Lexra	4~16 packet engine (MIPS)	OC-48/OC-192	450 MHz (Hard), 250 MHz	0.15um	7W (16 core)
EZchip NP1	64 packet engine	Wire speed L7 OC-192	200 MHz	0.13um	
SiByte SB-1250	2 MIPS64 core	10 Mpps	600 MHz-1GHz	0.15um	10W (800MHz)
Clearwater CNP810	SMT core	20 Mpps	300 MHz	0.15um	12W

로 처리하기 위해서는 일반적으로 요구되는 메모리 대역폭은 평균 5GBps(Giga Byte per Second) 수준이고, 최대 6~10 GBps가 필요하다. 예를 들어 4채널 RDRAM을 통해서서는 피크 6.4GBps, 256 비트 DDR-266을 통해서서는 피크 8.5GBps를 얻을 수 있기 때문에, 향후 고속 및 고가의 메모리와의 인터페이스가 불가피한 상황이다.

40G(OC-768)급이나 10G(OC-192)급 Layer 7을 위해서는 20GBps 이상의 더욱 많은 메모리 대역폭이 필요하게 되는데, 이때는 DRAM의 일부를 네트워크 프로세서로 집적시키는 embedded DRAM 기술이 필요하게 될 것이다. 내부 DRAM은 대역폭 문제를, 외부 DRAM은 용량 문제를 해결해 줄 수 있을 것이다.

인터페이스 방식 ;

적은 수의 핀으로 라인카드와 스위치 패브릭 간, 10G급 이상의 고속 패킷을 처리하기 위해서는 시리얼 인터페이스 방식이 필수적인데, CSIX-L1은 250MHz로 속도가 제한되고, 10G급으로 scalable 하기에는 적합하지 않기 때문

에, Optical Interface Forum(OIF)에서 정의하는 SPI4. phase 2를 10G의 표준으로 받아 들여가고 있는 추세이다.

10G급 호스트 프로세서와의 인터페이스에는 스피드 문제로 PCI 대신, PCI-X, LDT나 RapidIO가 대안으로 제시되고 있다. LDT는 SiByte, QED, SandCraft 등의 MIPS 계열에서, RapidIO는 Motorola의 PowerPC 계열에서 선호하고 있다.

<표 3>는 현재 네트워크 프로세서의 인터페이스 및 메모리 대역폭 그리고 발전전망을 보여주고 있다.

공정 ;

많은 스위치 칩 셋 벤더들은 반도체 수탁생산 업체 (Foundry)에 많은 신경을 쓰면서, 이들 업체와의 유리한 제휴관계를 서두르고 있다. EZchip은 IBM과 Internet Machines는 TI와 공정 사용에 대한 전략적인 관계를 맺고 있고, Silicon Access는 TSMC의 공정 개발을 드라이브하고 있다.

공정투자 및 라이브러리 개발 비용 투자 최소

<표 3> 인터페이스 별 대역폭 비교 및 발전 전망

	라인대역폭	스위치 패브릭 대역폭	메모리 대역폭	발전 전망
Intel IXP1200	2.6~3.3 Gbps	IX 2.6~3.3 Gbps	800 MBps(64bit SDRAM 256M) 400 MBps(32bit 18M SRAM-100)	IX 대신 표준 인터페이스 SPI4/CSIX
AMCC7120	5Gbps	ViX 5Gbps	440 MBps(32bit SRAM lookup)	
Vitesse IQ	6.4 Gbps	Focus 6.4 Gbps	1.6 GBps(16bit RDRAM) 300 MBps(SRAM)	Focus 대신 표준 인터페이스
IBM Rainier	8Gbps	DASL 2×7.5 Gbps	1.6 GBps(256M DDR) 800 MBps(SRAM)	SPI4
C-Port C-5	5Gbps	CSIX 6.4Gbps	2GBps(64bit 128M SDRAM), 1.1GBps(16M SRAM-133MHz)	표준 인터페이스
Agere	5Gbps	Utopia 5Gbps	2.2GBps(64bit SDRAM), 1.06GBps(SRAM)	표준 스위치 패브릭 인터페이스 SPI4/CSIX
AMCC7250	5Gbps	ViX 5Gbps	2~4GBps	ViX-SPI4 변환 칩 개발, 이후 원 칩화
EZchip NP1	20Gbps	CSIX 25Gbps+	>60GBps(5MB on-chip DRAM)	CSIX 및 SPI4.2
SiliconAccess			>20GBps(15MB on-chip DRAM)	

화라는 이유 말고도, 설계 관점에서, 수백~수천만 게이트 급의 설계 복잡도와 성능 관점에서 0.15 마이크론을 사실상 생략하는 대신 0.13 마이크론 구리(Cu) 및 저 유전율(Low-K: 2.7) 공정을 채택할 수 밖에 없게 된다. 0.18 마이크론에 비해 0.13 마이크론 공정은 칩 레이아웃 면적 관점에서, 50% 정도의 이득을 볼 수 있고, 속도 관점에서 역시 50% 정도의 성능향상을 기대할 수 있다. 예를 들어 표준 고속 공정 인버터 딜레이의 경우, 27ps(0.18um) → 14ps(0.13 마이크론)와 같이 속도가 빨라지는 것을 볼 수 있다. 무엇보다도 초미세 선폭 공정으로 가면서 나타나는 인접 메탈간 간섭효과가 구리와 저 유전율 공정으로 인해, coupling capacitance가 30% 정도 현저하게 개선됨으로써, RC 딜레이가 25~30% 정도 개선되는 효과를 볼 수 있다. 그 외에도 저전력으로 인한 전력소모도 40% 이상 개선될 것으로 기대된다.

회사별 차세대 네트워크 프로세서 전략 분석 ;

Intel, IBM, Motorola, Agere, Vitesse 와 AMCC, 그리고 벤처 기업인 EZchip, Internet Machines, Paion, Silicon Access, Clearwater, Entridia, ZettaCom, 그리고 Cognigine, SiByte, Bay Microsystems, ClearSpeed, Xelerated Packet Devices 등이 10G 및 40G 네트워크 프로세서를 개발하고 있어서 실제 제품이 시장에 선보이게 될 때면 치열한 경쟁이 일어날 것으로 생각된다.

Intel의 IXP1200 다음 세대인 OC-48~192급 제품은 700MHz 패킷 엔진 8~16개로 구성된 네트워크 프로세서는 2002년 상반기에 출시될 것으로 예상된다. 기존의 StrongArm 대신 Xscale 프로세서를 사용하고, IXbus 대신에 표준화 된 SPI4 인터페이스를 사용할 것이다.

Vitesse는 OC-48급 시장을 위해, 표준 인터페이스를 채택한 네트워크 프로세서 Denali-5를 2002년 출시할 것이고, 2003년 중반기에는 0.13 마이크론 공정에서 500MHz 이상 패킷 엔진을 현재의 4개에서 12~16개로 증가시켜 10G급 네트워크 프로세서 마켓을 공략할 것이다. RDRAM

도 4채널 정도로 확장되어야 할 것이다.

IBM은 0.13 마이크론 공정으로, 3칩 10G 네트워크 프로세서 Sanford를 2002년쯤 발표할 것으로 보는데, 현재의 Rainier를 그대로 유지하고자 하는 성능보장이 힘들고, 새로운 아키텍처를 제안하리라고 본다.

C-Port는 기존 C-5의 XP를 PowerPC나 PowerQuicc으로 대체하고, 패킷 엔진을 현재 16개를 더욱 확장하기 힘들기 때문에, 새로운 아키텍처의 패킷 엔진을 사용할 가능성이 크다. 메모리 대역폭을 현재의 4배 이상으로 확장하기 위해, RDRAM을 채택할 수 있다. 패킷 엔진을 바꿔야 하기 때문에 2002년 말까지도 10G급 제품이 나오기는 쉽지 않을 것이다.

Agere는 현재 스탠더드 셀 방식에서 Full-custom 방식으로 전환하여 동작 스피드를 높이고, 2칩 10G 네트워크 프로세서 NP10/TM10을 내놓을 것으로 예상된다. 표준화 인터페이스 SPI4를 채택할 것으로 예상된다.

AMCC는 2001년말 10G급 nP7510과 2002년 중반 경에 nPx8000 기반의 320Gbps 이상의 테라 비트 스위치 패브릭과 10G 네트워크 프로세서 nP7570이 0.13 마이크론 공정에서 발표될 것으로 예상된다. 아마도 5칩 정도로 구성되고 ViX 인터페이스 대신 SPI4를 채택할 것이다. 하지만 기존의 소프트웨어 솔루션과는 호환성을 보장하여, 시장 선도자의 입지를 계속 유지할 것으로 예상된다.

Lexra의 NetVortex LX8000은 MIPS RISC 코어를 기반으로 한 패킷 엔진인데 IP 비즈니스만을 한다. Full-Custom 디자인 방식으로 TSMC의 0.15 마이크론 공정에서, 64mm²의 면적으로 집적되어, 450MHz의 고속 동작과 7W의 적은 전력소모를 보인다. 16개의 패킷 엔진을 통해 테라 비트 라우터에서 상위 프로토콜이나 상위 Layer를 처리하는데 충분한 프로세싱 파워를 제공한다. MIPS 명령어를 사용함으로써, MIPS 컴파일러를 이용할 수 있는 장점이 있다.

EZchip의 NP-1칩은 IBM 0.13 마이크론 공정을 이용하여, 64개의 패킷 엔진 및 5MB의 온-

칩 DRAM을 집적 시킬 예정이다. 4-스테이지 파이프라인으로 10G급 Layer 7 스위칭이 가능하고, 패킷 저장을 위한 외부 메모리가 필요없도록 하였다. 이러한 구조로 인해, 다른 네트워크 프로세서에 비해서 약 3배 정도에 이르는 패킷 프로세싱 대역폭을 가지게 된다. 이 칩은 8개의 GbE MAC과 한 개의 10 GbE MAC을 포함하며, 이는 외부 PHY 칩이나 framer로 20Gbps, 그리고 스위치 패브릭으로 20Gbps의 대역폭을 제공한다. 지난 9월에 발표로 예정되었던 10G 네트워크 프로세서 NP-1이 연말 이후로 연기되었다. 소프트웨어 개발 환경인 EZdesign 은 연초에 발표되어 제공되고 있다.

Silicon Access는 충분한 인력과 자금력을 바탕으로 TSMC Embedded DRAM 공정 기술을 이용해, OC-192(10G) 및 OC-768(40G) 네트워크 프로세서 시장을 노리고 있다.

Internet Machines는 NPE10, TMC10의 2 칩 10G 네트워크 프로세서와 200Gbps급 스위치 패브릭 SE200을 TI 0.13 마이크론 공정에서 개발하고 있다. 인터스트리 표준 SPI4.2를 채택하고 있고, 개발 workbench는 이미 제공되고 있다.

IV. 결 론

네트워크 프로세서는 다양하게 변화하는 응용 네트워크 제품을 중심으로 시장을 확대해 나가고 있다. 대표적인 응용으로는 CDN 시장을 타겟으로 Layer 4~7 기능인 URL/Cookie, SSL, TCP Session ID Switching, Server/VPN/Firewall Load Balancing, Dynamic ACL 관리를 지원하는 ArrowPoint 및 Alteon, Web switch 등이 있을 수 있다. 32기가 포트 이상 수백기가비트 이더넷 포트를 지원하는 메트로 이더넷 스위치도 네트워크 프로세서의 주요 타겟 시장이다. 그밖에 DSLAM, BTS/BTC 등 무선 인터넷 인프라 스트럭처, 멀티넷 서비스 플랫폼

(ATM/FR/IP) 뿐만 아니라, 테라급 코어 라우터와 같은 고급 네트워크 프로세서 시장이 있다.

현재까지 WAN분야(63%), LAN(12%), Access(16%) 등 대략 500여 제품에 사용되고 있고, 2002년 3억달러에서 2004년 28억 달러, 2005년 70억 달러 규모의 시장이 예상된다.

시장 상황은 In-House ASIC에 의한 captive 마켓이었던 스위칭 칩 셋이 점차 merchant 네트워크 프로세서와 스위치 패브릭으로 대체되어 가고 있다. 이를 위해 가장 중요한 것은 i) 서로 다른 벤더 칩들간의 서로 인터페이스를 호환시키는 것과 ii) 완벽한 소프트웨어 솔루션 제공을 통한 네트워크 장비업체의 제품 개발시간(Time-to-market) 및 비용단축을 보장해 주는 것이다.

이와 같은 이유에서 NPForum(Network Processing Forum)은 네트워크 장비업체 들의 신제품을 출시 비용과 시간을 최소화하기 위해 공통된 표준을 정의함으로써 차세대 통신 장비의 개발을 촉진하기 위한 목적으로 2001년 2월 만들어졌다. NPForum은 CSIX(Common Switch Interface Consortium)와 CPIX(Common Programming Interface Forum)를 모체로 한다. CSIX는 네트워크 프로세서와 스위치 패브릭 등의 하드웨어 인터페이스에 대해서, 그리고 CPIX는 소프트웨어 스택간의 인터페이스 등 API 표준화에 초점을 두었다. 그리고, 인터스트리 공동의 벤치마크 및 test suite을 준비하고 있다. 하드웨어 워킹 그룹에서는 Intel, IBM, PMC-sierra, Bay Micro, Fast-Chip, AMCC, Power-X에서 의견을 주도해가고 있고, 소프트웨어 워킹 그룹 역시 Intel, IBM, AMCC가 의견을 주도하고 있다. NPForum을 통해, 모든 인터페이스를 통일하고, 단일 framework을 통해, 인터스트리의 market acceptance를 가속화하면서, 네트워크 프로세서 및 스위치 패브릭, CAM, classification, traffic management, encryption/decryption 등 보조-프로세서, 그리고 소프트웨어 솔루션 업체들간의 정보교환 및 전략적인 파트너십 등이 이루어지고 있다.

네트워크 인더스트리의 생태는 점점 더 유기적인 관계 속에서 서로에게 win-win이 되는 전략을 모색하고 있으며, 이러한 활동을 통해서 M&A나 공동 개발이 성사되고 있다. 그 관계에 진입하는 시기를 놓치면, 향후 관계에서 파생되는 기회나 시장에 진입하기가 상당히 어려워진다. 이는 이미 유기적 공생 관계에 얽힌 업체들간에 기술적인 교류를 통해서 전체적인 시장과 시스템의 청사진을 그려나가기 때문이다. 최근 미국 주식 시장의 어려움과 전반적인 경제침체로 M&A가 활발히 이루어지고 있지 않는 반면, 전략적 파트너십을 통해, 서로의 약점을 보완하면서, 토털 솔루션을 제공하는 즉, 큰 물고기와 작은 물고기와 의 파트너십의 성과를 보고 나서 M&A 하겠다는 신중론이 깔려 있다.

벤처 캐피털을 포함해 실리콘밸리의 네트워크 산업의 기술 개발 및 투자 키워드가 Connectivity와 Bandwidth에서 Service로 옮겨가고 있다. 이에 따라 네트워크 프로세서는 service provider가 요구하는 Revenue creation service를 얼마나 잘 그리고 빨리 충족시켜 줄 수 있는 가로 솔루션 개발의 초점이 모아지고 있다. 그리고, 토털 솔루션이라는 관점의 기술 포트폴리오 확보 차원에서 기존 메이저 플레이어에 의한 유망한 후발 신생업체를 지속적으로 M&A 하려는 것이 당분간의 대세라고 예상되고 있다.

참 고 문 헌

- (1) Proceedings of Network Processor Summit 2001 Las Vegas, March, 2001
- (2) Proceedings of Network Processor Summit 2001 Atlanta, Sep. 2001
- (3) Meeting material of Network Processing Forum(www.npforum.org)
- (4) Network Processors, Embedded Processor Forum, June, 2001
- (5) The Linley Group, A Guide to Network Processors, 2000

- (6) IDC Report, 2000/2001
- (7) Cahners In-Stat Report, 2000/2001
- (8) Robertson Stephens Report, 2001

저 자 소 개



林 俊 緒

1968년 8월 11일생, 1991년 2월 서울대학교 학사, 전자공학, 원자핵공학, 1993년 2월 한국과학기술원 석사, 전기및전자공학과, 1998년 8월 한국과학기술원 박사, 전기및전자공학과, 1991년 9월~1996년 : 현대전자/KAIST 인텔 x86 호환 마이크로프로세서 개발, 1997년 3월~1998년 2월 : 미국 SandCraft Inc. Member of Technical Staff, MIPS R5400 마이크로프로세서 설계, 1998년 7월~1998년 8월 : ETRI 집적회로연구부 초빙 연구원 : IMT-2000 칩 셋 구조연구, 1998/9~2000년 9월 : LG 종합기술원 선임연구원, 디지털 HDTV 단일 칩 설계, 2000년 9월~2001년 10월 현재 : 파이온 연구원, 10G 네트워크 프로세서, <주관심 분야 : 네트워크 프로세서 및 스위치 패브릭 설계, 초고속 VLSI 설계>