

論文2001-38SD-1-1

# HBM ESD 현상의 혼합모드 과도해석 (Mixed-Mode Transient Analysis of HBM ESD Phenomena)

崔 鎮 榮 \* , 宋 光 燮 \*\*

(Jin-Young Choi and Kwong-Sup Song)

## 요 약

2차원 소자 시뮬레이터를 이용하는 혼합모드 과도해석을 통해, NMOS 트랜지스터를 ESD 보호용 소자로 사용하는 CMOS 칩에서의 HBM ESD 현상에 대한 과도해석 방법론을 제시하고 HBM 방전 메커니즘에 대해 상세히 분석하였고, 보호용 소자 내에서의 2차항복 현상을 성공적으로 시뮬레이션하여 소자 파괴에 이르는 메커니즘을 설명하였다. 보호용 소자 구조의 변화가 방전 특성에 미치는 영향을 조사하기 위해 DC 해석 결과와 혼합모드 과도해석 결과를 비교 분석하였고, 분석 결과를 근거로 하여 HBM ESD에 보다 견고한 보호용 소자의 구조 설계에 대해 논의하였다.

## Abstract

Based on mixed-mode transient analyses utilizing a 2-dimensional device simulator, we have suggested the methodology to analyze the HBM ESD phenomena in CMOS chips utilizing NMOS transistors for ESD protection, and have analyzed the HBM discharge mechanisms in detail. Also the second breakdown characteristics in the protection device have been successfully simulated based on mixed-mode simulations, to explain the discharge mechanisms leading to device failure. To analyze the effects of the device structure changes on the discharge characteristics, we have compared the results of DC analyses and mixed-mode transient analyses, and have discussed about more robust designs of NMOS transistor structures against HBM ESD based on the analyses.

## I. 서론

집적회로 칩에서의 정전기 방전(electrostatic discharge: ESD)에 의한 소자 파괴의 문제는 사용되는 소자의 크기가 점차 작아지고 회로가 복잡해짐에 따라

해결하여야 할 중요한 과제로 인식되어 왔다<sup>[1, 2]</sup>. ESD 현상은 방전상황에 따라 크게 인체모델(HBM), 기계모델(MM), 충전소자모델(CDM)로 나누어지며, HBM ESD에 대한 칩의 강도가 ESD 강도의 대표적인 평가 기준으로 여겨져 왔다<sup>[3, 4]</sup>.

CMOS 칩에서 ESD 보호용 소자로써는 일반적으로 NMOS 트랜지스터가 사용되고 있으며 더욱 견고한 것을 원할 때에는 사이리스터가 사용되기도 한다<sup>[5, 6]</sup>. 그러나 이러한 소자들은 칩의 면적을 증가시키고 공정을 복잡하게 하여 비용이 증가하는 문제를 발생시킨다. 따라서 입출력 회로의 구동소자로 사용되는 NMOS 트랜지스터를 ESD 보호용 소자 겸용으로 사용하는 것이 일반적이므로 이러한 소자의 ESD 특성 조사는 매우

\* 正會員, 弘益大學校 電子電氣컴퓨터工學部  
(School of Electrical, Electronic and Computer Engineering, Hongik University)

\*\* 正會員, 弘益大學校 電氣工學科  
(Dept. of Electrical Engineering, Graduate School, Hongik University)

接受日字:2000年3月22日, 수정완료일:2000年12月12日

중요하다.

HBM 방전 경우, ESD 보호용 NMOS 트랜지스터의 n형 드레인이 입력패드에 연결된 상태에서 패드에 양으로 충전된 전하가 인가되면 소스와 기판은 접지된 상태이므로 드레인-기판 접합의 항복이 일어나면서 기판전류가 증가한다. 이로 인해 기판의 전위가 높아져 소스와 기판 접합이 순방향 바이어스되면 소스-기판-드레인으로 이루어지는 횡방향 기생 바이폴라 트랜지스터가 turn-on 된다<sup>[3]</sup>. 외부로부터 인가되는 정전기는 이러한 경로로 NMOS 트랜지스터 내에서 빠르게 방전되므로 패드와 연결되어 있는 칩 내부 입력버퍼 회로의 게이트에 높은 전압이 인가되는 것을 방지한다. 하지만 이 방전 전류는 그 크기가 매우 크므로 고전계 영역인 드레인 접합부분의 과도한 온도 상승으로 게이트나 드레인 콘택이 녹아버려 보호용 소자 자체의 파괴를 야기할 수 있다<sup>[3]</sup>.

소자 내 파괴현상을 조사하는데 있어서 소자 시뮬레이터를 이용한 연구<sup>[7-12]</sup>는 측정만으로는 알 수 없는, 소자 내부의 파라미터들을 볼 수 있다는 장점을 제공한다. 이러한 시뮬레이터를 이용하는 해석 방법으로는 DC 전압을 인가하는 DC 모드 해석방법<sup>[9,12,13]</sup>과 펄스형 입력을 인가하는 과도 해석방법<sup>[7,8,10,11]</sup>이 있었으나, 이러한 해석 방법들은 보호용 소자만을 대상으로 하는 분석 방법으로서, 실제적인 칩의 HBM 테스트 상황과는 달라 보다 실제에 가까운 해석 방법의 필요성이 요구된다.

본 논문의 II 장에서는 ESD 보호용 NMOS 트랜지스터를 포함한 CMOS 칩을 대상으로 하여, 2차원 소자 시뮬레이터인 ATLASII<sup>[14]</sup>를 사용하는 혼합모드 시뮬레이션을 통해 HBM 경우의 방전특성을 상세히 분석하고 소자파괴의 최후 원인이 되는 2차 항복(second breakdown)<sup>[15]</sup> 미커니즘에 대해서도 분석하여 본다. III 장에서는 혼합모드 과도해석을 통해 얻은 결과를 DC 모드 해석 결과와 비교 분석해 보고, 소자 구조 변화에 따른 ESD 방전특성의 변화를 조사하여 ESD에 보다 견고한 NMOS 트랜지스터의 구조에 대해 논의해 본다.

## II. 혼합모드 과도해석

HBM 방전 경우 ESD 보호용 트랜지스터의 가장 취약한 경우는 칩의 핀이 모두 접지된 상태에서 양의 충

전전하가 핀에 인가되는 경우로 알려져 있으며<sup>[2]</sup>, 본 논문에서도 이러한 상황에서의 과도해석을 시도하였다. 혼합모드 과도해석을 위해서는 실제 측정 상황에 가까운 등가회로를 구성해야 하지만, 포함되는 소자 수의 증가는 계산 시간을 크게 증가시키므로 가능한 간단한 형태의 회로로 구성되어야 한다. 그림 1은 HBM 테스트 상황의 비교적 간단한 등가회로를 보여주고 있다.

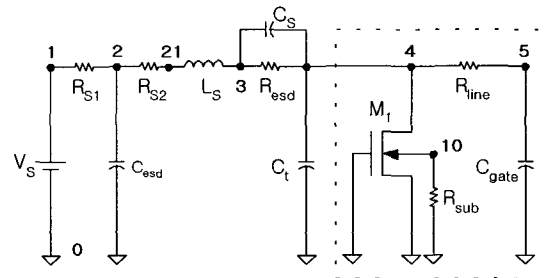


그림 1. HBM 테스트 등가 회로  
Fig. 1. HBM-test equivalent circuit.

그림 1에서 점선 사각형에 포함된 부분이 칩 내부에 대한 등가회로이고, 나머지 부분은 실험 환경에 대한 등가회로이다. 노드 4는 입력패드 노드에 해당되며, M1은 패드에 위치하는 ESD 보호용 NMOS 트랜지스터이고 C\_gate는 칩 내부에 위치하는 입력버퍼 회로의 게이트와 기판 간 커패시턴스이다. HBM 경우에 나타나는 주된 문제는 보호용 소자 자체의 파괴와 입력버퍼 회로의 게이트 산화막 파괴이므로 이 두 부분에 초점을 두고 칩 내부에 대한 등가회로를 결정하였다. R\_sub는 그림 2의 소자 단면도에 포함되지 않은 나머지 기판 영역의 저항을 고려하기 위해 추가한, 접지 노드와 기판 사이의 lumped 저항으로서 그 값은 500Ω을 지정하였다. R\_line은 패드로부터 입력버퍼단에 이르는 배선 저항으로서, 입력버퍼 게이트로의 ESD 서지전압 전달을 지연시키기 위해 추가되는 저항을 포함하여 lumped 값인 200Ω을 지정하였다. 나머지 요소들은 HBM 테스트 상황에 대한 외부 등가회로로서, RS1은 초기 상태 값인 10<sup>-3</sup>Ω에서 2ns 후 10<sup>20</sup>Ω으로, RS2는 초기 상태 값인 10<sup>20</sup>Ω에서 2ns 후 10<sup>-3</sup>Ω으로 변화하는 시변저항으로 충방전 스위치 기능을 대신하도록 하였다. 노드 1과 접지(0) 사이의 전원 VS는 DC 2000V 전원으로 RS1이 on인 초기 상태에서 C\_essd를 2000V로 충전시키고, 2ns 후 RS1은 off, RS2는 on이 되면서 C\_essd에 충전된 전하가

회로 안으로 방전을 시작하게 된다.  $C_{esd}$ 와  $R_{esd}$ 는 각각 인체의 평균 정전용량과 평균 저항에 해당되며, 그 값은 국제 표준 규격<sup>[6]</sup>에 따라 100pF와 1.5K $\Omega$ 으로 각각 지정하였다.

그림 1에서  $C_s$ ,  $C_t$ ,  $L_s$ 는 테스트기와 칩 사이에 존재하는 기생요소들로서 이러한 요소들도 실험 결과에 영향을 줄 수 있으므로 등가회로에 포함시켰다.  $C_s$ 는  $R_{esd}$  양단의 분포 커패시턴스이고,  $C_t$ 는 테스트 보드의 기생 커패시턴스이며,  $L_s$ 는 선 인덕턴스로서 저항  $R_{esd}$ 와 함께 상승시간을 결정하며<sup>[2]</sup>, 이들에 대한 전형적인 값으로 1pF, 10pF, 5 $\mu$ H<sup>[11]</sup>를 각각 지정하였다. 하지만 시뮬레이션 결과 이들 기생요소들을 포함할 경우 시뮬레이션 시간이 크게 증가할 뿐만 아니라 조건에 따라 수렴에 문제가 생기는 경우가 자주 발생하였다. 따라서  $C_s$ ,  $C_t$ ,  $L_s$ 의 값을 모두 0으로 지정하여 기생요소들을 무시한 경우(simp model)의 시뮬레이션 결과와 위와 같이 이들을 고려한 경우(equi model)의 결과를 비교하여 simp model의 사용 가능성도 검토하여 보았다.

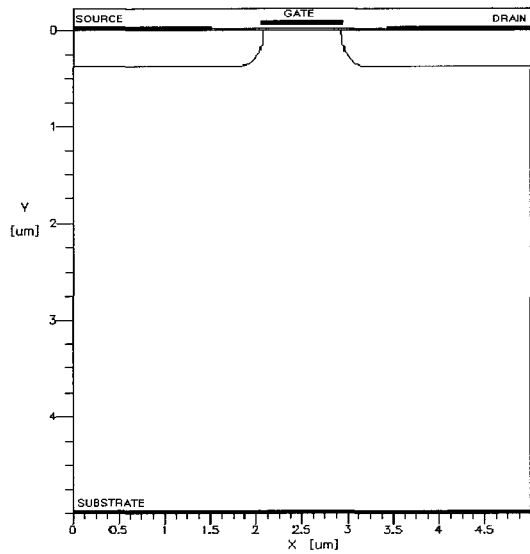


그림 2. NOLDDO 소자의 단면도  
Fig. 2. Cross section of the NOLDDO device.

항복현상의 분석을 위해 시뮬레이션에 사용한 소자는 ESD 이온주입에 의해 LDD 영역이 존재하지 않는 NMOS 트랜지스터로서 본 논문에서는 NOLDDO 소자라 칭하기로 한다. 소자의 단면도는 그림 2와 같고, 소자 구조의 주요 파라미터는 표 1에 정리하였다. 그림 2에서 트랜지스터의 노드 콘택은 진한 선으로 표시하였

다. 표 1에서  $S_{GD}$ 와  $S_{GS}$ 는 게이트와 드레인 콘택간 간격, 게이트와 소스 콘택간 간격을 각각 의미한다.

혼합모드 시뮬레이션에서 그림 1의  $M_1$ 은 2차원 소자 시뮬레이션에 의해 해석되며 나머지 회로는 회로 시뮬레이션에 의해 동시에 해석된다. 가능한 한 실제에 가까운 시뮬레이션을 위해 페르미-디락 통계, 온도에 따른 밴드갭 축소, 쇼클리-리드-홀 재결합, 도핑과 온도에 의존하는 이동도, 오제이 재결합, 도핑농도에 의존하

표 1. NOLDDO 소자의 주요 파라미터  
Table 1. Principal parameters of NOLDDO device.

변 수	구조 명칭	NOLDDO
게이트 및 유효채널 길이		1 $\mu$ m, 0.9 $\mu$ m
게이트산화막 두께		200 Å
기판 도핑농도		10 <sup>19</sup> /cm <sup>3</sup>
채널 도핑농도		피크 10 <sup>17</sup> /cm <sup>3</sup> at y=0.05 $\mu$ m, Gaussian
n+ 영역 깊이, 길이		0.37 $\mu$ m, 2.05 $\mu$ m
n+ 영역 농도 분포		피크 10 <sup>20</sup> /cm <sup>3</sup> at y=0, Gaussian
$S_{GD}$		0.5 $\mu$ m
$S_{GS}$		0.5 $\mu$ m
소자폭		200 $\mu$ m

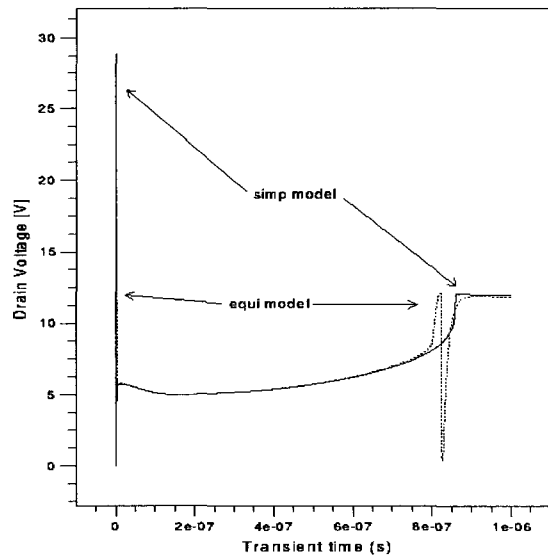


그림 3. NOLDDO 소자의 드레인 전압(V(4)) 변화  
Fig. 3. Drain voltage(V(4)) variation of NOLDDO device.

는 캐리어 수명, 열 발생 모델, 충돌이온화들을 포함시켰다. 열 발생 모델에는 소자가 높은 온도로 상승하기 전까지는 전체 열 발생에서 재결합에 의한 열 발생이 미비하지만 소자의 온도가 상승하면 재결합에 의한 온도상승도 주요 부분이 되므로<sup>[17]</sup> 주열, 재결합열, 펄

터와 탐손열 모델을 모두 포함하였다.

또한 시뮬레이션에 중요한 영향을 주는 경계조건으로는 열 발산에 관련되는 파라미터가 있다. 이와 관련된 온도 경계조건으로는, 트랜지스터의 상부에는 절연층이 적층되어 열의 발산이 어렵다는 가정 아래 주된 열발산이 기판 쪽으로 일어나는 것으로 간주하여 기판 콘택이  $\alpha=100W/(cm^2 \cdot K)$ 의 열전도도를 갖고 나머지 콘택으로의 열발산은 없는 것으로 가정하였다.

그림 3과 그림 4는 NOLDDO 소자에 대한 그림 1 회로의 시뮬레이션 결과로서, 그림 3은 방전시간에 따른 NOLDDO 소자의 드레인 전압(V(4)) 변화를, 그림 4는 드레인 전류 변화를 나타낸 곡선이다. 그림 3, 4에서 실선은 simp model 경우의 방전 특성 곡선이고 점선은 equi model 경우의 방전 특성 곡선을 나타낸 것이다. 그림 5에는 그림 4의 전류변화 특성 중 방전 초기에 해당되는 부분을 확대하여 도시하였다.

그림 3의 equi model 경우를 조사한 결과, 방전 초기  $R_{S2}$ 가 on되고 0.66ns 이후 시점인 2.66ns에서 드레인 전압(V(4))이 12.2V의 피크를 보인 후 6V<sup>v</sup> 정도로 급격히 감소함을 알 수 있었다. 드레인 전압이 피크를 보이는 시점은 드레인 전압이 상승하면서 드레인-기판 접합에서의 충돌이온화에 의해 생성되는 정공에 의한 전류가 기판으로 흐르면서 기판전압이 높아져 소스-기판 접합이 순방향 바이어스 되면서 횡방향 기생 바이폴라 트랜지스터가 트리거 되는 시점이라고 판단된다. 이때의 피크 전압은 III장의 DC 시뮬레이션에 의한 동일한 MOS 트랜지스터의 off 상태 스냅백 전압과 동일하며, 바이폴라 트랜지스터가 트리거된 후 드레인 전압은 바이폴라 트랜지스터의 유지전압인 6V 정도로 급격히 감소하면서 바이폴라 트랜지스터 동작에 의한 방전이 진행된다. 이러한 상황에서의 전류변화는, 그림 5에서 볼 수 있듯이 전류가 거의 흐르지 않다가 2.7ns에서 1.6A의 impulse형 피크를 보인 후 서서히 증가하여 9.2ns에서 1.36A의 피크를 보인 후 그림 4에서 볼 수 있듯이 방전이 진행되면서 서서히 감소한다. 방전 초기의 impulse형 전류 피크의 폭은 0.1ns에 불과하고 simp model에서는 나타나지 않았다. 이는 바이폴라 트랜지스터 트리거와 인덕턴스  $L_s$ 가 연관된 순간적인 불안정 현상인 것으로 판단되며 방전의 주된 현상은 아니라고 판단된다. 2.7ns 이후의 드레인 전류의 크기는 소스 전류의 크기와 동일하므로 방전 전류는 바이폴라 트랜지스터 동작에 의해 흐른다는 것을 알 수 있다.

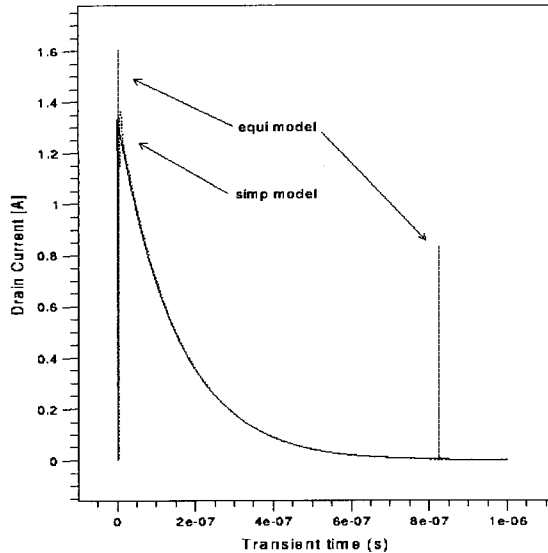


그림 4. NOLDDO 소자의 드레인 전류 곡선; 실선은 simp model 경우, 점선은 equi model 경우  
Fig. 4. Drain current variation of NOLDDO device; solid line for simp model, dotted line for equi model.

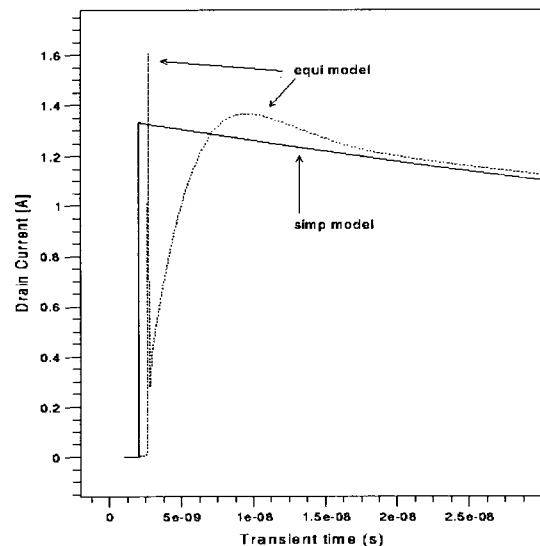


그림 5. NOLDDO 소자의 방전초기 드레인 전류 곡선  
Fig. 5. Drain current variation of NOLDDO device at the beginning of discharge.

횡방향 기생 바이폴라 트랜지스터가 동작되는 상황에서는 소스에서 주입되는 전자가 드레인 접합의 높은 전계에 의해 충돌이온화를 야기하고 이로 인해 생성되는 정공이 바이폴라 트랜지스터의 베이스 전류 공급원의 역할을 하는 상황이 된다. 그림 3의 equi model 경우를 보면 바이폴라가 트리거되어 드레인 전압이 6V 정도로 감소된 후 방전이 진행되면서 0.15 $\mu$ s 시점까지 드레인 전압이 감소함을 알 수 있다. 이는 그림 4에 나타난 바와 같이 드레인을 통한 방전전류가 감소함에 따라 그림 6에서와 같이 상승된 소자온도가 낮아지면서 이동도가 증가하여 바이폴라 동작에 요구되는 드레인-소스간 전압이 감소하기 때문이다. 드레인을 통한 방전전류는 시간이 지남에 따라 지속적으로 감소하므로 바이폴라 트랜지스터 동작의 유지가 점차 어려워지고 이에 따라 요구되는 드레인 전압은 그림 3에서 볼 수 있듯이 다시 증가하다가 바이폴라 트랜지스터 동작이 정지되고 역바이어스된 드레인 pn 접합의 항복에 의해 방전이 이루어지면서 드레인 전압은 드레인 접합의 항복전압에 이르게 된다. 그림 4에서 방전 후기 드레인 전압이 12V 정도에서 거의 고정된 상태로 보이는 부분이 이에 해당되며, 이때 드레인을 통해 방전되는 전류의 양은 매우 작으므로 이후의 드레인 전압은 시간에 따라 매우 느리게 감소하게 된다.

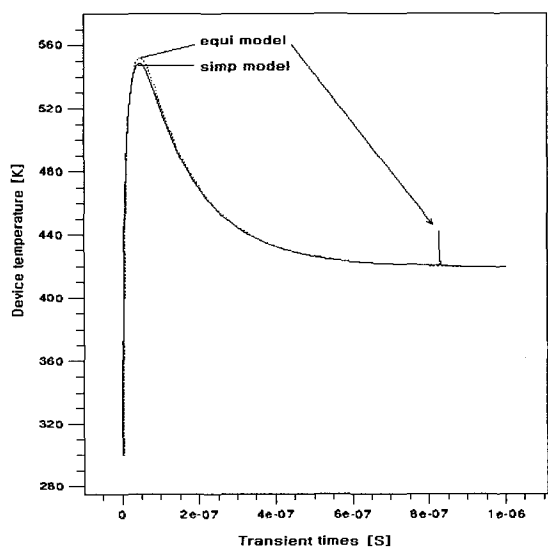


그림 6. NOLDDO 소자 내 최고온도 변화  
Fig. 6. Peak temperature variation of NOLDDO device.

그림 3의 equi model 경우에는 0.8 $\mu$ s 정도에서 순간적인 전압변화가 나타나는데, 이는 실제 측정에서도 나타나는 현상으로서<sup>[18]</sup>, 바이폴라 트랜지스터 동작이 정지되는 시점에서 인덕턴스  $L_s$ 와 연관된 순간적인 불안정 현상인 것으로 판단되며 역시 방전의 주된 현상은 아니라고 판단된다. 이러한 oscillation의 영향으로 equi model 경우에는 그림 4의 전류 곡선에서도 같은 시점에서 순간적으로 피크 0.8A 정도의 전류 스파이크가 나타나고, 그림 6의 equi model 경우에도 같은 시점에서 순간적인 온도 상승이 나타나 있다.

그림 6은 방전시간에 따른 소자 내 온도 변화를 나타내는 것으로, 표시된 온도는 보호용 소자 내 최고온도를 의미한다. 실선은 simp model 경우이고 점선은 equi model 경우이다. 두 모델의 경우 최대 상승 온도에 다소 차이가 있으나 전체적인 온도 특성은 매우 유사하다. 그림에서 보는 것과 같이 방전초기 바이폴라 트랜지스터에 의한 방전이 진행되면서 온도가 상당히 상승하고 시간이 지나면서 온도가 감소하는데, 이 최대온도가 낮을수록 소자 파괴의 위험이 적다고 할 수 있다.

Equi model에 비해 기생 요소들을 무시한 이상적인 경우라고 할 수 있는 simp model 경우에는 방전 초기의 특성이 다소 다르게 나타난다. 우선 그림 3의 방전 초기 드레인 전압 상승이 최대 28.5V에 이른다. 이러한 전압 상승 구간은 0.02ns 미만에 지나지 않으며, equi model 경우와 유사하게 역바이어스된 드레인 접합에서의 충돌이온화에 의해 횡방향 기생 바이폴라 트랜지스터가 트리거 되면서 드레인 전압은 바이폴라 트랜지스터의 유지전압인 6V 정도로 급격히 감소한다. Simp model 경우 드레인 전류는 기생 인덕턴스 요소가 존재하지 않으므로 그림 4와 5에서 알 수 있듯이 방전 초기  $R_{s2}$ 가 on 됨과 거의 동시에 1.33A까지 급격히 증가하는 특성을 보인다. Equi model과 비교해 보면, 인덕턴스 효과와 관련된 impulse 형태의 전압이나 전류 변화는 나타나지 않고 방전 초기의 특성이 다소 다르나 이는 전체 방전시간에 비해 매우 짧은 구간에 국한되며 대부분의 구간에서 방전 특성은 매우 유사한 것으로 보인다. Equi model 경우에는 인덕턴스 효과와 관련된 것으로 보이는 수렴 문제가 자주 발생하였으나 simp model 경우에는 수렴 문제가 없고 시뮬레이션 시간도 크게 단축된다는 장점이 있다. 일반적인 HBM 측정에서 방전전류의 상승시간은 10nsec 미만 정도인 것으로 알려져 있으므로<sup>[2]</sup> equi model 경우의 방전 초기

특성이 실제의 ESD 방전실험 결과에 유사하다고 판단되지만 simp model을 사용하는 것이 혼합모드 과도해석에 있어서 보다 효율적인 방법이 아니가 판단된다. 따라서 앞으로의 분석에서는 simp model을 기준으로 해석해 보기로 한다.

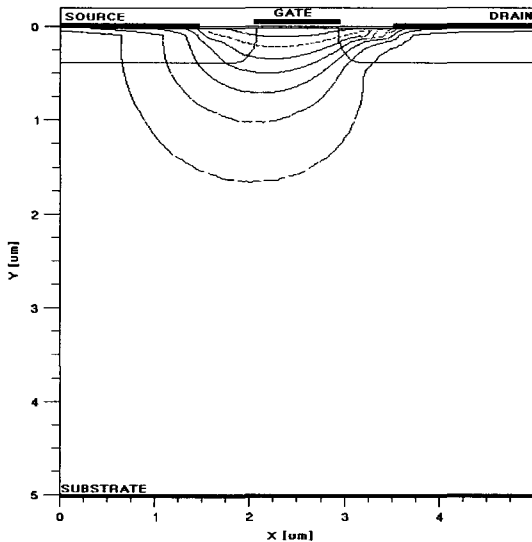


그림 7. 온도상승 최고시 NOLDDO 소자 내 전류 분포  
Fig. 7. Current flow inside the NOLDDO device at its highest temperature.

그림 7은 simp model로 시뮬레이션 한결과 중 소자 내 온도 상승이 최고가 되는 최고온도 552 °K 시점에서의 소자 내 전류분포 곡선을 나타낸 것으로, 횡방향 바이폴라 동작에 의한 방전이 진행되고 있음을 보여준다. 이때 전류는 드레인 접합에 집중되어 있음을 알 수 있다. 그림 8은 그림 7과 같은 조건에서 소자 내 온도 분포를 보여 주고 있다. 그림 8을 보면 소자 내 온도가 최고인 지점은 고전계 영역인 게이트 쪽 드레인 접합 부분임을 알 수 있다. 전류가 고전계 영역인 드레인 접합 부분에 집중되어 있고 온도 상승은 전류밀도와 전계의 곱에 비례하기 때문에 이 부분의 온도가 다른 부분에 비해 상대적으로 높은 것이다.

그림 3과 관련하여 설명한 바와 같이 HBM ESD 경우 인체에 충전된 전하의 대부분은 보호용 소자인 NMOS 트랜지스터 내부의 기생 바이폴라 트랜지스터의 동작에 의해 방전되지만, 방전 후기에는 드레인 접합의 항복에 의해 적은 양의 전류가 접합을 통해 흐르게 된다. 방전 초기의 상승하는 전압은 그 크기가 크

는 하지만 시간이 아주 짧기 때문에 칩 내부의 입력버퍼 게이트 노드(그림 1의 노드 5번)의 전압 상승에 거의 영향을 주지 않는다. 이후의 방전 상황에서 노드 5번의 전압은 노드 4번의 전압과 거의 동일하게 변화하는데, 방전 후기의 전압은 비록 그 크기가 12V 정도로 작지만 방전 시간이 길기 때문에 입력버퍼 게이트 산화막의 절연 파괴를 야기할 수도 있다. 따라서 기생 바이폴라 트랜지스터를 통한 방전시 보호용 소자가 온도 상승에 견딜 수 있도록 견고하게 설계되어야 하는 것도 중요하지만, 방전 후기 방전전압의 크기가 입력버퍼 게이트 산화막 파괴를 야기할 수 있으므로 드레인 접합의 항복전압이 낮아야 함을 알 수 있다.

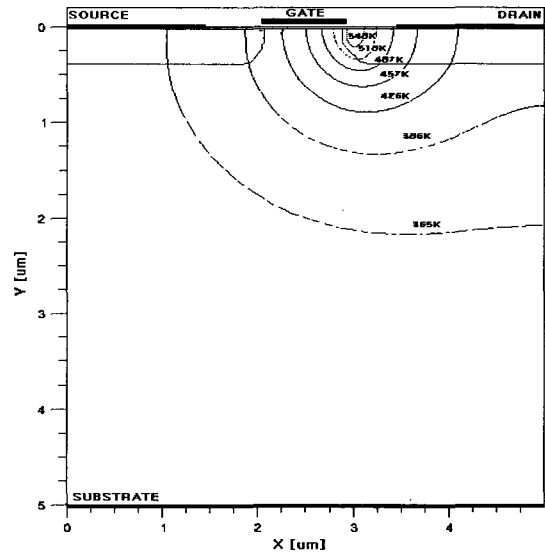


그림 8. 그림 7 경우의 소자 내 온도 분포  
Fig. 8. Temperature distribution inside the device in Fig. 7.

2000V에 해당되는 정전기를 인가한 지금까지의 해석에서 소자 내 최고온도는 552 °K로서, 소자 파괴에 이르는 2차항복 현상이 일어나지 않은 경우이다. 2차항복 현상을 관찰하기 위하여 다른 요소들은 바꾸지 않고 전원의 크기를 4000V로 높여 시뮬레이션해 보았다.

그림 9는  $C_{esd}$  충전전압의 크기가 4000V일 때 simp model로 시뮬레이션한 결과의 방전시간에 따른 드레인 전압 변화를 나타낸 것이고, 그림 10은 소자 내 최고온도의 변화를 나타낸 것이다. 방전초기 드레인 전압은 2000V일 때와 마찬가지로 크게 상승한 뒤 기생 바이폴라 트랜지스터가 동작하여 드레인 전압은 감소한다. 그

러나 이후의 특성은 2000V 경우와는 다소 차이가 난다. 0.12 $\mu$ s 이전에 나타나는 추가의 드레인 전압 감소 및 상승은 그림 10에서 알 수 있듯이 소자 내 최고온도가 1100 °K 이상이 되는 구간에 해당된다. 이러한 특성 변화는 소자 내 온도의 과도한 상승으로 인해 드레인 접합 부위에서 많은 전자와 정공이 열적으로 생성되어 기생 바이폴라 트랜지스터 동작에 필요한 정공의 공급

을 도와줌으로 인해, 충돌이온화를 위해 요구되는 드레인-소스간 전압이 감소하는 2차항복 현상<sup>[13]</sup>에 기인한다고 판단할 수 있다.

0.12 $\mu$ s 이후 소자 온도가 내려가면서 드레인 전압은 2000V 경우와 유사한 감소 후 증가 추세를 보인다. 실제 테스트에서는 2차항복 이후 드레인 전압이 급격히 떨어지고 소자가 파괴되는 것을 볼 수 있으나<sup>[15]</sup>, 이는 온도 상승에 따른 드레인 콘택의 용융에 의한 드레인-기판간 단락과 관련된 것으로 알려져 있다. 이러한 소자 파괴 현상은 콘택의 용융 모델이 포함되지 않은 시뮬레이터로는 재현할 수 없는 현상이다.

### III. 소자 구조에 따른 특성 변화

III장에서는 소스 및 드레인 구조를 변화시킨 트랜지스터를 설정하여 DC 모드 해석의 결과와 혼합모드 과도해석의 결과를 비교하고 소자 구조별 ESD 강도를 조사하여 본다. DC 모드 해석을 다룬 참고문헌 [13]에서 게이트-드레인 콘택간 간격의 증가에 의한 주된 개선 사항은 최고온도 지점인 게이트 쪽 드레인 접합부로부터 드레인 콘택의 위치가 멀어져 드레인 콘택의 용융 문제가 완화된다는 것이 확인된 바 있다. 게이트-드레인 콘택간 간격이 증가된 구조의 혼합모드 과도해석 결과에서도 DC 모드 해석의 결과와 비교할 때 특기할 사항은 없었으므로 본 장에서는 드레인 및 소스 면적을 변화시킨 경우의 특성 변화에 대해서 다루어 본다. 비교할 구조는 NOLDD0, NOLDD1, NOLDD2 소자로서 구조의 차이점을 표 2에 정리하였다. 소자 전체 X축 및 Y축의 길이는 모두 동일한 조건으로 하였고 또한 소자의 mesh가 다르면 동일한 구조의 소자를 시뮬레이션 하더라도 결과가 다소 다르게 나올 수 있으므로 동일한 mesh를 유지하여 모든 구조들을 시뮬레이션

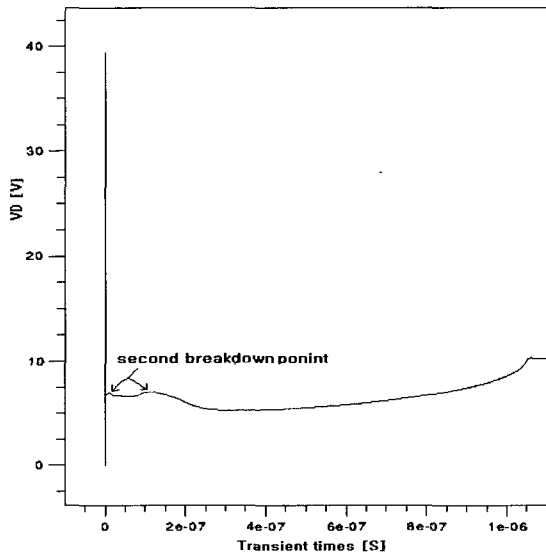


그림 9. 4000V 경우의 드레인 전압 변화  
Fig. 9. Drain voltage variation in case of 4000V.

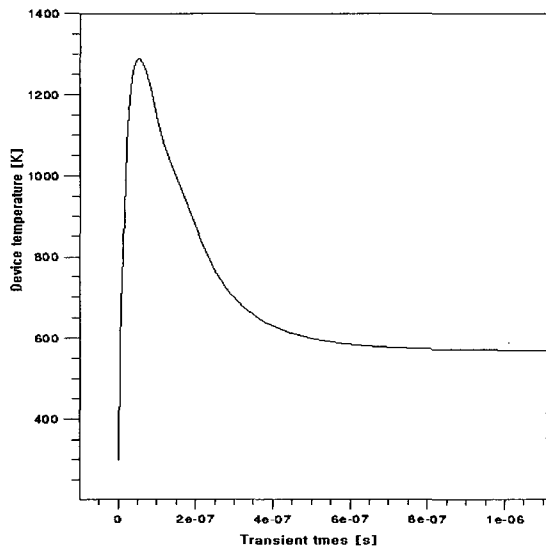


그림 10. 4000V 경우의 소자 내 최고온도 변화  
Fig. 10. Peak temperature variation of the device in case of 4000V.

표 2. 소자 구조에 따른 주요 파라미터  
Table 2. Principal parameters of different device structures.

소자명칭 변수	NOLDD0	NOLDD1	NOLDD2
S <sub>GD</sub>	0.5 $\mu$ m	1.5 $\mu$ m	2.5 $\mu$ m
S <sub>GS</sub>	0.5 $\mu$ m	0.5 $\mu$ m	0.5 $\mu$ m
드레인 길이	2 $\mu$ m	2 $\mu$ m	3 $\mu$ m
소스 길이	2 $\mu$ m	1 $\mu$ m	1 $\mu$ m

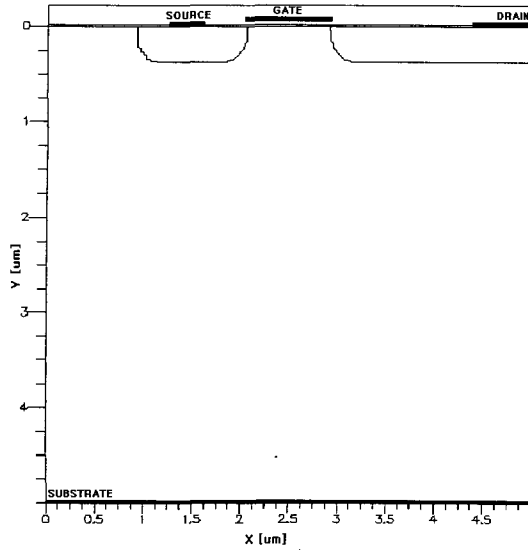
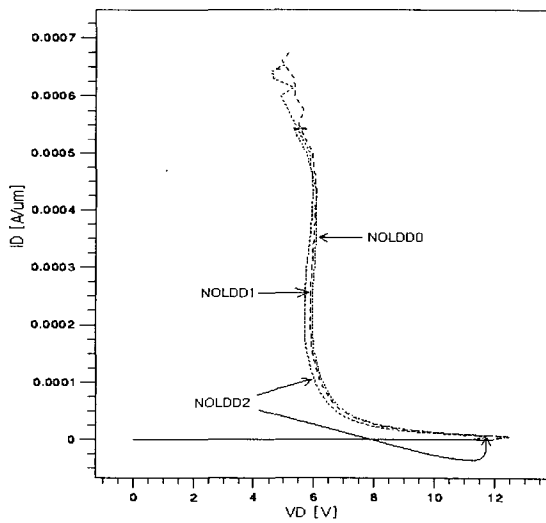


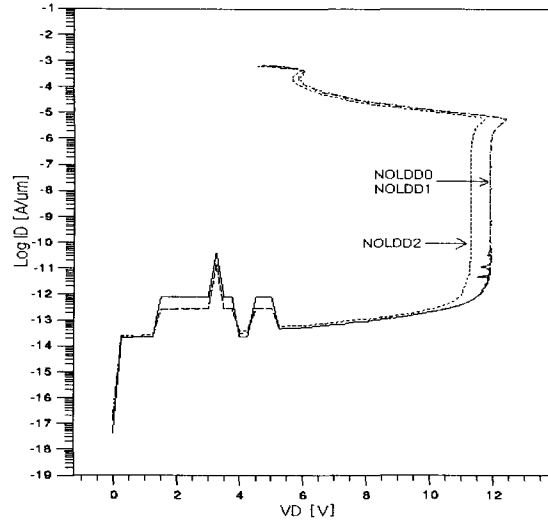
그림 11. NOLDD1 소자의 단면도  
Fig. 11. Cross section of the NOLDD1 device.

하였다. 비교를 위한 기본 구조는 II장에서 다룬 NOLDD0 소자이며, 그림 11에는 이해를 돕기 위해 NOLDD1 소자의 단면도를 도시하였다.

그림 12는 각 소자들의 DC 모드 시뮬레이션 결과 중 드레인 전류-전압 특성을 보여 주고 있다. (a)는 선형 스케일로, (b)는 Y축을 로그 스케일로 나타낸 그래프이다. 시뮬레이션은 기판, 게이트, 소스 노드가 접지된 상태에서 드레인 전압을 증가시키며 진행하다 드레인 접합의 항복에 의한 전류가 증가되는 시점부터는 인가되는 드레인 전류를 증가시키는 방식으로 시행하였다. 기



(a)



(b)

그림 12. DC 모드 해석의 드레인 전류-전압 특성;  
(a) 선형 스케일, (b) 반로그 스케일

Fig. 12. Drain current-voltage characteristics by DC-mode analyses;  
(a) in linear scale, (b) in semi-log scale.

생 바이폴라 트랜지스터의 트리거에 의한 스넵백 현상이 나타나 있고, 이후 전류는 바이폴라 동작에 의해 흐르게 되고 바이폴라 유지전압은 6V 미만이 됨을 알 수 있다. 전류를 계속 증가시키면 온도 상승에 의한 이동도 감소로 바이폴라 동작에 요구되는 드레인 소스간 전압이 다소 증가하다가 전류가 0.00045A/um 정도에서 다시 감소하는데 이 경우가 2차항복에 들어가는 지점이다<sup>[13]</sup>. II장의 2차항복에 대한 과도해석의 결과에 대한 설명은 이러한 2차항복 특성에 근거를 두고 있다.

NOLDD1 소자 경우는 NOLDD0 소자와 비교해 볼 때 그림 12에서 바이폴라 트랜지스터가 트리거되는 스넵백 전압은 12.2V 정도로 유사하나, 바이폴라 유지전압이 다소 감소함을 알 수 있다. 이는 NOLDD1 소자 경우 소스 면적이 감소함에 따라 바이폴라 트랜지스터 동작의 유지에 요구되는 베이스 정공 전류량이 감소하여 요구되는 소스-드레인간 전압의 크기가 감소하기 때문이내<sup>[13]</sup>, 그 특성의 차이는 미미함을 알 수 있다. NOLDD1 소자에 비해 드레인 면적을 1.5배로 증가시킨 NOLDD2 소자는 NOLDD0 소자 및 NOLDD1 소자에 비해, 그림 12(a)에서 스넵백 전압과 유지 전압이 모두 작다는 것을 알 수 있다. 이는 드레인 면적이 커짐에 따라 드레인 접합의 면적이 커지므로 같은 바이어스



조건에서 다른 구조들에 비해 드레인 접합 부위에서 생성되는 정공에 의한 전류가 증가하므로 기생 바이폴라 트랜지스터가 트리거 되는데 상대적으로 작은 소스-드레인간 전압이 요구되고, 유지전압 또한 작아지는 것이라고 판단된다.

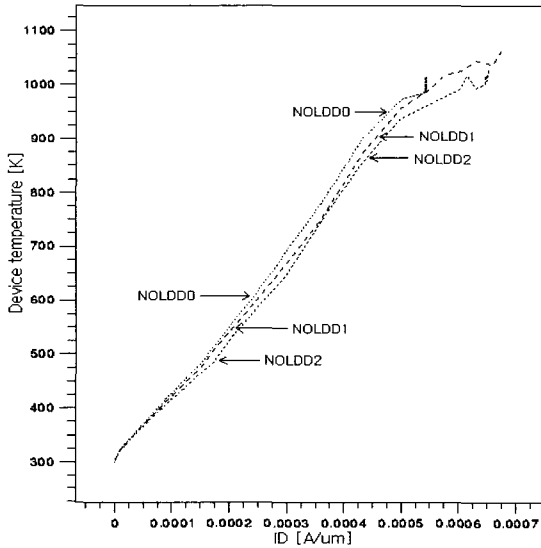


그림 13. DC 모드 해석의 드레인 전류에 따른 소자 내 최고온도 곡선

Fig. 13. Peak device temperature vs drain current by DC-mode analyses.

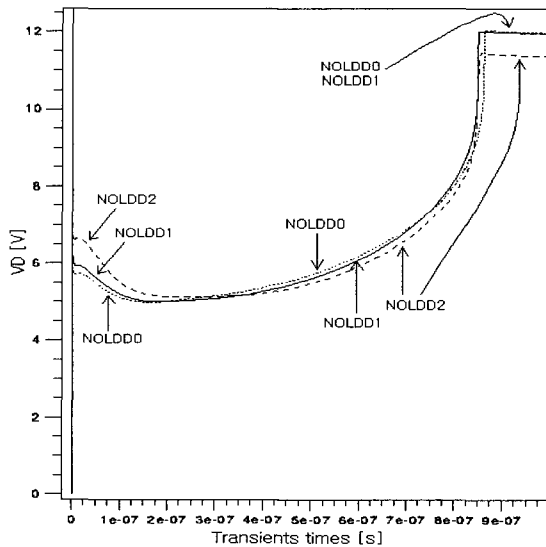


그림 14. 혼합모드 과도해석에 의한 각 소자들의 드레인 전압

Fig. 14. Drain voltage of different devices by mixed-mode transient analyses.

그림 13은 그림 12의 시뮬레이션 결과를 드레인 전류 증가에 따른 소자 내 최고온도의 변화 형태로 나타낸 그림이다. 같은 크기의 DC 드레인 전류가 흐를 경우, 소자 내 온도 상승은 NOLDD0 소자에 비해 NOLDD1 소자가 다소 낮고, NOLDD2 소자가 좀더 낮음을 알 수 있다. 따라서 DC 시뮬레이션 결과를 기준으로 하면, 정전기를 방전하는 전기적 특성 면에서 NOLDD2 소자가 다른 소자들에 비해 다소 우월할 것으로 예상된다.

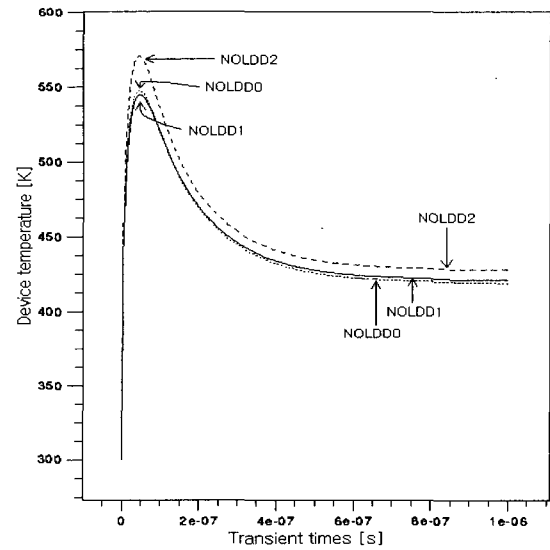


그림 15. 혼합모드 과도해석에 의한 각 소자들의 소자 내 최고온도 변화

Fig. 15. Peak device temperature variation of different devices by mixed-mode transient analyses.

그림 14와 그림 15는 simp model을 이용한 혼합모드 과도해석의 결과로서, 보호용 NMOS 트랜지스터들의 방전시간에 따른 드레인 전압 변화와 소자 내 최고온도의 변화를 각각 도시한 그림이다. NOLDD1 소자와 NOLDD2 소자의 전류 변화는 그림 4와 5의 simp model 경우와 동일함을 확인하였다.

그림 14에서 0.3μs 이후의 특성을 보면 DC 해석 결과와 마찬가지로 NOLDD1 소자와 NOLDD2 소자의 바이폴라 유지전압이 작아 드레인 전압이 다소 낮고, NOLDD2 소자 경우 스냅백 전압이 낮아 방전 말기의 드레인 전압이 다른 구조에 비해 낮게 유지됨을 알 수 있다. 하지만 방전 초기인 0.3μs 이전의 특성은 DC 해석 결과와 차이가 있다. NOLDD1 소자 경우 드레인 전

압이 NOLDD0 소자에 비해 다소 높고 NOLDD2 소자 경우에는 보다 더 높음을 알 수 있다. 그림 15의 온도 특성에서는 NOLDD0 소자와 NOLDD1 소자의 차이는 미미하나 NOLDD2 소자 경우에는 온도 상승이 상대적으로 높다는 것을 알 수 있다. 바이폴라 동작에 의한 방전시 온도 상승이 높아지면 이동도 감소로 인해 유지전압이 높아지므로 그림 14에서 방전 초기 NOLDD2 소자의 드레인 전압이 높은 것은 당연한 일이라 할 수 있다. 동일한 소자 모델, 동일한 mesh로 시뮬레이션을 했지만 혼합모드 과도해석과 DC 모드 해석에 차이가 있는 것이다. 이러한 차이의 원인을 규명하는 것은 쉬운 일이 아니나 우선 이 방전 기간에 흐르는 전류의 크기를 고려해 볼 필요가 있다. 그림 4의 방전 초기 드레인 전류의 크기는 근사적으로 1A 정도이며 소자 폭이  $200\mu\text{m}$ 이므로 소자폭당 전류는  $0.005\text{A}/\mu\text{m}$  정도이다. 이러한 전류의 크기는 DC 해석 결과인 그림 12와 그림 13에서 나타난 전류 크기의 10배 이상에 해당되는 것임을 알 수 있다. DC 해석에서는 전류가 지속적으로 흐르는 것을 가정한 경우의 상황이므로 온도 상승이 과도해석에 비해 훨씬 높아짐을 알 수 있다. 이러한 점들을 고려할 때 소자 자체만의 DC 해석의 결과로부터 실제 HBM 테스트 상황에서의 방전특성을 예측한다는 것이 다소 무리라는 생각이 들고, 실제 상황에 보다 유사한 혼합모드 과도해석 결과의 활용이 절대적으로 필요하다고 판단된다.

그림 16은 NOLDD2 소자에서 소자 내 온도상승이 최고가 되는 최고온도  $576\text{K}$  시점에서의 소자 내 전류분포 곡선을 나타낸 것이다. 그림 17은 이 경우 소자 내 온도 분포이다. 그림 16에서는 드레인 영역의 길이가 증가함에 의해 방전 전류가 드레인 확산 영역 내로 집중되고 있음을 알 수 있다. 이에 따라, 그림 17에서의 소자 내부 온도 분포를 보면 소자 내부의 최고 온도 지점은 전류밀도와 전계의 세기가 가장 큰 게이트 쪽 드레인 접합 부분임을 알 수 있다. 실제 정전기 방전에 의해 일어나는 소자파괴는 드레인 콘택의 용융 현상에 기인하며, NOLDD2 소자의 경우에는 다른 소자에 비해 온도가 최고인 지점으로부터 드레인 콘택의 위치가 멀리 때문에 다른 구조의 소자들에 비해 콘택 용융의 문제가 완화될 것으로 판단된다. 실제로 소자 내 온도 상승이 최고인 시점에서, NOLDD1 소자 경우의 드레인 콘택 최고온도는  $390\text{K}$ 이고, NOLDD2 소자 경우에는  $357\text{K}$ 가 됨을 확인하였다. 그림 15에서 볼 수 있듯이

NOLDD2 소자가 다른 소자들에 비해 게이트 쪽 드레인 접합에서의 온도상승은  $25\text{K}$  정도 높으나, 드레인 콘택의 온도 상승은 상대적으로 낮아지므로 보다 견고한 구조임을 추측할 수 있다. NOLDD1 소자와 NOLDD2 소자의 특성 차이로 판단할 때, 드레인 길이가 보다 증가할 경우 게이트 쪽 드레인 접합의 온도 상승은 보다 심해질 것으로 예상되므로 이에 의한 계

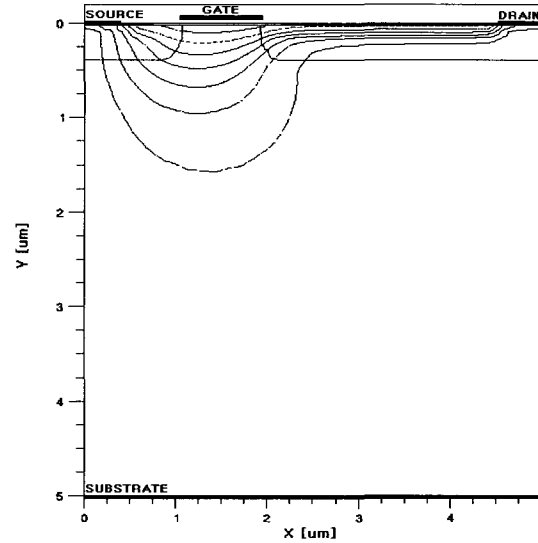


그림 16. 온도 상승 최고시 NOLDD2 소자 내 전류 분포  
Fig. 16. Current flow inside the NOLDD2 device at its highest temperature.

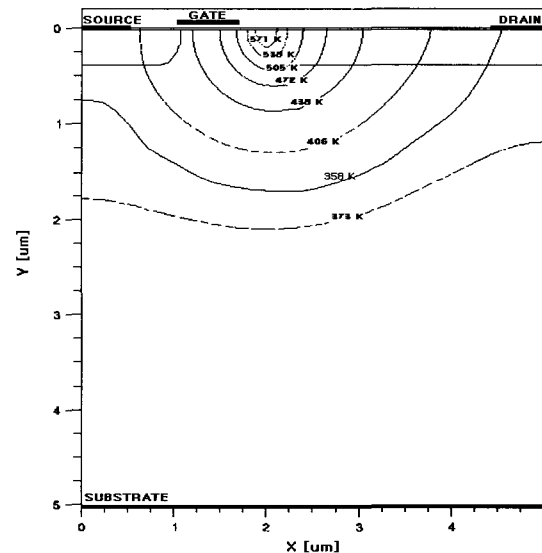


그림 17. 그림 16 경우 소자 내 온도 분포  
Fig. 17. Temperature distribution inside the device in Fig. 16.

이트 용융 등의 문제가 발생할 수 있음을 예상할 수 있다. 이는 ESD 실제 측정 결과 드레인 길이의 증가가 지나칠 경우 오히려 ESD 강도가 저하되는 경향이 있다는 연구 결과<sup>[1]</sup>와 일치되는 결과라 할 수 있다.

#### IV. 결 론

ESD 보호용 소자로 보편적으로 사용되고 있는 NMOS 트랜지스터를 포함한 CMOS 칩의 간략화된 등가회로를 구성하여 혼합모드 과도해석을 수행함으로써 HBM ESD 파괴현상에 대한 분석을 시도하였고, 혼합모드 과도해석 결과와 DC 모드 해석 결과를 비교하고 소자구조 변화에 따른 정전기 방전 특성의 변화를 조사하였다. 본 논문의 기여사항을 요약하면 다음과 같다.

· HBM ESD 현상의 분석을 위한 혼합모드 과도해석 방법을 제시하고 방전 특성을 상세히 분석하였다.

· 실제 ESD 측정 실험 환경의 기생 요소들을 포함한 equi-model 경우의 혼합모드 시뮬레이션 결과와 기생 요소를 포함하지 않은 simp-model의 결과를 비교 분석함으로써 혼합모드 과도해석에 있어 simp-model의 적용 가능성을 검토하였다.

· 소자의 2차항복 과도현상을 성공적으로 시뮬레이션하고 DC 시뮬레이션 결과와 연계하여 분석함으로써, 혼합모드 과도해석에 의해 2차 항복현상의 발생 여부를 판별할 수 있음을 밝혔다.

· 소스 면적의 감소, 드레인 면적의 증가, 게이트-드레인 콘택간 간격 증가에 의한 영향을 조사하였다. 특히 드레인 면적의 증가에 따른 게이트-드레인 콘택간 간격의 증가는 소자 내 최고온도의 상승을 억제하는 것이 아니라, 소자 내 최고온도 지점인 게이트 쪽 드레인 접합과 드레인 콘택 간의 거리를 증가시킴으로써 드레인 콘택의 온도 상승을 완화하여 ESD 강도의 개선 효과를 가져온다는 사실을 규명하였다.

· 혼합모드 과도해석과 DC 모드 해석의 결과에 다소 차이가 있음을 밝히고, DC 모드 해석이 시간이 적게 걸리고 간단한 장점은 있지만 실제 ESD 방전의 경우와는 상황이 다르므로, HBM ESD 현상의 분석을 위해서는 혼합모드 과도해석이 필요함을 밝혔다.

#### 참 고 문 헌

[1] C. H. Diaz, S. M. Kang, and C. Duvvury,

*Modeling of electrical overstress in integrated circuit*, Kluwer Academic Publishers, 1995.

[2] A. Amerasekera and C. Duvvury, *ESD in silicon integrated circuits*, JOHN WILEY & SONS, 1995.

[3] A. Amerasekera, W. van den Abeelen, L. van Roozendaal, M. Hannemann, and P. Schofield, "ESD failure modes: characterization, mechanisms, and process influences," *IEEE Trans. Electron Devices*, vol. 39, no. 2, pp. 430-436, Feb. 1992.

[4] T. L. Polgreen and A. Chatterjee "Improving the ESD failure threshold of silicided nMOS output transistors by ensuring uniform current flow," *IEEE Trans. Electron Devices*, vol. 39, no. 2, pp. 379-388, Feb. 1992.

[5] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," *IEEE Electron Device Lett.*, vol. 12, no. 1, pp. 21-22, Jan. 1991.

[6] J. Z. Chen, A. Amerasekera, and T. Vrotsos, "Bipolar SCR ESD protection circuit for high speed submicron Bipolar/BiCMOS circuits," *IEDM Tech Digest*, pp. 337-340, Washington, DC, U.S.A., Dec. 1995.

[7] K. Mayaram, J.-H. Chern, L. Arledge, and P. Yang, "Electrothermal simulation tools for analysis and design of ESD protection devices," *IEDM Tech. Digest*, pp. 909-912, Washington, DC, U.S.A., Dec. 1991.

[8] A. Chatterjee, T. Polgreen, and A. Amerasekera, "Design and simulation of a 4KV ESD protection circuit for a 0.8 $\mu$ m BiCMOS process," *IEDM Tech. Digest*, pp. 913-916, Washington, DC, U.S.A., Dec. 1991.

[9] A. Amerasekera, A. Amerasekera, and M.-C. Chang, "Prediction of ESD robustness in a process using 2-D device simulations," *IEEE IRPS proceedings*, pp. 161-167, Atlanta, U.S.A., Mar. 1993.

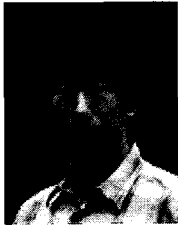
[10] C. Diaz, C. Duvvury, and S.-M. Kang, "Studies of EOS susceptibility in 0.6  $\mu$ m nMOS ESD I/O

- protection structures," *EOS/ESD Symposium Proceedings*, pp. 83-91, Lake Buena Vista, U.S.A., Sept. 1993.
- [11] A. Stricker, D. Gloor, and W. Fichtner "Layout optimization of an ESD-protection n-MOSFET by simulation and measurement," *EOS/ESD Symposium Proceedings*, pp. 205-211, Phoenix, U.S.A., Sept. 1995.
- [12] H. Brand and S. Selberherr, "Two-dimensional simulation of thermal runaway in a nonplanar GTO-thyristor," *IEEE Trans. Electron Devices*, vol. 42, no. 12, pp. 2137-2146, Dec. 1995.
- [13] 최진영, 임주섭, "소자 시뮬레이션을 이용한 ESD 보호용 NMOS 트랜지스터의 항복 특성 분석," 전자공학회논문지, 제34권, D편, 제11호, pp. 37-47, 1997년 11월
- [14] ATLASII Framework, Version 4.3.0.R, Silvaco International, 1997.
- [15] A. Amerasekera, L. van Roozendaal, J. Bruines, and F. Kuper, "Characterization and modeling of second breakdown in NMOST's for the extraction of ESD-related process and design parameters," *IEEE Trans. Electron Devices*, vol. 38, no. 9, pp. 2161-2168, Sept. 1991.
- [16] MIL-STD-883C Method 3015.7, DOD, 1989.
- [17] B. Krabbenborg, R. Beltman, P. Wolbert, and T. Mouthaan "Physics of electro-thermal effects in ESD protection devices," *EOS/ESD Symposium Proceedings*, pp. 98-103, Las Vegas, U.S.A., Sept. 1991.
- [18] C. Russ, H. Gieser, and K. Verhaege, "ESD protection elements during HBM stress tests - Further numerical and experimental results," *EOS/ESD Symposium Proceedings*, pp. 96-105, Las Vegas, U.S.A., Sept. 1994.

---

 저 자 소 개
 

---



崔 鎮 榮(正會員)

1956년 12월 10일생. 1979년 2월 서울대학교 전기공학과(공학사). 1986년 12월 University of Florida 전기공학과(석사). 1991년 5월 University of Florida 전기공학과(공학박사). 1991년 4월 ~ 1992년 8월 삼성전자 반도체부문 수석연구원. 1992년 8월 ~ 현재 홍익대학교 과학기술대학 전자전기컴퓨터공학부 부교수. 주관심 분야는 RF 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구 등임

宋 光 燮(正會員)

1972년 11월 10일생. 1998년 2월 홍익대학교 전기공학과(공학사). 2000년 2월 홍익대학교 대학원 전기공학과(석사). 12월 현재 동경 와세다대 박사과정 입학 예정. 주관심 분야는 반도체 소자 모델링, 정전기방전 현상분석 및 보호회로 설계 연구 등임