

論文2001-38SD-1-3

실리사이드 공정에 의해 제조된 아날로그용 다결정 실리콘 커패시터의 전기적 특성 변화

(The Effects of Silicide Process on Electrical Properties in an Analog Polysilicon Capacitor)

李在成*, 李在坤**

(Jae Sung Lee and Jae Gon Lee)

요 약

아날로그용 다결정 실리콘 커패시터를 Ti-실리사이드 공정으로 제조하여 실리사이드에 의한 커패시터의 전기적 특성 변화를 조사하였다. 커패시터의 선형 특성을 개선시키기 위해서는 두 전극으로 사용되는 다결정 실리콘의 물성이 동일해야 한다. 다결정 실리콘들은 높은 불순물 농도를 가져야 하고 그 크기가 같아야 한다. 정전용량 전압 계수(Voltage Coefficient of Capacitance ; VCC)는 아날로그 커패시터의 선형성을 나타내는 계수이며, 커패시터의 구성 물질과 커패시터의 구조에 의존하게 된다. 본 연구에서는 다결정 실리콘을 Ti-실리사이드 함으로써 낮은 정전용량 전압 계수를 얻을 수 있었다. 이것은 실리사이드와 다결정 실리콘사이의 계면에서 기생 정전용량이 발생하여, 커패시터의 단위 면적 당 정전용량이 낮아졌기 때문이다. 그러나 실리사이드 공정동안 하층 다결정 실리콘 근처의 산화막에서 양전하가 형성됨을 전기적 특성으로부터 유추하였다.

Abstract

The effects of Ti-silicide process on the electrical properties of an analog polysilicon capacitor were investigated. To improve the linearity with the applied voltage both electrodes, which are polysilicon in our device, should have almost same material properties. The doping concentrations of both electrodes need to be high and to have the similar levels. Voltage Coefficient of Capacitance (VCC) is one of the properties to represent the linearity of analog capacitor, and it is related with the material and the structure of capacitor. In this study, it was possible to obtain the lower VCC by siliciding the polysilicon areas of capacitor. This is due to the parasitic capacitance at the interfaces between silicide and polysilicons, resulting the decrease of unit capacitance. However, we assumed the creation of positive oxide charge near the lower polysilicon electrode during the silicide process.

* 正會員, 威德大學校 情報通信工學科,
(Uiduk University, Dept. of Computer & Communication Eng.)

** 正會員, 現代電子産業株式會社
(Hyundai Electronics Industries Co., Ltd.)

接受日字:2000年6月19日, 수정완료일:2000年12月12日

I. 서 론

아날로그 CMOS 기술에서 우수한 동작 특성을 갖는 고집적 커패시터의 제조는 매우 중요하다. A/D 변환기(converter), 여파기(filter), 및 감쇠기(attenuator) 등의 아날로그 회로의 안정된 전기적 특성은 커패시터의 전기적 특성에 의존한다^[1,2]. 아날로그용 커패시터는 단위

면적 당 높은 정전 용량, 우수한 정합(matching) 특성, 낮은 전압 계수와 온도 계수(voltage and temperature coefficient), 낮은 누설전류, 높은 전계강도, 그리고 제조의 단순화 등이 요구된다. 아날로그 커패시터의 구조로는 두 전극의 종류에 따라 다결정 실리콘-다결정 실리콘 커패시터, 다결정 실리콘-단결정 실리콘 커패시터, 금속-단결정 실리콘 커패시터, 및 금속-금속 커패시터 등이 제시되었다^[3]. 다결정 실리콘-다결정 실리콘 커패시터는 제조 공정이 단순하고 그 특성이 우수하여 현재 아날로그 응용 회로에 많이 사용되고 있다.

아날로그와 디지털 기능을 하나의 칩(chip)위에 구현하기 위해 아날로그와 디지털 제조기술이 통합되는 것이 일반적인 추세이므로 고집적 디지털 CMOS 공정이 아날로그 소자의 제조에도 적용되고 있다. 특히, 실리사이드(silicide) 공정은 submicron 디지털 공정 기술에서부터 사용되고 있으며, 회로 상의 접촉저항 성분을 줄여 준다^[4].

실리사이드 공정은 금속 접촉저항을 줄일 수 있는 장점을 가지고 있으나 실리사이드 형성중에 발생하는 기생 요소들에 대한 연구도 또한 이루어지고 있다. 이러한 기생 요소들은 주로 실리사이드와 실리콘 사이의 계면에서 발생하며, 소자의 특성에 기생 저항 및 기생 정전용량으로써 영향을 줄 수 있다.

본 논문에서는 실리사이드 공정이 아날로그 커패시터의 선형 특성에 미치는 영향을 조사하기 위해 디지털/아날로그 혼합 공정 기술로 다결정 실리콘/실리콘 산화막/다결정 실리콘 구조의 아날로그 커패시터를 제조하여 그 특성을 분석하였다. 실리사이드 공정의 선택에 따라 커패시터는 네 종류의 구조를 갖는다. 제조된 커패시터의 두 전극인 다결정 실리콘은 전도도를 증가시키기 위해 고농도 n형 분순물을 첨가시켰다.

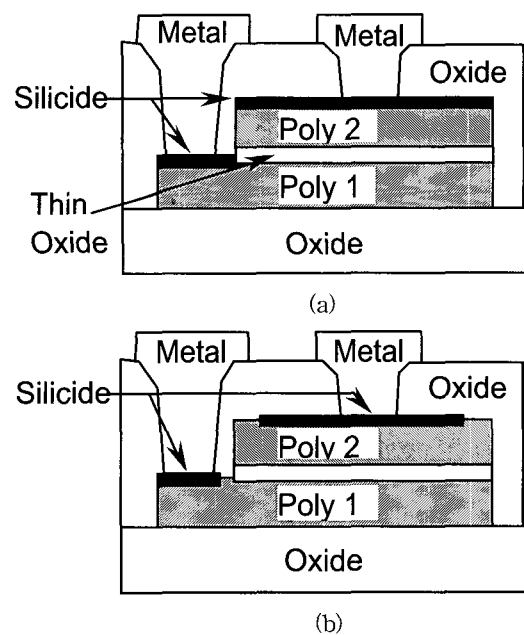
II. 실험

아날로그 커패시터는 실리콘 기판과의 절연을 유지하기 위해 field oxide위에 형성되었다. 커패시터의 하층 전극으로 사용될 다결정 실리콘을 2500 Å의 두께로 증착한 후, 고농도의 phosphorous 이온을 주입시켰다. 커패시터의 유전체로는 TEOS법으로 제조한 200 Å의 실리콘 산화막을 사용하였다. 커패시터의 상층 전극으로 사용될 다결정 실리콘을 1500 Å의 두께로 형성하였

다. 상층 다결정 실리콘은 $POCl_3$ 의 분위기에서 형성되었기 때문에 전극으로서의 전도도를 유지할 수 있다. 사탐침법(four-point probe)으로 측정된 하층 및 상층 다결정 실리콘의 면 저항은 약 $38\Omega/sq.$ 로 동일하였다. 형성된 커패시터의 면적은 $320 \times 220 \mu m^2$ 이었다.

실리사이드 공정은 소자의 구조에 따라 선택적으로 행하여졌다. 약 400 Å의 Ti를 증착한 후, 800°C와 1050°C에서 2 단계 금속 열처리를 통해 Ti-실리사이드를 제조할 수 있었다. 측정된 Ti-실리사이드의 면 저항은 $5\Omega/sq.$ 이하로 매우 낮았다. 최종적으로, 금속 배선을 위한 접촉부 개방 및 금속 배선 형성을 통해 아날로그 커패시터를 제조할 수 있었다.

그림 1은 본 연구에 사용된 커패시터의 구조를 각각 나타낸다. 그림 1a)의 구조 1에서는 상하층 다결정 실리콘의 노출된 부분이 모두 실리사이드가 형성되었다. 그림 1b)의 구조 2는 상층 다결정 실리콘의 가장자리와 하층 다결정 실리콘의 일부를 제외한 나머지 부분만을 실리사이드로 형성하였다. 실리사이드 면적이 구조 1에 비해 10% 감소되었다. 그림 1c)의 구조 3에서는 상층 다결정 실리콘 전체가 실리사이드 되지 않았다. 그러므로 상층 전극의 접촉저항은 증가할 것으로 판단된다. 그림 1d)의 구조 4에서는 전극 접촉면 아니라 전체 상하층 다결정 실리콘이 실리사이드 되지 않았다.



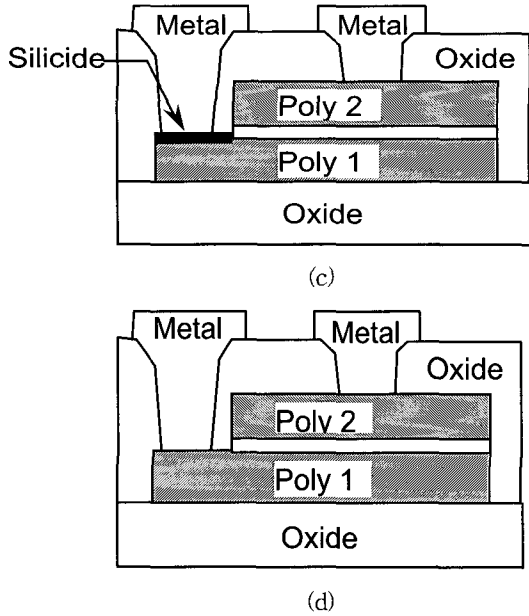


그림 1. 제조된 커패시터의 단면; (a) 구조 1, (b) 구조 2, (c) 구조 3, (d) 구조 4

Fig. 1. Cross-sectional views of the manufactured capacitors ; (a) type 1, (b) type 2, (c) type 3, and (d) type 4.

제조된 소자의 전류-전압 특성과 정전용량은 HP 4145B semiconductor parameter analyzer와 HP 4192A impedance analyzer로 각각 측정되었다. 정전용량을 측정하기 위해 사용된 주파수는 100kHz이다.

III. 이론

그림 2는 n+ 다결정 실리콘을 두 전극으로 갖고 실리콘 산화막을 유전체로 갖는 커패시터의 에너지 대역을 나타낸다. 두 다결정 실리콘의 불순물 농도는 거리에 대해 일정하다고 가정하였다. 그리고 다결정 실리콘은 단결정 실리콘의 모델과 Maxwell-Boltzmann 분포를 갖는다고 가정한다. 인가 전압의 극성에 따라 전자 공핍영역(depletion region)과 전자 축적영역(accumulation region)이 두 다결정 실리콘에서 동시에 발생하게 된다. 그림 2로부터 다음의 관계식들이 유도된다^[5].

$$V_{apply} = \psi_{s2} - \psi_{s1} + V_{ox} + W_{12} \quad (1)$$

$$Q_T = Q_{s1} + Q_{i1} + Q_{A1} = -Q_{s2} - Q_{i2} - Q_{A2} \quad (2)$$

$$V_{ox} = Q_T / C_{ox} \quad (3)$$

$$W_{12} = \frac{kT}{q} \ln \frac{N_{d2}}{N_{d1}} \quad (4)$$

여기서, ψ_s 는 다결정 실리콘의 표면 전위(potential)이며, V_{ox} 는 실리콘 산화막의 전압 강하이다. Q_T 는 실리콘 산화막의 전체 전하량이며, Q_s, Q_i 및 Q_A 는 다결정 실리콘의 표면 전하량, 계면 포획전하량, 및 산화막 내의 고정 전하량을 각각 나타낸다. W_{12} 는 두 다결정 실리콘 사이의 벌크(bulk) 전위차이며, N_d 는 다결정 실리콘내의 불순물 농도를 나타낸다. 첨자 1과 2는 각각 하층 및 상층 다결정 실리콘을 나타낸다. 커패시터의 전체 정전용량, C_T , 은

$$\frac{1}{C_T} = \frac{1}{C_{s1} + C_{i1}} + \frac{1}{C_{ox}} + \frac{1}{C_{s2} + C_{i2}} \quad (5)$$

으로 표현된다. 여기서, $C_s = -dQ_s/d\psi_s$, $C_i = -dQ_i/d\psi_s$ 이며, C_{ox} 는 실리콘 산화막의 정전용량이다^[6].

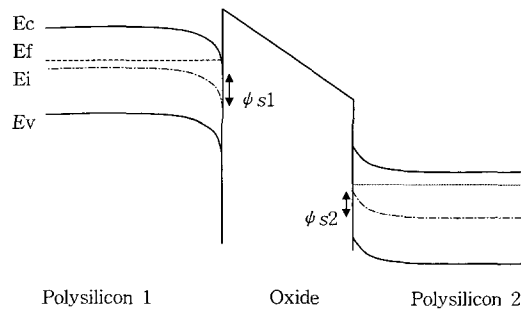


그림 2. N+ 다결정 실리콘/산화막/n+ 다결정 실리콘 구조 커패시터의 에너지 대역도

Fig. 2. Energy band diagram of an n+ polysilicon/oxide/n+ polysilicon capacitor structure.

만약, 두 다결정 실리콘의 불순물 농도가 같다면, $\psi_{s1} = \psi_{s2}$, $W_{12} = 0V$ 이므로 $V_{apply} = V_{ox}$ 으로 표현될 수 있다. 이 경우, 인가전압의 극성변화에 대해 아날로그 커패시터는 대칭적인 전기적 특성을 갖게 되고, 그 선형 특성은 이상적 모델을 따르게 된다.

IV. 결과 및 고찰

제조된 커패시터의 평균 정전용량은 약 89 pF이었다. 그림 3은 네 종류의 커패시터에 대한 인가전압에 따른 정전용량의 변화를 나타낸다. 그림에서 각 결과 점들은

60개 소자의 평균 결과를 나타낸다. 정전용량의 변화는

$$\frac{\Delta C_T}{C_T} = \frac{C_T(V_G) - C_T(V_G=0)}{C_T(V_G=0)} \times 1000000 \quad (6)$$

으로 표현하였다. 여기서, $V_G=0$ 을 기준으로 설정하였다. 두 다결정 실리콘의 물성이 동일하다면, 정전용량의 변화는 $V_G=0$ 을 중심으로 대칭이 이루어져야 한다. 그리고 다결정 실리콘의 불순물 농도가 매우 높아 전자 공핍 영역을 거의 무시할 수 있다면, 인가 전압에 대한 정전용량 변화는 거의 나타나지 않을 것이다. 그림 3에서 구조 1과 구조 2의 결과를 비교하면, 구조 1은 대칭적인 정전용량 변화 특성을 보이는 반면, 구조 2에서는 정(positive)의 전압에서 다소 큰 변화를 보였다. 상층 다결정의 실리사이드 면적이 구조 1에 비해 구조 2가 적기 때문에 커패시터 면적의 축소 및 관련 정전용량 감소의 결과가 나타났다. 구조 3과 4에서는 부(negative)의 전압에서 정전용량의 큰 변화가 나타났으며, $V_G=0$ 을 기준으로 대칭이 이루어지지 않고 있다. 부의 전압 상태에서는 하층 다결정 실리콘의 표면 전하량이 정전용량에 포함되므로 이러한 비대칭 특성은 하층 다결정 실리콘의 불순물 농도와 관련이 있다.

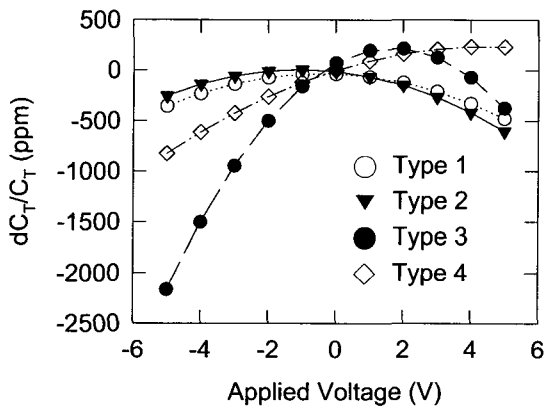


그림 3. 여러 종류의 커패시터의 정전용량 - 전압 특성 곡선

Fig. 3. Capacitance-voltage characteristics for various capacitors.

실리사이드의 영향이 없는 구조 4의 특성 곡선으로부터 상층 다결정 실리콘의 불순물 농도가 하층 다결정 실리콘에 비해 높다는 것을 알 수 있다. 하층 다결정 실리콘의 불순물농도는 이온 주입법으로 행하여져

전체 두께에 걸쳐 일정한 농도를 유지하지 않고 있다. 그러나 상층 다결정 실리콘은 증착 시 불순물 도핑(doping)이 이루어졌기 때문에 일정한 농도를 유지할 수 있다. 이러한 불순물 주입 방법의 차이는 커패시터와 트랜지스터 공정이 함께 진행되기 때문에 발생한다. Ti-실리사이드는 금속 배선의 접촉저항을 매우 낮게 해 주는 장점을 갖고 있지만, 도핑된 실리콘과의 계면에서 새로운 현상을 발생하게 된다. 실리사이드가 형성될 때, 실리콘내 불순물들이 실리사이드로 이동하게 된다. 이러한 현상으로 인해 실리사이드접합 부분에는 불순물 공핍이 발생하게되어 기생 저항, 또는 기생 정전용량이 존재하게 된다^[7,8]. 그러므로 실리사이드 구조 커패시터의 정전용량을 구하기 위해서 식 (5)에서 기생 정전용량 성분(C_p)을 추가하면

$$\frac{1}{C_T} = \frac{1}{C_{s1} + C_{a1}} + \frac{1}{C_{p1}} + \frac{1}{C_{OX}} + \frac{1}{C_{s2} + C_{a2}} + \frac{1}{C_{p2}} \quad (7)$$

이다. C_p 는 실리사이드 면적과 관계가 있으므로 구조 1과 구조 2에서는 C_{p2} 이 C_{p1} 보다 큰 값을 가지게 된다. 인가 전압 극성에 따라 실리사이드접합 부분의 전하량이 변화하기 때문에 C_p 의 값도 변화하게 된다. 그림 3의 결과로부터 정의 전압이 상층 다결정 실리콘 방향으로 인가될 때 C_p 의 변화는 적어져서 전체 정전용량의 변화폭이 줄었음을 알 수 있었다. 구조 1과 2에서의 미소한 특성 차이는 상층 실리사이드의 면적차이로 인해 C_{p2} 의 값이 줄었기 때문이다.

아날로그 회로를 설계하기 위해서는 정전용량의 변화율이 중요하다. 이를 위해 커패시터의 전압 계수(voltage coefficient of capacitance ; $VCC=1/C_T(dC_T/dV)$)가 도입되며, 커패시터가 선형 특성을 갖기 위해서는 낮은 값이 바람직하다. 1 차 전압계수(linear VCC)는 $V_G=0$ 에서의 기울기이며, 2 차 전압계수(quadratic VCC)는 정전용량 변화곡선의 곡률이다. 낮은 1 차 전압계수를 얻기 위해서는 식 (8)에서처럼 전극의 불순물 농도를 높이고, 전체 정전용량을 낮추어야 한다^[1].

$$VCC \propto \frac{C_T^2}{N_d} \quad (8)$$

그림 3의 결과로부터 구한 각 구조의 전압 계수를

그림 4에 나타냈다. 2 차 전압 계수는 구조 1과 4에서 가장 낮았으며 1 차 전압 계수는 구조 1에서 가장 낮았다. 구조 1에서는 C_p 의 영향이 상하층 다결정 실리콘에서 대칭적으로 발생하며, 구조 4에서는 실리콘사이드를 포함하고 있지 않아 C_p 의 영향이 전혀 나타나지 않는다. 구조 3은 실리콘사이드가 하층 다결정 실리콘에만 존재하여 상하층 전극의 비대칭 특성으로 인해 가장 높은 전압 계수 특성이 나타났다. 구조 1과 2의 결과로부터 약 10%의 상층 실리콘사이드 면적 축소로 약 60%의 1차 전압 계수의 증가가 나타남을 알 수 있다. 구조 1, 2와 구조 3, 4의 결과를 비교하면, 다결정 실리콘을 실리콘사이드 함으로써 전압계수가 매우 낮아졌음을 알 수 있었다.

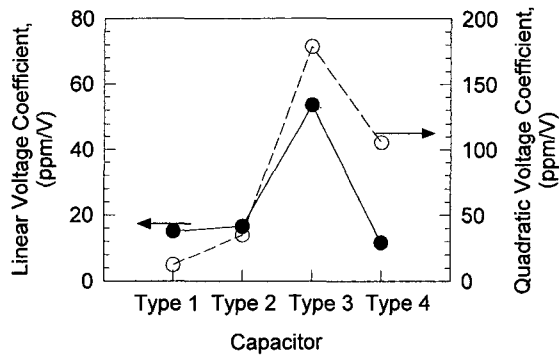


그림 4. 커패시터의 구조에 의존하는 전압계수의 변화
Fig. 4. Variation of VCC depending on capacitor structures.

그림 5와 6은 인가 극성(polarity) 변화에 대한 각 커패시터의 절연파괴 전압과 누설 전류를 각각 나타낸다. 인가 극성의 정의 방향은 상층 다결정 실리콘이 정(positive)임을 나타낸다. 절연파괴 전압은 $\pm 100nA$ 가 흐를 때 측정된 전압이며, 누설전류는 $\pm 3.5V$ 에서 측정된 전류이다. 그림 5에서 실리콘사이드에 따른 절연파괴 전압 변화는 관찰되지 않았다. 상층 다결정 실리콘에 정의 극성을 인가함에 따라 약 0.5V의 절연파괴 전압의 증가가 나타났다. 이것은 실리콘 산화막과 하층 다결정 실리콘과의 계면이 상층 실리콘과의 계면보다 전기적으로 안정된 특성을 갖고 있음을 나타낸다. 그림 6에서 상층 다결정 실리콘에 부의 극성이 인가되었을 때 소자의 구조에 대한 누설전류의 의존성은 나타나지 않지만 정의 극성이 인가 된 경우에는, 실리콘사이드 전

극을 갖는 커패시터가 상대적으로 누설 전류가 증가하였다. 이는 하층 다결정 실리콘 가까운 곳에 위치한 커패시터 산화막내에 양전하들이 존재하고 있음을 나타낸다. 이러한 양전하는 실리콘사이드 공정이 진행됨에 따라 발생하는 것으로 판단되나 그 원인은 아직 분석중에 있다. 그림 7에 이러한 특성을 개략적으로 나타냈다. 높은 농도의 양전하는 하층 다결정 실리콘의 계면에서 높은 전장을 유도하여 하층 다결정 실리콘에서 산화막으로의 전자의 유입을 증가시키게 된다. 그림 8은 구조 1의 소자에서 측정된 Fowler-Nordheim 전류-전압 곡선이다. 상층 다결정 실리콘에 정의 극성을 인가하여 측정하였다.

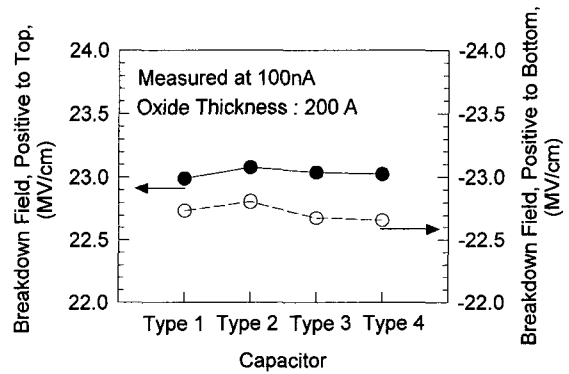


그림 5. 커패시터의 구조에 의존하는 절연파괴 전압의 변화 ($\pm 100nA$ 에서 측정)

Fig. 5. Variation of dielectric breakdown voltage depending on capacitor structures. Voltage was measured at $\pm 100nA$.

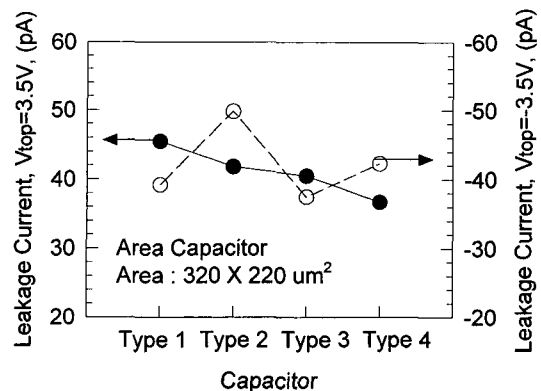


그림 6. 커패시터의 구조에 의존하는 누설 전류의 변화 ($\pm 3.5V$ 에서 측정)

Fig. 6. Variation of leakage current depending on capacitor structures. Current was measured at $\pm 3.5V$.

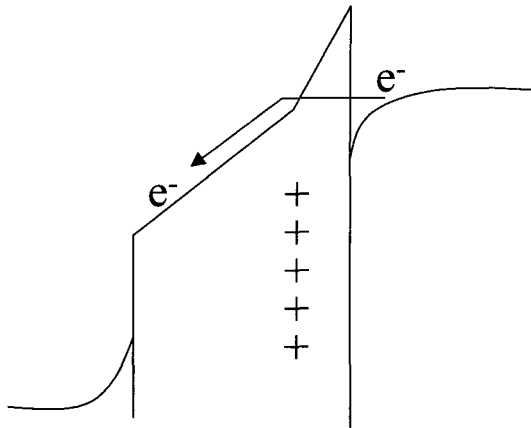


그림 7. SiO₂내에 국부적으로 존재하는 양전하에 의한 전자의 전도 현상

Fig. 7. Conduction mechanism in SiO₂ due to localized high densities of trapped positive charges.

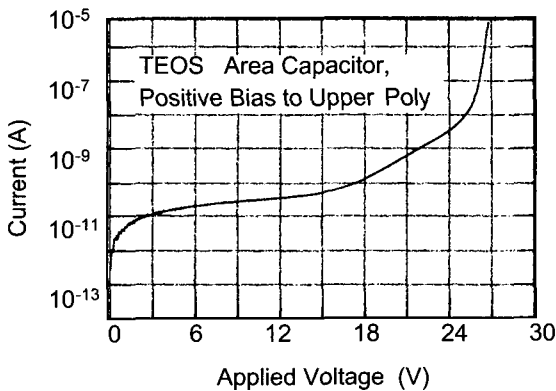


그림 8. 구조 1을 갖는 커패시터의 전류-전압 특성 곡선

Fig. 8. Current-voltage characteristics for the capacitor of type 1.

V. 결 론

다결정 실리콘을 전극으로 사용한 아날로그 커패시터에서 두 전극을 Ti-실리사이드함으로써 정전용량의 전압 계수(voltage coefficient of capacitance)를 줄여 선형 특성을 개선할 수 있었다. 고농도 도핑된 다결정 실리콘 표면에 Ti-실리사이드를 행하면 표면 아랫부분에 불순물 공핍 영역이 발생하게 되어 기생 정전용량을 갖게 된다. 이러한 매우 큰 기생 정전용량이 산화막 및 다결정 실리콘의 정전용량과 직렬로 연결되어 있어

커패시터의 전체 정전용량은 감소하게 되며, 이에 따라 정전용량의 전압계수가 낮아졌다. 실리사이드 전극을 사용함으로써 커패시터의 전기적 특성의 열화는 발견되지 않았다. 그러나 Ti-실리사이드 공정이 진행되면 산화막내에 양전하가 존재할 수 있음을 확인하였다.

참 고 문 헌

- [1] James L. McCreary, "Matching properties, and voltage and temperature dependence of MOS capacitors", *IEEE J. Solid State Circuits*, vol. sc-16, pp.608-616, Dec. 1981.
- [2] Rajinder S. and A.B. Bhattacharyya, "Matching properties of linear MOS capacitors", *Solid-State Electronics*, vol.32, no.4, pp.299-306, 1989.
- [3] H.S. Chen, P. Tantasood, H.Y. Chen, C.S. Yeh, and C.S. Teng, "Modeling voltage coefficient of linear MOS capacitor", *IEEE Trans. Electron Devices*, vol. Ed-40, no.1, pp.220-222, 1993.
- [4] C.Y. Ting, "Silicide for contacts and interconnects," *IEDM Tech., Dig.*, pp.110-113, 1984.
- [5] H. S. Chen and S.S.Li, "Determination of generation lifetime and interface state density using a pulsed silicon-insulator-silicon capacitor," *Solid-State Electron.*, vol. 35, p.371, 1992.
- [6] E. H. Nicollian and J.R. Brews, *MOS Physics and Technology*, New York: Wiley, 1982.
- [7] J. Hui, S. Wong, and J. Moll, "Specific contact resistivity of TiSi₂ to p⁺ and n⁺ junctions," *IEEE Electron Device Lett.*, vol.6, no.9, pp. 479-481, 1985.
- [8] Y. Taur, J. Tuan-Shen Sun, D. Moy, L. K. Wang, B. Davari, S. P. Klepner, and C. Ting, "Source-drain contact resistance in CMOS with self-aligned TiSi₂," *IEEE Trans. Electron Device*, vol.34, no.3, pp.575-579, 1987.

저 자 소 개



李 在 成(正會員)

1965년 1월 15일 생, 1987년 경북대학교 전자공학과 (학사), 1989년 경북대학교 대학원 전자공학과 (석사), 1996년 경북대학교 대학원 전자공학과 반도체전공 (공학박사), 1996년 - 1998년 현대산업주식회사 시스템 IC 연구소 선임연구원, 1998년-현재 위덕대학교 정보통신공학과 조교수, <주관심 분야 : 트랜지스터 reliability 분석, gate oxide integrity, device 설계>



李 在 坤(正會員)

1966년 9월 5일 생, 1989년 2월 경북대학교 전자공학과(학사), 1993년 2월 경북대학교 대학원 전자공학과 (석사), 1997년 2월 경북대학교 대학원 전자공학과 (공학 박사), 1997년 10월 - 현재 현대전자산업주식회사 시스템 IC 연구소 선임연구원, <주관심 분야 : deep submicron CMOS device engineering/process integration, RF CMOS 소자공정기술>