論文2001-38SD-1-6

오프셋 전압을 이용한 CMOS 연산증폭기의 테스팅

(Testing of CMOS Operational Amplifier Using Offset Voltage)

宋 根 浩 *, 金 强 哲 **, 韓 哲 鵬 ***

(Geun Ho Song, Kang Chul Kim, and Seok Bung Han)

요 약

본 논문에서는 아날로그 회로에 존재하는 강고장(hard fault)과 약고장(soft fault)을 검출하기 위한 새로운 테스트 방식을 제안한다. 제안한 테스트 방식은 연산 증폭기의 특성중 하나인 오프셋 전압(offset voltage)을 이용한다. 테스트 시, 테스트 대상 회로(CUT: Circuit Under Test)는 귀환 루프를 가지는 단일 이득 연산 증폭기로 변환된다. 연산 증폭기의 입력이 접지되었을 때, 정상 회로는 작은 오프셋 전압을 가지지만 고장이 존재하는 회로는 큰 오프셋 전압을 가진다. 따라서 오프셋 전압의 허용 오차를 벗어나는 연산 증폭기 내에 존재하는 고장들을 검출할 수 있다. 제안한 테스트 방식은 테스트 패턴 없이 단지 입력을 접지시키면 되므로 테스트 패턴을 생성하는 문제를 제거시킬 수 있어 테스트 시간과 비용이 감소한다. HSPICE 모의 실험을 통하여 본 논문에서 제안하는 방식을 단일 연산증폭기와 듀얼 슬롭(dual slope) A/D 변환기에 적용한 결과 높은 고장 검출율(fault coverage)을 얻었다.

Abstract

In this paper, a novel test method is proposed to detect the hard and soft fault in analog circuits. The proposed test method makes use of the offset voltage, which is one of the op-amps characteristics. During the test mode, CUT is modified to unit gain op-amps with feedback loop. When the input of the op-amp is grounded, a good circuit has a small offset voltage, but a faulty circuit has a large offset voltage. Faults in the op-amp which cause the offset voltage exceeding predefined range of tolerance can be detected. In the proposed method, no test vector is required to be applied. Therefore the test vector generation problem is eliminated and the test time and cost is reduced. In this note, the validity of the proposed test method has been verified through the example of the dual slope A/D converter. The HSPICE simulations results affirm that the presented method assures a high fault coverage.

* 正會員, 慶尙大學校 電子工學科
(Dept. of Electronics Engineering, Gyeongsang National University)
** 正會員, 麗水大學校 컴퓨터工學科
(Dept. of Computer Engineering, Yosu National University)
*** 正會員, 慶尙大學校 電子工學科, 生産技術硏究所
(Dept. of Electronics Engineering, Gyeongsang National University, Research institute of Industrial Technology)

※ 본 연구는 과학기술부·한국과학재단 지정 지역협력연구센터인 여수대학교 "설비자동화 및 정보시스템 연구개발센터"의 지원에 의해 연구되었으며, 반도체설계교육센터(IDEC)의 지원을 받아 수행되었습니다.
接受日字:1999年11月8日, 수정완료일:2000年12月12日

Ⅰ. 서 론

VLSI 설계와 공정 기술의 발달로 IC의 집적도가 증가하여 하나의 칩에 디지털 회로와 아날로그 회로를 혼합한 혼성 모드(mixed-mode) IC의 설계가 가능하게 되었다. 이러한 IC 내의 아날로그 회로에 대한 테스팅 기술은 혼성모드 IC 설계에 있어서 가장 중요한 문제 중의 하나이며, 많은 테스팅 방법들이 시도되고 있다. 혼성 모드 IC와 아날로그 회로에 대한 테스팅은 디지털 회로에 대한 테스팅과는 상당한 차이가 있다. 디지털 회로에서는 테스트 입력 패턴값으로 정해진 논리값이 사용되고, 출력의 논리값으로 고장의 유무를 판별한다. 그러나 아날로그 회로는 테스트 입력 패턴값이 일정한 레벨로 정해져 있지 않고, 출력에서 관측되는 출력값도 일정한 레벨의 논리값이 아니므로 관측하고 분석하는데 어려움이 있다. 즉 테스트 입력값이 매우 광범위하므로 테스트 입력 패턴 생성이 어렵고, 많은 시간이 소요된다. 그리고 테스트 방식에 다른 테스트 장비가 요구되므로 테스트 비용이 증가하게 된다.

일반적으로 아날로그 회로는 연산 증폭기, A/D 변환기, D/A 변환기, 비교기, 필터, 발진기 등과 같이 필요한 기능에 따라 여러 가지 기능 블록 회로들로 구성되어 있다. 기능 블록 회로 내에 연산증폭기가 많이 사용되므로 연산 증폭기에 존재하는 고장들을 효과적으로 테스트할 수 있으면 아날로그 회로를 쉽게 테스트할 수 있다.[1] 현재 많이 사용되고 있는 연산 증폭기의 테스트 방식은 설계 사양 테스트(specification test)[2] 방식이다. 이 방식은 설계 사양에 만족하는지를 테스트하는 방법으로 테스트 시에 모든 가능한 입력을 인가하여 출력을 테스트하므로, 테스트가 매우 광범위하여 많은 테스트 시간이 소모된다. 그리고 설계 사양에 따른 적절한 테스트 장비가 필요하므로 테스트 비용이 많이 든다. 이러한 단점을 극복하기 위하여 회로에서 발생할 수 있는 고장을 모델링하고 테스트하여 시간과 비용을 줄일 수 있는 테스팅 기술에 관한 연구가 진행되고 있다.

연산 증폭기의 회로 내에 존재하는 고장은 일반적으로 강고장과 약고장으로 분류된다.[3-5] 강고장은 제조 공정 상에서 물리적 결함이나 오류로 발생하며, 결함에 의한 노드의 단락(short)이나 개방(open)이 발생하여 회로의 오동작을 일으킨다. 약고장은 제조 공정의 환경변화로 발생할 수 있고 회로의 오동작보다는 성능에 영향을 미친다. 트랜지스터의 문턱 전압(threshold voltage)이나 채널 폭-길이 비(W/L ratio) 등의 변동이 이에 속하는데 아날로그 회로에 발생하는 고장들 중 90%가 강고장이며 나머지는 약고장이다.[12]

현재 고장 모델링에 의한 아날로그 회로 테스트 방식은 완전히 정립되어 있지 않고 이에 관한 논문들이 계속 발표되고 있다. 기존의 연산 증폭기 회로에 대한 테스트 방식으로서 IDDQ 테스트 방식,[6,7] DC 전압 테스트 방식,[2,8,9] 발진 테스트(oscillation test) 방식[1,10,11] 등이 있다. IDDQ 테스트 방식은 CUT에 흐르는 전류를 전류 감지기로 측정하는 방식이고, DC 전압 테스트 방식은 출력에서 정상 상태 출력값과 고장 상태 출력값의 차가 최대가 되는 DC 입력 신호를 인가하여 DC 출력 전압을 관측하는 테스트 방식이다. 발진 테스트 방식은 CUT를 발진 회로로 변환하여 회로 자체의 발진 주파수를 관측하는 테스트 방식이다. 이러한 기존의 방식들은 테스트 패턴의 생성이 복잡하고 고장 검출율이 낮으며, 테스트를 고려한 설계(DFT: Design For Testability) 기법에 따른 부가적인 하드웨어가 매우 증가하게 된다. 따라서 연산 증폭기 회로를 효과적으로 테스트하기 위해서는 부가적인 하드웨어가 적은 DFT 기법이 요구되고, 테스트 시간과 비용을 감소시키면서 고장 검출율을 향상시키기 위한 새로운 테스트 방식이 필요하게 되었다.

본 논문에서는 연산 증폭기 회로의 오프셋 전압 특성을 이용한 테스트 방식을 제안한다. 테스트 시에 CUT에 특정한 입력패턴을 인가하지 않고 입력단자를 접지시켜 출력에서 발생하는 오프셋 전압을 측정하는 테스트 방식이다. CUT에 고장이 없을 경우에 출력에는 오프셋 허용오차범위 내의 매우 작은 전압이 존재하지만 고장이 있을 경우에 오프셋 전압은 허용오차범위를 벗어나므로 고장을 검출할 수 있다. 연산증폭기는 테스트하기 쉽도록 귀환 루프를 가지는 단일 이득 연산 증폭기로 재구성되며, 오프셋전압 테스팅 방식은 테스트 입력 패턴이 없으므로 테스트 시간과 비용이 적은 장점이 있다. 제안된 테스트 방식을 단일 연산증폭기와 듀얼 슬롭 A/D 변환기에 적용하여 HSPICE로 모의 실험한 결과 높은 고장검출율을 얻었다.

본 논문의 Ⅱ장에서는 고장 모델 및 기존의 테스트 방식에 관해서 설명하고, Ⅲ장에서는 본 논문에서 제안한 오프셋 전압 테스트 방식에 관해서 기술하고, Ⅳ장

에서는 모의 실험한 결과를 검토하고, V장에서는 결론을 기술한다.

Ⅱ. 고장 모델 및 기존의 테스트 방식

1. 고장 모델

1) 강고장

강고장은 제조 공정상의 결함으로 노드의 단락이나 개방이 발생하여 시스템에 오동작을 일으키는 고장으로 단락고장과 개방고장으로 분류된다. 단락고장은 집적회로 제조공정에서 발생하는 가장 일반적인 고장으로 임의의 노드들이 연결되어 발생하는 고장이다. 하나의 트랜지스터에 발생 가능한 단락고장은 드레인-게이트, 드레인-소스, 게이트-소스 단락고장이 있다. 그림 1의 (a)는 드레인과 게이트 단자 사이의 단락에 의한 드레인-게이트 단락고장을 나타낸다. 개방고장은 콘택(contact)이 빠지거나 금속 및 폴리실리콘의 전도경로가 끊어져 나타나는 고장으로, 하나의 CMOS 트랜지스터에 존재하는 개방고장들은 게이트, 드레인, 소스 개방고장이 있으며, 그림 1의 (b)는 드레인 개방고장을 나타낸다.

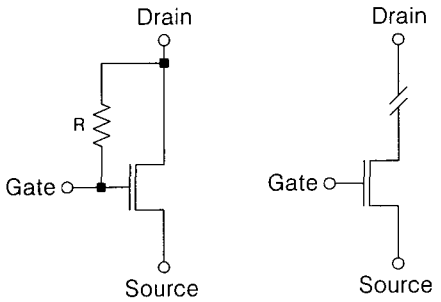


그림 1. 고장 모델
(a) 게이트-드레인 단락 고장
(b) 드레인 개방 고장

Fig. 1. Fault model.
(a) Gate-Drain short fault
(b) Drain open fault

2) 약고장

약고장은 제조 공정에서 환경에 따른 공정의 통계적 변동으로 발생하며 회로의 사양을 만족하면서 성능을 제한하는 변화를 발생한다. 이러한 고장은 시스템에 불규칙적으로 영향을 주며, 테스트하는 동안에 시스템에 영향을 미치지 않으면 시스템이 정상적으로 동작하는 것처럼 보이기 때문에 고장의 위치 파악이나 고장 검출이 매우 어렵다. 이들 고장의 예로는 트랜지스터의 문턱전압(Vth)이나 채널 폭-길이 비 변동 등이 있다. 문턱전압은 제조공정에서 도핑농도와 산화층의 두께에 따라서 변화된다.

또한 공정의 변동으로 인하여 게이트 단자의 크기가 변함에 따라서 채널의 폭-길이 비가 변동하게 된다. 이러한 변동은 트랜지스터의 동작 영역을 변화시키고, 특히 차동 입력단이나 바이어스에 관련된 트랜지스터에서 발생할 경우 디바이스의 정합이나 바이어스 조건을 변화시키게 되므로 회로의 성능에 큰 영향을 미치게 된다.

2. 기존의 테스트 방식

1) DC 전압 테스트 방식

DC 전압 테스트 방식은 입력에 DC 전압을 인가하고, 출력에서 DC 전압을 측정하여 테스트하는 방식이다. 연산증폭기 회로의 정상상태출력과 고장상태출력의 차가 최대로 되는 입력 패턴을 구하여 DC 입력신호로 사용한다. 그러나 DC 입력 신호를 얻기 위하여 복잡한 알고리즘을 사용하게 되므로 테스트 시간이 많이 소모된다. 그리고 출력에서 DC 전압을 측정하여 검출되는 고장들은 약 80% 정도이다.[2,8,9]

2) IDDQ 테스트 방식

CUT의 공급 전압원의 전류는 입력 신호, 회로의 정상 상태 혹은 고장 상태, 회로의 매개변수 값 등에 의존한다. 회로 내에 고장이 존재하는 경우 Vcc에서 Vss로 흐르는 전류의 양이 변하게 된다. IDDQ 테스트 방식은 전류감지회로를 사용하여 변화하는 전류의 크기를 측정하여 고장유무를 판별하므로 전류 감지 회로가 부가적으로 포함되어 시스템의 수행 능력이 저하되며, 고장 검출율이 낮은 단점이 있다. 그리고 대상 고장은 브리지 고장(bridge fault)과 개방 고착 고장(struck-open fault)만을 대상으로 하고 있다. 약고장에 대해서는 고려하지 않았으며, 높은 고장 검출율을 얻기 위해서는 DC 전압 테스팅 방법이 선행되어야 한다.[6,7]

3) 발진 테스트 방식

발진 테스트 방식은 CUT를 발진회로로 재구성하여 출력에 나타나는 발진 주파수를 이용하여 고장의 유무를 판별한다. CUT에 고장이 존재하지 않는 경우 발진 회로의 출력은 발진 주파수의 허용 오차 범위 안에 있

고, CUT에 고장이 존재하는 경우 발진 회로의 출력은 발진 주파수의 허용 오차 범위를 벗어나거나 일정한 전압 레벨로 수렴하게 된다. 발진 테스트 방식에서 강 고장에 대한 고장 검출율은 약 99%이나, 약고장은 고려하지 않았다.[1,10,11] 또한 CUT를 발진회로로 전환하기 때문에 테스트 입력 패턴이 필요 없는 장점이 있지만, CUT마다 발진회로를 다시 구현해야 하며, 발진 회로로 전환하기 위해 많은 저항, 커패시터, 스위치가 필요하므로 DFT를 위한 부가적인 하드웨어가 많이 증가하게 된다.

Ⅲ. 오프셋 전압 테스트 방식

1. 오프셋 전압

이상적인 연산 증폭기는 입력 임피던스(input impedance)가 무한대이고, 출력 임피던스(output impedance)는 0Ω이며, 전압 이득이 무한대인 전압 제어 전압원을 나타낸다. 연산 증폭기가 이상적이라고 가정할 때 증폭기의 두 입력 단자에 0V를 인가하게 되면 출력에서 0V의 출력 전압이 나타난다. 그러나 실질적인 디바이스에서는 이러한 결과가 정확하게 일치하지 않고, 출력전압이 0V가 아닌 미세한 전압이 발생하게 되는데 이 전압을 오프셋 전압이라 한다. 일반적으로 CMOS 연산 증폭기에서 발생하는 오프셋은 시스티메틱 오프셋(systematic offset)과 랜덤 오프셋(random offset)으로 분류할 수 있다.[13]

1) 시스티메틱 오프셋

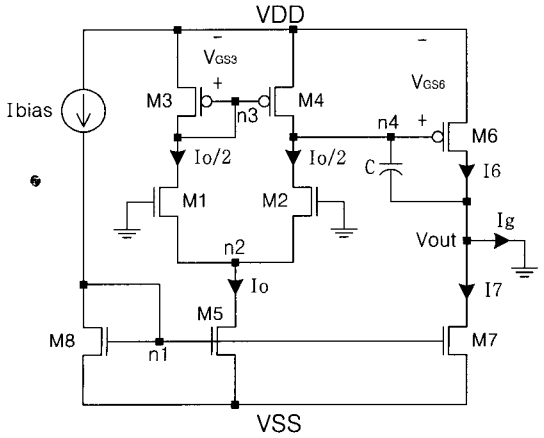


그림 2. CMOS 2단 op-amp
Fig. 2. Two-stage CMOS op-amp.

시스티메틱 오프셋은 게이트의 채널 폭과 길이의 변동이나 부적절한 바이어스 조건으로 발생하는데 이러한 오프셋의 영향은 출력단과 관련이 있다. 그림 2에서 보는 바와 같이 CMOS 2단 연산 증폭기의 첫 번째 단(M1-M5)은 차동 입력단자와 단일 출력단자로 구성되고, 출력단은 구동기 M6과 전류원 부하(current-source load) M7로 이루어진 단일 단자 이득단으로 구성되어 있다. 만일 증폭기 회로가 시스티메틱 오프셋을 가지지 않을 경우 두 입력 단자를 접지시키면 출력에서 0V의 출력 전압이 발생하고, 출력 단자 또한 접지이면 접지된 단자로 전류 Ig는 흐르지 않는다. 따라서 오프셋 전압이 0V일 조건은 접지된 입출력 단자에 대해서 Ig = 0이므로 M6에 흐르는 전류 I6과 M7로 흐르는 전류 I7이 같아야 한다.

입력단이 대칭이라고 가정하면, 입력단 게이트의 채널 길이-폭 비는 식 (1)와 같이 표현되고, 이때 모든 전류와 전압도 대칭적으로 형성되기 때문에 식 (2)과 같이 표현된다.

$$(W/L)_1 = (W/L)_2 \quad , \quad (W/L)_3 = (W/L)_4 \tag{1}$$

$$V_{DS3} = V_{DS4} \quad , \quad V_{GS3} = V_{GS6} \tag{2}$$

그러나 이러한 조건들이 성립하지 않는다면 전류 Ig ≠ 0이므로 회로 내에 시스티메틱 오프셋이 존재한다. 이때 출력이 접지되어 있기 때문에 입력단에 요구되는 입력 오프셋 전압 $V_{in,off}$은 식 (3)로 표현된다. 여기서, $\hat{v}_{GS6}$는 전류 I6과 전류 I7이 같도록 필요한 V_{GS6} 전압이며 Ad는 입력단의 전압 이득이다.

$$V_{in,off} = \frac{V_{GS6} - \hat{v}_{GS6}}{A_d} = \frac{V_{GS3} - \hat{v}_{GS6}}{A_d} \tag{3}$$

따라서 연산 증폭기 회로에 시스티메틱 오프셋이 존재하지 않을 조건은 식 (4)와 같은 결과를 얻는다.

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2}\frac{(W/L)_5}{(W/L)_7} = \frac{I_o}{2I_7} \tag{4}$$

실질적으로, 식 (4)의 조건이 만족하기 위해서는 V_{GS7} 전압에 의해서 발생하는 전류 I7과 $V_{GS6} = V_{DS4}$ 전압에 의해서 발생하는 전류 I6가 같은 전류이고, M6와 M7이 포화 영역에 있을 때 출력 전압 $V_{OUT} = 0V$이다. 그러나 게이트-소스 전압이 적합하지 않을 경우 출력 전압은 M6과 M7의 드레인 전압이 게이트 전압의 차이를

보상하게 되므로 0V가 되지 않는다. 즉 시스티메틱 오프셋 전압의 영향으로 M6 또는 M7이 포화 영역을 벗어난 선형 영역이나 차단 영역에서 동작하기 때문에 연산 증폭기의 이득과 대역폭이 감소하게 된다. 이러한 시스티메틱 오프셋은 회로의 설계기법을 이용하여 감소시킬 수 있지만 완전히 제거시킬 수 없기 때문에 항상 오프셋 전압이 나타난다.

2) 랜덤 오프셋

랜덤 오프셋은 M1과 M2 입력 디바이스간에 혹은 각각의 디바이스의 부정합(mismatch)으로 발생하거나 또는 다른 문턱 전압을 발생시키는 공정상의 편차로 발생한다. 이러한 부정합이나 문턱전압의 변동 등의 요인으로 발생하는 오프셋은 정상적인 랜덤 오프셋 입력전압에 영향을 주므로 입력단과 관련이 있다.

첫 번째, 연산 증폭기 회로 내에 있는 M3과 M4로 구성된 전류미러가 대칭구조로 되어있지 않았다고 가정할 때, M3에 흐르는 전류는 식 (5)과 같이 표현되며, 디바이스의 정합을 해결하기 위해서 입력 단자에 필요한 차동전압(V_{G1} - V_{G2})은 식 (6)과 같다.

$$I_3 = \frac{1}{2}(1-\varepsilon_1)I_0 \neq I_4 = \frac{1}{2}(1+\varepsilon_1)I_0 \qquad (5)$$

ε_1 : 부정합에 의한 에러

$$V_{off1} = \frac{\varepsilon_1 I_0}{g_{mi}} \qquad (6)$$

식 (6)에서 보는 바와 같이, 입력 오프셋 전압(V_{off1})은 입력 디바이스의 상호컨덕턴스를 증가시키거나 바이어스 전류(Io)를 감소시킴에 따라서 감소하게 된다.

두 번째, 부하 디바이스는 정합되어 있고, 입력 디바이스의 W/L 비와 문턱 전압이 정합되어 있지 않을 경우에는 식 (7)과 같은 조건이 되며, 문턱 전압 부정합의 영향을 제거시키기 위해서 입력 오프셋 전압은 식 (8)와 같이 표현된다.

$$(W/L)_1 = (1-\varepsilon_2)(W/L)_2, \quad V_{T1} = V_{T2} - \Delta V_T \qquad (7)$$

$$V_{off2} = \Delta V_T \qquad (8)$$

마지막으로, 기하학적 부정합(geometric mismatch)은 식 (9)과 같은 전류의 불균형으로 발생하는데, 이것은 V_{G1}에 V_{off3}을 변화시킴으로서 불균형을 제거할 수 있는데 식 (10)과 같다.

$$\Delta I_1 \cong -\varepsilon_2 I_1 \cong -\varepsilon_2 k_1 (V_{GS1} - V_{T1})^2 \qquad (9)$$

$$g_{mi} V_{off3} \cong 2k_1(V_{GS1} - V_{T1})V_{off3} = -\Delta I_1 \cong \varepsilon_2 k_1 (V_{GS1} - V_{T1})^2 \qquad (10)$$

식 (10)에서 g_{mi}을 식 (11)로 치환하고 채널-길이 변조(λ)를 무시하면 식 (12)과 같이 표현된다. 식 (12)에서 V_{off3}은 $(W/L)_1$을 증가시키거나 Io를 감소시킴으로서 감소하게 된다.

$$g_{mi} = 2\sqrt{k(1+\lambda V_{DS})\, I_D} \qquad (11)$$

$$V_{off3} = \frac{\varepsilon_2}{2}(V_{GS1} - V_{T1}) = \frac{\varepsilon_2}{2}\sqrt{\frac{I_o/2}{k'(W/L)_1}} \qquad (12)$$

문턱 전압의 변동은 바이어스 전류(Io)나 W/L과는 독립적이고, 단지 불규칙적인 공정에 따라 변한다.

2. 오프셋 전압 테스트 방식

본 논문에서 제안하는 테스트 방식은 위에서 설명한 오프셋 전압을 이용하여 연산증폭기 내에 존재하는 고장을 검출하는 방식이다. 테스트 대상회로는 그림 2와 같이 간단한 CMOS 2단 연산 증폭기로 하였다. 연산 증폭기에 나타나는 오프셋은 특정한 설계 기법을 이용하여 감소될 수 있지만 완전히 제거할 수 없기 때문에 매우 작은 오프셋 전압이 나타난다. 오프셋 전압은 보통 수 십μV ~ 수 ㎷의 범위를 가지는 매우 작은 전압이며, 테스트 시 출력에서 변동된 오프셋 전압을 쉽게 관측하기 위해서 그림 3과 같이 귀환 루프를 가지는 단일 이득 연산 증폭기로 구현하였다.

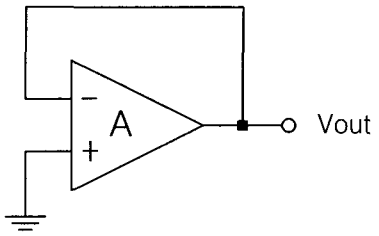


그림 3. 단일 이득 증폭기
Fig. 3. Unit gain op-amp.

본 논문에서는 그림 3과 같이 단일 이득 증폭기의 두 입력 단자 중에서 음의 입력 단자는 부귀환 루프를 형성하고 양의 입력 단자는 접지를 시킨 후, 출력에 나타나는 출력 오프셋 전압을 관측한다. CUT에 고장이 존재하지 않을 경우 출력은 오프셋 전압의 허용 오차

범위 내에 존재하게 된다. 그러나 CUT에 고장이 존재할 경우 고장으로 인한 내부 노드의 전압 변동으로 출력 오프셋 전압이 변동하게 된다. 즉 CUT에 강고장이 존재하게 되면 식 (2)에서 보는 바와 같이 회로 내부 트랜지스터의 노드 전압이 변동하게 되어 비대칭적 전압이 형성되고 시스티메틱 오프셋 전압이 변동하게 되어 출력에 나타나는 오프셋 전압이 변동하게 된다.

회로 내에 강고장이 존재할 경우 내부 바이어스 전압이나 노드 전압이 큰 폭으로 변하여 트랜지스터가 포화영역을 벗어난 영역에서 동작하게 된다. 이렇게 회로 내의 강고장이 발생한 트랜지스터가 오동작을 할 경우, 출력 전압이 큰 폭으로 변하므로 오프셋 전압의 허용 오차 범위를 크게 벗어나게 되고 고장을 쉽게 검출할 수 있다. 그리고 CUT에 약고장이 존재하게 되면 트랜지스터 소자의 파라미터가 변하여 디바이스의 부정합이 발생하기 때문에 출력 오프셋 전압이 변동하게 된다. 따라서 테스트 시 출력에 나타나는 오프셋 전압이 허용 오차 범위를 벗어나게 되면 고장을 검출할 수 있다. 부궤환 루프를 형성한 루프의 개방고장은 CUT가 개방 루프를 형성하기 때문에 연산 증폭기의 큰 이득으로 출력 오프셋 전압이 허용 오차 범위를 벗어나는 큰 오프셋 전압이 나타나므로 검출할 수 있다.

제안된 오프셋 전압 테스트 방식은 강고장뿐만 아니라 약고장도 검출할 수 있으며, 궤환 루프만을 형성하여 DFT하므로 부가적인 하드웨어도 적은 장점이 있다. 그리고 테스트 시 입력이 접지시켜 특정한 입력 패턴을 필요로 하지 않기 때문에 테스트 입력 패턴을 구하는 알고리즘을 사용할 필요가 없으므로 전체적인 테스트 시간이 단축되고 테스트 비용이 절감되는 장점이 있다.

Ⅳ. 모의실험 및 검토

본 논문에서 제안한 테스트 방식을 단일 연산 증폭기와 듀얼 슬롭 A/D 변환기에 대하여 레벨-2 모델 파라미터를 이용하여 HSPICE로 모의실험 하였다. 연산증폭기 회로내의 모든 트랜지스터 단자들에서 발생 가능한 22개의 단락고장과 24개의 개방고장을 대상으로 하였다. 모든 단락 고장은 10Ω의 저항으로 모델링하였고, 개방 고장은 10MΩ의 저항으로 모델링하였다. 약고장에 대해서는 트랜지스터 소자 변수인 W/L 비의 감소, Vth의 감소, Vth의 증가에 대해서 각각 30%, 50%, 70%, 90%의 변동에 대하여 모의실험 하였다.

1. 단일 연산 증폭기 회로

본 연구에서 설계한 단일 연산 증폭기의 정상회로에 대한 출력 오프셋 전압은 1.37㎷로 나타났는데, 이 정상 출력 오프셋 전압은 설계 사양을 만족시키기 위하여 나타나는 시스티메틱 오프셋 전압이다. 연산증폭기의 정상상태 오프셋 전압 허용 범위는 적용 회로에 따라 다르게 나타난다. 높은 해상도가 요구되는 회로에서는 허용 범위가 작아지며, 다른 경우에는 허용 범위가 커진다. 만약 8 bit A/D 변환기가 ±2.5V의 입력 범위에서 동작하는 것으로 가정하면, 구분 가능한 범위인 20㎷의 ±10%인 ±2㎷로 허용범위를 설정할 수 있다. 즉 시스템이 요구하는 연산 증폭기의 사양에 따라 허용범위를 설정해야 하며, 허용범위를 사양보다 좁게 잡을 경우엔 고장검출율과 신뢰도(reliability)는 높아지나 수율(yield)이 낮아지게 되고 허용범위를 사양보다 넓게 설정할 경우엔 고장검출율과 신뢰도는 낮아지나 수율이 높아지게 된다. 본 연구에서는 특정 시스템에 사용된 연산증폭기를 고려한 것이 아니므로 여러 가지 허용범위에 대하여 실험, 분석하였다. 본 논문에서는 여러 가지 응용 회로를 고려하여 오프셋 전압 허용 범위를 각 ±1㎷, ±2㎷, ±10㎷로 설정하였다. 따라서 고장 출력 오프셋 전압이 오프셋 허용 범위를 벗어나면 검출할 수 있다.

그림 4는 단락 고장에 대한 모의 실험 결과이다. 각 허용 범위 ±1㎷, ±2㎷, ±10㎷에 비하여 모든 고장에 대한 오프셋 전압값이 매우 크게 나타나 고장을 쉽게 검출함을 알 수 있다. 그림 5는 개방 고장에 대한 모의

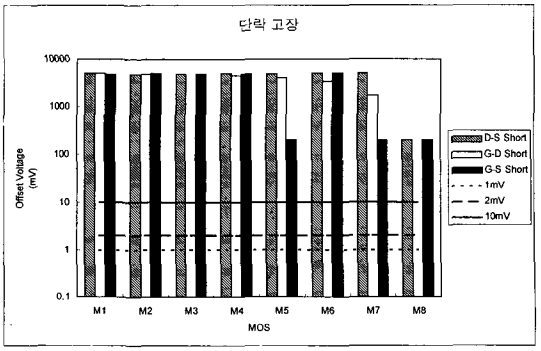


그림 4. 단락 고장에 대한 모의실험 결과
Fig. 4. Simulation results of short faults.

실험 결과이다. 그림에서 보는 바와 같이 허용 범위 ±1㎷, ±2㎷일 경우에는 M5의 게이트 개방 고장을 제외한 모든 고장을 검출할 수 있다. 그러고 허용 범위가 ±10㎷일 경우 M5와 M7 트랜지스터에 존재하는 각 개방 고장들은 검출이 불가능하다. 그러나 M7 트랜지스터의 게이트와 소스 개방 고장은 출력값이 계속 발진하므로 검출이 가능하다.

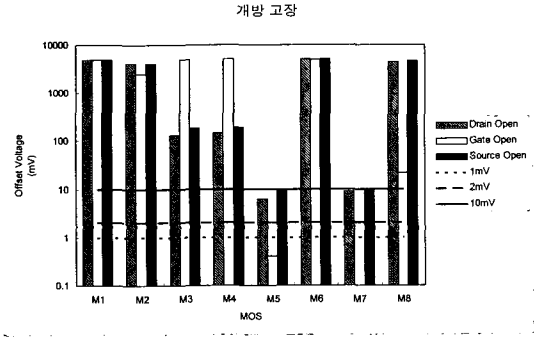


그림 5. 개방 고장에 대한 모의실험 결과
Fig. 5. Simulation results of open faults.

강고장에 대한 모의 실험결과 허용 범위를 ±1㎷, ±2㎷로 설정하였을 경우 고장 검출율이 98%로 높은 고장 검출율을 얻었으며, 허용 범위를 ±10㎷로 설정하였을 경우에도 고장 검출율은 91%로 높은 고장 검출율을 얻었다. 위의 그림에서 보는 바와 같이 몇 개의 고장을 제외하고 강고장에 의한 출력 오프셋 전압이 정상 출력 오프셋 전압에 비해 매우 큰 전압으로 나타나므로 관측에 매우 용이함을 알 수 있다.

그림 6은 W/L 비가 30%, 50%, 70%, 90% 비율로 감소한 고장에 대한 모의실험 결과를 나타낸다. 허용 범위가 ±1㎷인 경우에는 M8의 30% 감소한 고장을 제외한 모든 고장을 검출할 수 있지만, 허용 범위가 ±2㎷, ±10㎷로 넓어짐에 따라 M5에서 M8까지의 고장들이 잘 검출되지 않았다. 그림 7은 Vth 값이 30%, 50%, 70%, 90% 비율로 감소한 고장에 대한 모의실험 결과로 허용 범위가 ±1㎷인 경우 100%의 고장 검출율을 얻었지만, 허용 범위가 ±2㎷,±10㎷인 경우 M6에서 M8까지에 존재하는 몇 개의 고장이 검출되지 않았다. 그림 8은 Vth 값이 30%, 50%, 70%, 90% 비율로 증가한 고장에 대한 모의실험 결과로 허용 범위가 ±1㎷, ±2㎷인 경우 100%의 고장 검출율을 얻었지만, 허용 범위가 ±10㎷인 경우 고장 검출율이 낮아짐을 알 수 있다.

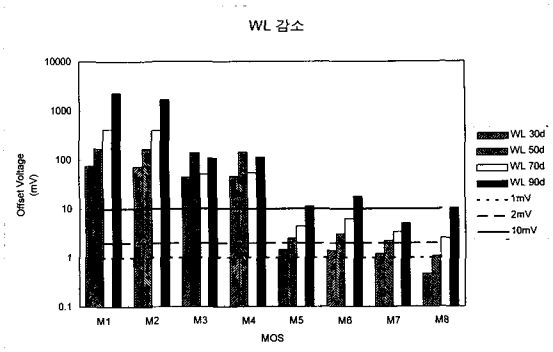


그림 6. W/L 비 감소 고장에 대한 모의실험 결과
Fig. 6. Simulation result of W/L ratio decrement fault.

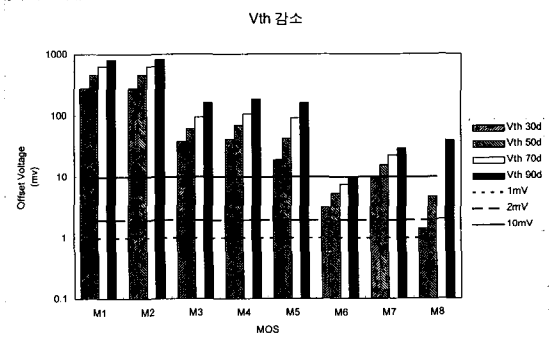


그림 7. Vth 감소 고장에 대한 모의실험 결과
Fig. 7. Simulation result of Vth decrement fault.

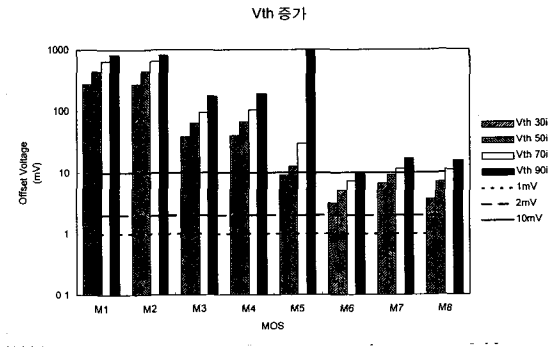


그림 8. Vth 증가 고장에 대한 모의실험 결과
Fig. 8. Simulation result of Vth increment fault.

표 1은 허용 범위에 따른 약고장의 고장 검출율을 보여주는데 W/L 비보다 Vth 변동이 오프셋 전압에 많은 영향을 주고, Vth의 증가가 Vth의 감소보다 회로의

성능에 더 많은 영향을 준다는 것을 알 수 있다. 고장 검출이 어려운 약고장의 경우 허용 범위가 ±1㎷, ±2㎷일 때는 94% 이상의 높은 고장검출율을 얻었지만, ±10㎷일 때는 고장 검출율이 낮게 나타났다.

표 1. 허용 범위에 대한 약고장의 고장 검출율

Table 1. Fault coverage of soft fault for tolerance band.

(단위 : %)

허용 범위	WL 감소	Vth 감소	Vth 증가	Total coverage
±1㎷	97	100	100	99
±2㎷	84	97	100	94
±10㎷	60	78	72	70

기존의 테스트 방식에서는 약고장을 일부분만 고려하거나 강고장만 고려하였으나, 본 논문에서 제안한 테스트 방식은 연산 증폭기에 존재하는 강고장뿐만 아니라 약고장에 대해서 허용 범위에 따라 높은 검출율을 얻을 수 있었다.

2. 듀얼 슬롭형 A/D 변환기

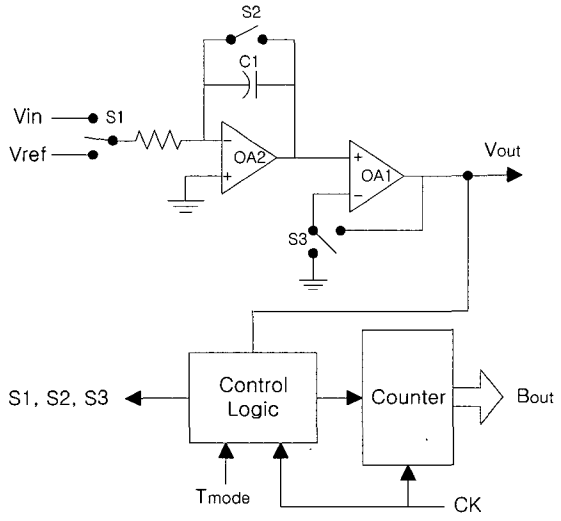


그림 9. 듀얼 슬롭형 A/D 변환기
Fig. 9. Dual slope A/D converter.

그림 9는 일반적인 혼성모드 회로인 듀얼-슬롭형 A/D 변환기를 DFT한 회로로, 테스트를 위하여 스위치(S3), 출력단자(Vout), 입력단자(Tmode)를 추가하였고 디지털 제어 회로를 수정하였다. S3 스위치는 트랜스미션 게이트를 사용하여 구성하였으며, 정상 동작에서 S3 스위치는 GND와 연결된다. 테스트 시 S2 스위치를 닫아 OA2를 단일 이득 증폭기를 구성하고, S1 스위치는 오프셋 전압 테스팅 기법이 입력을 필요로 하지 않으므로 열린 상태를 유지한다. 그리고 S3 스위치는 Vout 노드와 연결하여 OA1을 단일 이득 증폭기로 만들어 2단의 단일 이득 증폭기를 구성한 후, 테스트 출력 VOUT이 오프셋 전압의 허용 범위를 벗어나면 아날로그 회로 내에 존재하는 고장들을 검출할 수 있다.

동일한 단일 이득 연산증폭기를 2 단으로 연결할 경우 연결되는 형태에 따라 출력 오프셋 전압이 다르게 나타난다. 만약 그림 10의 (a)와 같이 두 연산증폭기가 반전 연산증폭기로 형태가 같다면 출력 오프셋 전압은 두 연산증폭기의 오프셋 전압이 누적되어 나타난다. 그러나 그림 10의 (b)와 같이 두 연산증폭기가 서로 다른 형태의 연산증폭기가 연결되었다면 출력 오프셋 전압은 각 오프셋 전압이 서로 상쇄되어 이상적인 경우 0V가 나타난다. 본 논문에서 대상으로 한 듀얼 슬롭형 A/D 변환기의 DFT는 그림 10의 (a)와 같은 형태의 연산증폭기를 2 단으로 연결하여 출력 오프셋 전압은 하나의 오프셋 전압의 두 배가 나타난다.

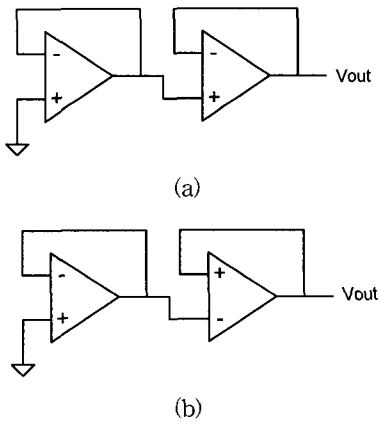
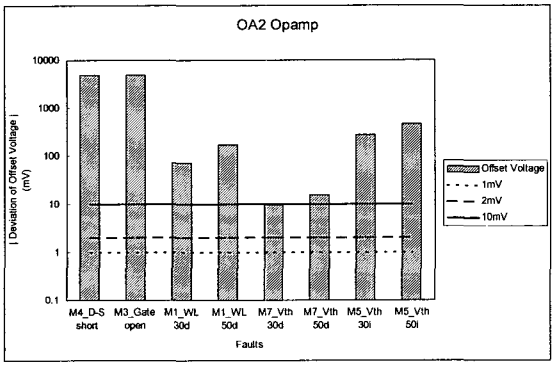


그림 10. 2단 연산증폭기
(a) 반전 연산증폭기의 연결 (b) 반전과 비반전 연산증폭기의 연결

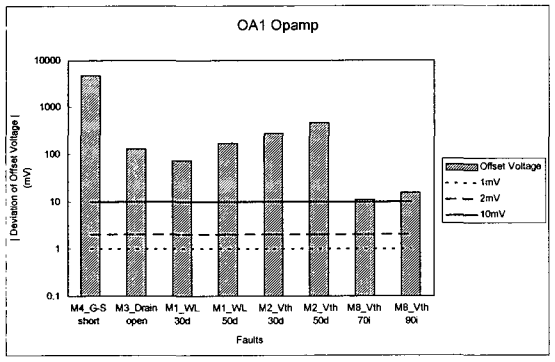
Fig. 10. Two stage Opamp.
(a) Connection of inverting Opamps
(b) Connection of inverting and non-inverting Opamp

본 논문에서 사용한 단일 연산 증폭기의 정상 오프

셋 전압은 1.37㎷인데, 듀얼-슬롭형 A/D 변환기를 본 논문에서 제안하는 단일 이득 증폭기로 DFT할 경우 2단의 반전 연산 증폭기로 정상 오프셋 전압이 2.74㎷로 나타난다. 이것은 OA2의 오프셋 전압과 OA1의 오프셋 전압이 누적되었기 때문이다. CUT의 오프셋 전압의 허용 범위는 앞에서와 같이 정상상태 오프셋 전압에서 ±1㎷, ±2㎷, ±10㎷로 설정하였다.



(a)



(b)

그림 11. 듀얼-슬롭형 A/D 변환기에 대한 강고장과 약고장의 모의실험 결과
(a) OA2 연산 증폭기 (b) OA1 연산 증폭기

Fig. 11. Simulation results of hard and soft faults for dual-slop A/D converter.
(a) OA2 Opamp (b) OA1 Opamp

그림 11은 듀얼-슬롭형 A/D 변환기의 OA1과 OA2에 존재하는 강고장과 약고장에 대한 모의 실험 결과이다. 그림 11의 (a)는 OA2 연산 증폭기에 존재하는 고장에 대한 모의 실험 결과인데, 단일 연산 증폭기와 같은 고장 오프셋 전압이 나타남을 알 수 있다. 그림 11의 (b)는 OA1 연산 증폭기에 존재하는 고장에 대한 모의 실험 결과인데, OA2 연산 증폭기와 같이 고장 오프셋 전압이 나타나 쉽게 검출이 가능하다. 이와 같이 듀얼-슬롭형 A/D 변환기의 OA2에 고장이 존재할 경우 고장에 의한 오프셋 전압은 단일 연산 증폭기의 고장 오프셋 전압값과 같이 나타난다. 그리고 OA2의 고장 오프셋 전압은 단일 이득 증폭기인 OA1의 입력이므로 고장 회로의 전체 오프셋 전압인 Vout은 OA2의 고장 오프셋 전압에 OA1의 정상 오프셋 전압을 더한 값이 나타난다. 또한 OA1에 고장이 존재할 경우 OA2의 정상 오프셋 전압이 OA1의 입력이므로 고장 회로의 전체 오프셋 전압은 OA2의 정상 오프셋 전압에 OA1의 고장 오프셋 전압을 더한 전압값이 나타난다.

듀얼-슬롭형 A/D 변환기에 대한 모의 실험에서 CUT에 강고장이 존재할 경우 단일 연산 증폭기에서와 같이 정상 오프셋 전압에 비하여 고장 오프셋 전압이 매우 크게 나타나므로 관측이 매우 용이함을 알 수 있었다. 강고장에 대한 고장 검출율은 단일 연산 증폭기와 같이 나타났다. 또한 약고장에 대한 모의 실험 결과도 단일 이득 증폭기와 같은 고장 검출율을 얻었다. 이와 같이 CUT를 단일 이득 연산 증폭기로 DFT 함으로서 연산 증폭기가 여러 단으로 연결될 경우 고장에 의한 오프셋 전압을 쉽게 예측할 수 있고 고장 검출도 용이하다.

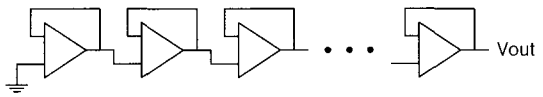


그림 12. 다단 연산 증폭기의 DFT
Fig. 12. DFT of multiple Opamp.

그림 12는 연산 증폭기가 회로 내에 다단으로 존재할 경우에 대한 DFT된 회로도이다. 각 연산 증폭기는 단일 이득 증폭기로 구현한 다음 전체 증폭기를 직렬로 연결하여 DFT 한다. 만약 동일한 연산 증폭기를 사용한다면 DFT된 전체 회로의 정상 오프셋 전압은 그림 10에서 설명된 연결 형태에 따라 결정된다. 이와 같이 본 논문에서 제안하는 테스트 방식을 적용하기 위하여 회로를 단일 이득 증폭기로 간단히 DFT 함으로써 다단의 연산 증폭기로 구성된 회로의 고장도 쉽게 검출할 수 있다.

표 2는 본 논문에서 제안한 오프셋 전압 테스트 방식과 기존의 테스트 방식을 비교 분석하였다. 기존에 제안된 테스트 방식들은 약고장을 고려하지 못하였거

표 2. 테스트 방식 비교 분석
Table 2. A comparative analysis between testing methods.

테스트 방식	단일 연산 증폭기		듀얼 슬롭형 A/D 변환기	
	고장 모델	고장 검출율	고장 모델	고장 검출율
IDDQ	브리지 고장 개방 고장	낮음	×	×
DC	강고장	80%	×	×
	약고장	일부		
발진	강고장	99%	강고장	98%
	약고장	가능성 제시	약고장	가능성 제시
제안한 방식 (±2㎷)	강고장	98%	강고장	98%
	약고장	94%	약고장	94%

나, 일부의 트랜지스터에 존재하는 약고장만을 검출할 수 있다는 것을 보여주고 있다. 그러나 표 2에서 보는 바와 같이 본 논문에서 제안한 테스트 방식이 기존의 방법들에 비하여 높은 고장 검출율을 가지며 강고장뿐만 아니라 약고장도 효과적으로 검출함을 알 수 있다. 발진 테스트 방식의 경우 강고장에 대하여 99%의 높은 고장 검출율을 나타내지만, CUT를 발진회로로 DFT하기 위한 많은 저항, 커패시터, 스위치 등이 필요하여 부가적인 하드웨어가 증가하고, 출력에서 발진주파수를 관측해야 함으로 고장 판별이 용이하지 않다. 그러나 본 논문에서 제안하는 방식은 CUT를 단지 단일 이득 증폭기로 DFT 함으로 간단한 스위치만을 삽입하면 되고, 출력도 DC 전압이 나타나 고장 판별이 용이하다. 또한 본 논문에서 제안하는 방식은 강고장뿐만 아니라 약고장도 검출 가능한 장점이 있다.

V. 결 론

본 논문에서는 CMOS 2단 연산 증폭기에 존재하는 강고장과 약고장을 검출하기 위한 효과적인 오프셋 전압 테스트 방식을 제안하였다. 제안된 테스트 방식은 연산 증폭기의 오프셋을 이용하여 출력 오프셋 전압을 관측하는 테스트 방식으로서 출력 오프셋 전압이 허용범위를 벗어나게 되면 고장을 검출할 수 있다. 테스트 시 출력에서 관측이 용이하도록 하기 위해서 CUT를 귀환 루프를 가지는 단일 이득 증폭기로 DFT한다.

기존의 방식에 비하여 DFT를 위한 부가적인 하드웨어가 적고, 입력 단자를 접지 시킴으로써 테스트 입력 패턴이 요구되지 않기 때문에 복잡한 알고리즘을 사용하여 테스트 입력 패턴을 생성하는 문제를 제거하였다. 따라서 전체적인 테스트 시간을 감소시키고, 테스트 비용을 줄일 수 있다. 강고장의 경우 출력 오프셋 전압이 큰 전압 레벨로 변동하므로 고장 검출이 용이하며 하나의 고장을 제외하고 모든 고장을 검출하여 약 98%의 높은 고장 검출율을 얻었고, 약고장에 대해서도 허용범위에 따라 높은 고장 검출율을 얻었다. 제안한 테스트 방식을 듀얼 슬롭 A/D 변환기에 적용한 결과 기존의 테스트 방식보다 고장 검출율이 높음을 HSPICE 모의 실험을 통하여 검증하였다. 또한 연산 증폭기가 다단으로 연결된 회로의 경우도 DFT가 쉬우며, 단일 연산 증폭기의 테스트와 동일하게 고장을 검출할 수 있다.

제안하는 테스트 방식은 HSPICE 모의 실험만으로 검증된 것으로 공정에 따른 모델 파라미터 값이 변화하거나 구조가 다를 경우 본 논문에서의 모의 실험결과와 약간 다르게 나타날 수 있습니다. 앞으로 검출하지 못한 고장들에 대해서 효과적으로 검출할 수 있는 새로운 테스트 방식에 관한 연구와 다른 아날로그 응용 회로로의 적용에 대한 연구가 수행되어야 할 것이다.

참 고 문 헌

[1] Karim Arabi and Bowena Kaminska, "Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method", *IEEE Trans.*

on Computer-Aided Design, Vol. 16, No. 7, pp. 745-753, 1997.

[2] Linda Milor and V. Visvanathan, "Detection of Catastrophic Faults in Analog Integrated Circuits", *IEEE Trans. on Computer-Aided Design*, Vol. 8, No. 2, pp. 114-130, 1989.

[3] A. Meixner and W. Maly, "Fault Modelling for the Testing of Mixed Integrated Circuits", *Proc. IEEE Int. Test Conf.*, pp. 13.6.1-13.6.4., 1991.

[4] Giri Devarayanadurg and Mani Soma, "Analytical Fault Modeling and Static Test Generation for Analog ICs", *Proc. Int. Conf. on Computer-Aided Design*, pp. 44-47, 1994.

[5] Michael J. Ohletz, "Realistic Faults Mapping Scheme for the Fault Simulation of Integrated Analogue CMOS Circuits", *Proc. IEEE Int. Test Conf.*, pp. 776-785, 1996.

[6] Dorey, A.P., and J.B. Hibbert, "Simplified Test Strategies for Analog ICs", *Proc. IEEE European Test Conf.*, pp. 494, 1991.

[7] M. Roca and A. Rubio, "Selftesting CMOS Operational Amplifier", *Electronic Letters*, Vol. 28, No. 15, pp. 1452-1454, 1992.

[8] Soma, M., "Fault Coverage of DC Parametric Tests for Embedded Analog Amplifiers", *Proc. IEEE Int. Test Conf.*, pp. 566-573, 1993.

[9] Chang, S. J., C. L. Lee, and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier", *Proc. VLSI Test Symposium*, pp. 267-272, 1997.

[10] Karim Arabi, and Bozena Kaminska and Stephen Sunter, "Design for Testability of Integrated Operational Amplifiers Using Oscillation-Test Strategy", *Proc. IEEE Int. Conf. on Computer Design*, pp. 40-45, 1996.

[11] Karim Arabi, and Bozena Kaminska, "Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits", *Proc. IEEE VLSI Test Symp.*, pp. 476-482, 1996.

[12] Wilson, Q.F., and D.B. Day, "Practical Automatic Test Program Generation Constraints", *Proc. Automatic Test Conf. and Workshop*, 1987.

[13] Roubik Gregorian, and Gabor C. Temes, "Analog MOS Integrated Circuits for Signal Processing", *Wiley*, 1986.

저 자 소 개

金 强 哲(正會員)

1981년 2월 서강대학교 전자공학과 졸업(공학사). 1983년 2월 서강대학교 대학원 전자공학과 졸업(공학석사). 1996년 8월 경상대학교 대학원 전자공학과 졸업(공학박사). 1983년 3월~1989년 6월 한국전자통신연구소 연구원. 1989년 7월~1990년 2월 삼성종합기술원 연구원. 1990년 3월~1997년 8월 진주산업대학교 전자계산학과 조교수. 1997년 9월~현재 여수대학교 컴퓨터공학과 조교수. 주관심분야는 VLSI 설계 및 테스팅, 전력전자

宋 根 浩(正會員) 第 35卷 C編 第 12號 參照

韓 哲 鵬(正會員) 第 35卷 C編 第 12號 參照