論文2001-38SD-2-2

# 낮은 에너지의 $As_2^+$ 이온 주입을 이용한 얕은 $n^+$-p 접합을 가진 70nm NMOSFET의 제작

# (70nm NMOSFET Fabrication with Ultra-shallow $n^+$-p Junctions Using Low Energy $As_2^+$ Implantations)

崔 炳 鎔 *, 成 錫 江 *, 李 鐘 德 *, 朴 炳 國 *

(Byung Yong Choi, Suk Kang Sung, Jong Duk Lee, and Byung-Gook Park)

## 요 약

Nano-scale의 게이트 길이를 가지는 MOSFET소자는 접합 깊이가 20~30nm정도로 매우 얕은 소스/드레인 확장 영역을 필요로 한다. 본 연구에서는 $As_2^+$ 이온의 10keV이하의 낮은 에너지 이온 주입과 RTA (rapid thermal annealing)공정을 적용하여 20nm이하의 얕은 접합 깊이와 1.0kΩ/□ 이하의 낮은 면저항 값을 가지는 $n^+$-p접합을 구현 하였다. 이렇게 형성된 $n^+$-p 접합을 nano-scale MOSFET소자 제작에 적용시켜서 70nm의 게이트 길이를 가지는 NMOSFET을 제작하였다. 소스/드레인 확장 영역을 $As_2^+$ 5keV의 이온 주입으로 형성한 100nm의 게이트 길이를 가지는 NMOSFET의 경우, 60mV의 낮은 $\Delta V_T$(문턱 전압 감소) 와 87.2mV의 DIBL (drain induced barrier lowering) 특성을 확인하였다. $10^{20}cm^{-3}$이상의 도핑 농도를 가진 abrupt한 20nm급의 얕은 접합, 그리고 이러한 접합이 적용된 NMOSFET소자의 전기적 특성들은 $As_2^+$의 낮은 에너지의 이온 주입 기술이 nano-scale NMOSFET소자 제작에 적용될 수 있다는 것을 제시한다.

## Abstract

Nano-scale gate length MOSFET devices require extremely shallow source/drain extension region with junction depth of 20~30nm. In this work, 20nm $n^+$-p junctions that are realized by using this $As_2^+$ low energy (≤10keV) implantation show the lower sheet resistance of the 1.0kΩ/□ after rapid thermal annealing process. The $As_2^+$ implantation and RTA process make it possible to fabricate the nano-scale NMOSFET of gate length of 70nm. $As_2^+$ 5 keV NMOSFET shows a small threshold voltage roll-off of 60mV and a DIBL effect of 87.2mV at 100nm gate length devices. The electrical characteristics of the fabricated devices with the heavily doped and abrupt $n^+$-p junctions ($N_D > 10^{20}cm^{-3}$, $X_j \leq 20nm$) suggest the feasibility of the nano-scale NMOSFET device fabrication using the $As_2^+$ low energy ion implantation.

* 正會員, 서울大學校 半導體 共同 硏究所, 電氣工學部
(Inter-university Semiconductor Research Center and School of Electrical Engineering, Seoul National University)

※ 본 연구는 과학기술부의 국가 지정 연구실 사업의 지원을 받아(Contact No. ISRC 1999-EX-1379) 수행되었습니다.

接受日字 : 2000年 7月19日, 수정완료일:2000年12月11日

## Ⅰ. 서 론

100nm이하의 게이트 길이를 가지는 MOSFET소자 제작에서는 단채널 효과를 줄여 주기 위해서 1.5nm이하의 게이트 산화막과 25~40nm이하의 접합 깊이를 가지는 소스/드레인의 확장 영역이 요구된다.[1] 그림 1은 1999년 Semiconductor Industry Association에서 제시한 International Technology Roadmaps for

Semiconductors에서 MOSFET분야의 design rule내용을 소개하고 있다. 특히, nano-scale MOSFET의 소스/드레인 확장 영역은 기존의 LDD와 HDD이상의 doping농도를 가지는 super-doped이며, abrupt한 수십 nm 얕은 접합을 형성하는 공정 방법에 대해 여러 방향으로 연구가 진행되고 있다.[2~6]

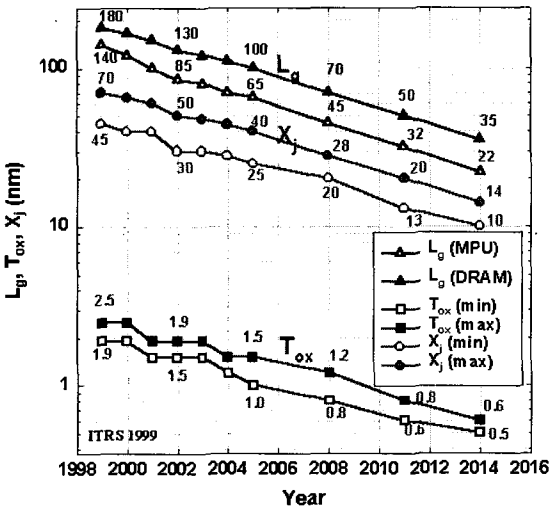



그림 1. 국제 반도체 기술 roadmap (1999 Edition)[1]
Fig. 1. International Technology Roadmap for Semiconductors (1999 Edition)[1].

특히 낮은 에너지의 이온 주입 방법[2]과 함께 solid phase diffusion[3,4]공정, plasma doping[5]방법 등의 다양한 방법들이 제시되었으며, 위의 공정들이 적용된 소자가 제작되어 그 전기적 특성들이 보고되었다. PSG[3]와 BSG[4]를 doping소스로 해서 RTA를 통해 확산시키는 solid phase diffusion방법은 이온 주입에서 야기되는 격자 결함 생성이 없고, 얕은 접합과 높은 농도의 소스/드레인 확장 영역의 구현이 쉽다는 장점이 있으나, CMOS공정으로 개발하기 어렵다는 약점이 있다. Plasma를 doping 소스로 쓰는 경우[5]에는 불순물이 수백 eV의 낮은 에너지로 주입된다는 장점이 있으나, 웨이퍼에 오염을 일으킨다는 문제가 있어서 아직까지 연구 수준에 머무르고 있는 것이 현실이다.

기존의 소자 제작 방법을 크게 벗어나지 않으면서 양산 공정에 쉽게 적용시키는 것은 낮은 에너지의 이온 주입 기술[2]로 구현이 가능하다. 그러나, 낮은 에너지로 갈수록 beam current의 문제로 인한 high dose의 구현이 어렵다는 것과 $p^+$-n의 얕은 접합은 이온 주입시 발생하는 point defects로 인한 TED(transient enhanced diffusion)와 boron channeling때문에 얕은 접합의 구현이 쉽지 않다는 문제가 제기되어 왔다. 이온 주입시 에너지를 낮추어 가는 방법과 함께 제시되는 이온 주입 공정의 경향은 source material을 분자량이 높은 물질로 쓰는 것으로,[6~9] 그 예로는 acceptor 불순물인 boron을 이온 주입하는 경우, $B^+$이나 $BF_2^+$ 대신에 $B_{10}H_{14}^+$[6]을 이온 주입하여 유효 에너지를 낮추는 방법이 있다. 예를 들면, $B^+$을 1keV로 이온 주입하는 경우는 $BF_2^+$(mass number=49)을 5keV (유효 에너지=1.12keV), $B_{10}H_{14}^+$(mass number=124)을 10keV(유효 에너지=0.89keV)로 이온 주입하는 것과 같은 효과를 보인다. 이번 실험에 적용된 donor impurity인 As의 경우 $As^+$대신에 $As_2^+$을 이온 주입하여, 유효 에너지를 1/2배로 낮추어 준 것이 10keV의 이온 주입 조건에서 발표된 적이 있다.[7]

본 연구에서는 $As_2^+$ 5, 10keV의 이온 주입과 RTA로 20nm급의 $n^+$-p접합 깊이의 arsenic doping profile의 구현과 $As_2^+$ 낮은 에너지의 이온 주입으로 소스/드레인 확장 영역이 형성된 NMOSFET의 전기적 특성을 분석하여, $As_2^+$의 낮은 에너지 이온 주입 공정이 nano-scale MOSFET제작 공정에 적용 가능하다는 것을 얕은 접합의 형성과 소자 제작을 통해 확인하였다.

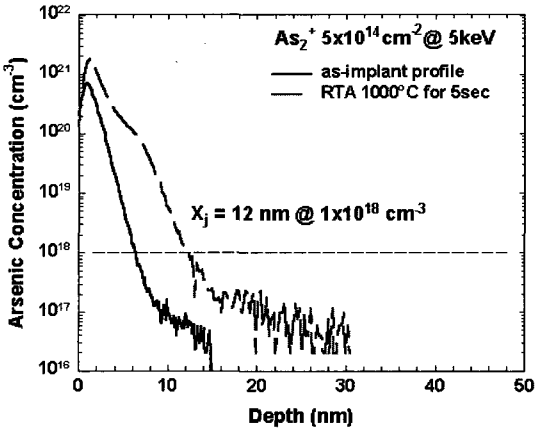
## Ⅱ. $As_2^+$ 낮은 에너지 이온 주입

비저항 10~20Ω-cm이고 결정 방향 (100)인 p-형 실리콘 기판에서 실험을 진행하였다. 실제 NMOSFET 소자 제작에서 $As_2^+$ 이온 주입이 이루어지는 조건과 같도록 하기 위해, 게이트 전극 주위에 있을 screen 산화막의 영향을 고려하였다. 실리콘 기판 위의 screen oxide는 이온 주입 도중에 실리콘 기판을 보호하는 covering layer역할을 하면서, 기판에 주입된 dopant의 접합 깊이와 peak 농도 위치를 결정짓는다. 실제 NMOSFET소자 제작에 있어서, 소스/드레인 확장 영역의 형성을 위해 이루어 지는 $As_2^+$ 이온 주입 공정은 poly-Si전극의 patterning과 다결정 실리콘 re-oxidation을 거친 이후에 이루어진다. 그런 이유로, 이온 주입에 있어서의 screen산화막의 영향이 고려된 $As_2^+$ 낮은 에너지의 이온 주입 실험이 먼저 이루어져야 한다. 수행된 단위 실험에서는 실제 소자 제작과 마찬가지로 게이트 산화막 성장과 re-oxidation을 수행하

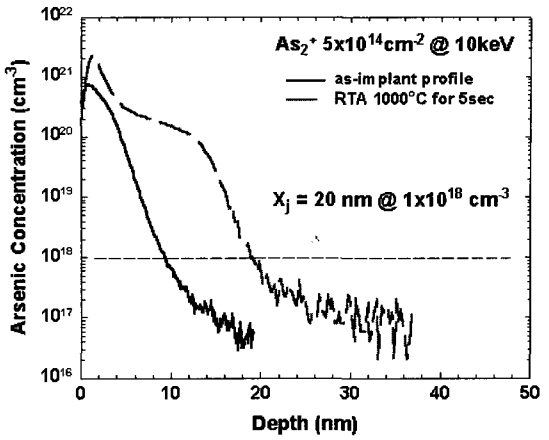
여, 최종적으로 3.8nm의 산화막을 실리콘 기판 위에 성장시켰다. 그리고, 성장시킨 screen 산화막 위로 $As_2^+$이온을 $5.0\times10^{14}cm^{-2}$ dose조건에서 5keV와 10keV으로 나누어 이온 주입하였다. 이온 주입 공정은 $AsH_3$ source로, Varian사의 $A_2F$ medium current/ medium energy ion implanter를 통해 수행되었다. 이온 주입에서 acceleration energy를 5, 10keV로 낮추기 위해서 기존의 25keV의 extraction energy를 5keV로 낮추어 주었으며, 이온 주입에서 beam current는 3$\mu$A로 확인되었다.

이온 주입이 된 실리콘 웨이퍼는 RTA를 900°C와 1000°C에서 5sec 와 10sec조건으로 수행하여 dopant의 전기적 activation과 annealing을 얻을 수 있었다. 후속 열처리 이후, 4-point probe를 이용한 면저항 측정과 SIMS분석을 통해 doping profile의 농도와 접합 깊이를 추출할 수 있었다. SIMS분석은 1.0keV $Cs^+$이온을 이용한 phi 6650 spectrometer로 이루어졌는데, 농도에 대해서는 ±10%(1$\sigma$), 수직방향 깊이에 대해서는 ±3~5%(1$\sigma$)의 정확성을 가졌다.

그림 2에서의 SIMS분석 결과에 의하면, $As_2^+$ 낮은 에너지의 이온 주입으로 형성된 $n^+$-p 접합은 as-implant상태에서 $10^{18}cm^{-3}$의 채널 도핑을 기준으로 5keV의 경우 6nm, 10keV에서는 10nm의 접합 깊이를 보여 주었다. 그리고, RTA를 1000°C에서 5sec 수행한 이후 $n^+$-p접합의 깊이는 5keV조건에서는 12nm, 10keV는 20nm로 측정되었다. 특히 $As_2^+$ 5keV의 이온 주입으로 형성된 $n^+$-p 영역은 RTA 열처리 이후, 10keV이온주입 profile에서 확인되었던 TED현상이 억제된 abrupt한 profile을 보였다. 그림 2에서 as-implant sample의 SIMS분석 결과에서는, Si과 $SiO_2$계면에서의 SIMS분석 장비 자체의 transient error로 인해 RTA이후의 profile보다 dopant peak이 낮은 것으로 확인되었다. 이러한 결과는 as-implant sample에서 As의 peak농도가 실리콘 기판이 아닌, 이온주입 공정에서의 screen층 역할을 했던 $SiO_2$쪽에 위치했다는 것을 보여준다. 그림 3은 이온 주입 조건과 열처리 조건에 따른 면저항 값의 차이를 정리했다. 4-point probe




(a)




(b)

그림 2. $As_2^+$ (a) 5keV과 (b) 10keV이온 주입에 대한 as-implant와 RTA이후의 arsenic SIMS profile

Fig. 2. As-implant and RTA processed arsenic profiles of the $As_2^+$ $5\times10^{14}cm^{-2}$ (a) 5keV, (b) 10keV implantation condition.

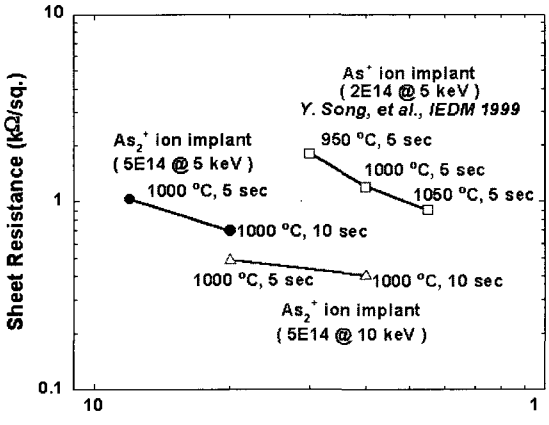


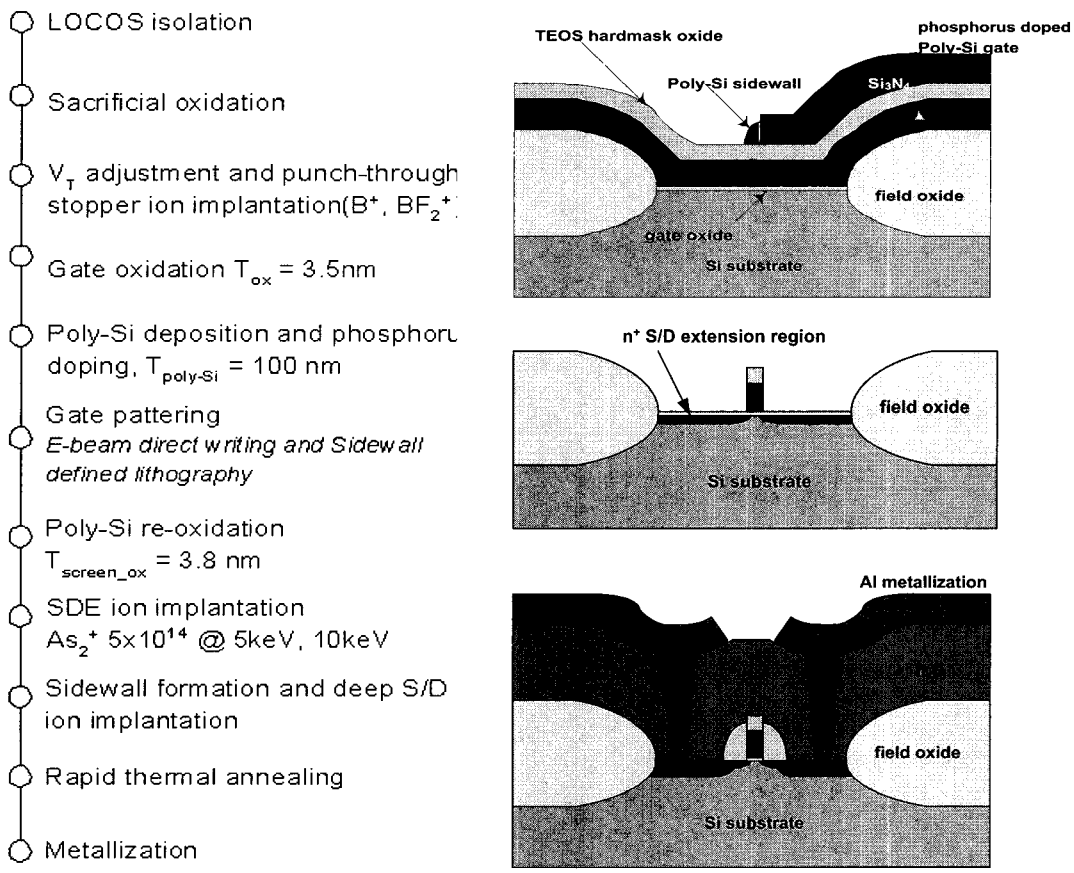

그림 3. 이온 주입과 RTA를 이용한 열처리 조건에 따른 면저항 측정 결과

Fig. 3. Sheet resistance differences of the ion implantation and RTA conditions.

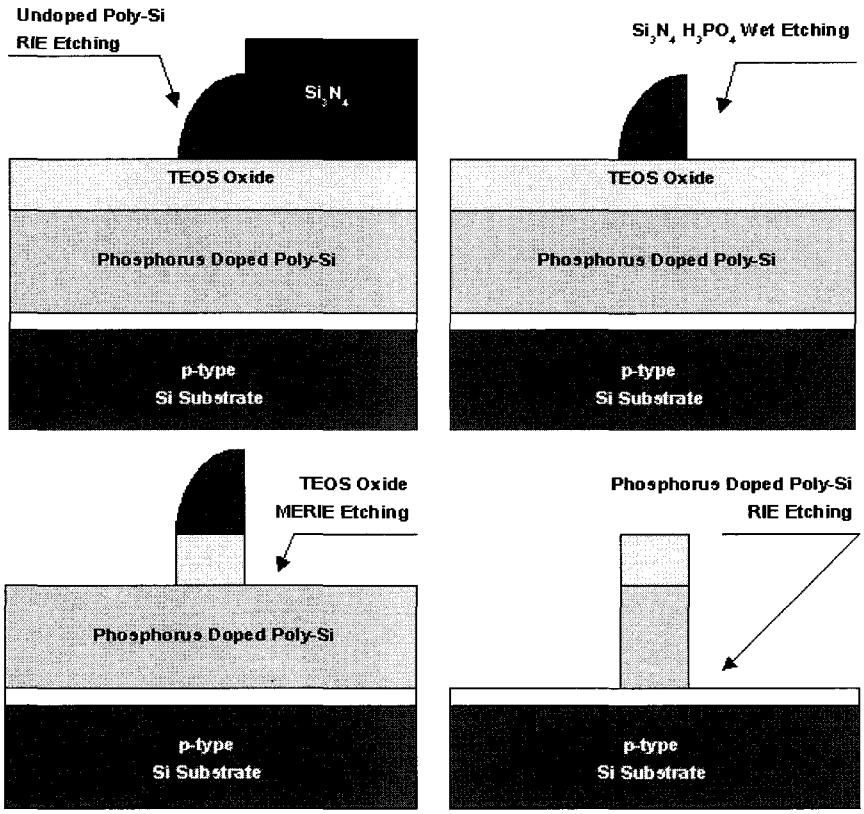
를 통해 측정된 면저항 값은 1000°C, 5sec RTA조건에서 5keV의 이온 주입 sample의 경우 1.03kΩ/□, 10keV의 조건에서는 0.49kΩ/□로, $As^+$이온 주입 공정으로 형성된 $n^+$-p 접합보다 같은 열처리 조건에서 훨씬 낮은 면저항 값을 보여주었다.

## Ⅲ. 70nm 게이트 길이 NMOSFET제작

소개된 $As_2^+$의 낮은 에너지 이온 주입 공정의 결과를 바탕으로, 얕은 $n^+$-p접합의 소스/드레인 확장 구조를 가진 nano-scale NMOSFET을 제작하였다. 그림 4(a)에서 nano-scale NMOSFET 소자 제작의 주요 공정을 소개하고 있다. 소자간의 분리를 위하여 LOCOS공정을 이용하여 active영역을 정의한 다음, 25nm의 희생 산화막을 기른 상태에서 punch-through 억제와 문턱 전압 조정을 위한 $B^+$과 $BF_2^+$ 이온 주입을 수행하였다. 희생 산화막의 제거 이후, 800°C조건에서 3.5nm의 게이트 산화막을 성장 시켰으며, 게이트 전극 형성을 위해 phosphorus로 doping된 100nm의 다결정 실리콘 층을 증착 하였다. 다결정 실리콘의 식각 공정에서 hardmask역할을 하는 50nm TEOS 산화막을 증착 한 후, 100nm이상의 게이트 길이를 가지는 MOSFET소자에 대해서는 e-beam direct writing으로, 70nm의 MOSFET은 sidewall defined lithography[9]를 통해 다결정 실리콘 게이트를 정의하였다. 그림 4(b)는 sidewall defined lithography에 대하여 간단히 요약한 그림으로, 정의된 실리콘 질화막($Si_3N_4$)에 의해 형성된 다결정 실리콘 sidewall과 그 아래 TEOS 산화막을 hardmask로 하여 게이트 전극 역할을 하는 다결정 실리콘을 구현하는 것을 소개하고 있다. 그림 5는 sidewall defined방법으로 정의된 70nm의 게이트 단면을 보여 주는 SEM사진으로, 3.5nm의




(a)




(b)

그림 4. (a) nano-scale NMOSFET소자 제작 순서도, (b) 70nm 다결정 실리콘 게이트를 정의하기 위한 sidewall defined lithography의 과정

Fig. 4. (a) Process flow chart of the nano-scale NMOSFET fabrication, (b) a diagram of the sidewall defined lithography for the definition of the 70nm poly-Si gate.

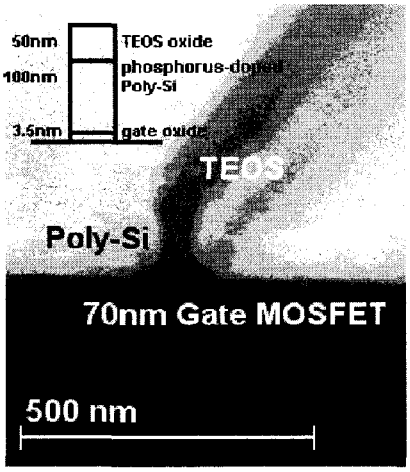



그림 5. sidewall defined lithography로 정의된 70 nm 게이트 다결정 실리콘의 단면 SEM사진.

Fig. 5. The cross-section of the 70nm gate poly-Si electrode defined by the sidewall defined lithography.

산화막과 100nm의 다결정 실리콘, 50nm의 TEOS 산화막으로 구성되어 있다. 게이트 전극의 다결정 실리콘 게이트의 re-oxidation이후, 얕은 소스/드레인 확장 영역 형성을 위해 $As_2^+$이온 주입을 $5.0\times10^{14}cm^{-2}$ dose에 5keV또는 10keV에너지 조건으로 수행하였다. Deep 소스/드레인 영역을 형성하기 위해, TEOS산화막을 이용해서 게이트 전극 옆에 100nm의 폭을 가진 sidewall을 건식 식각으로 형성하고 나서, $As^+$ 30keV의 이온 주입을 진행하였다. 그리고, PECVD장비를 통해 500nm의 ILD층의 증착을 하고, photolithography와 식각을 통해 contact을 정의하였다. 정의된 contact영역에 대해 $P^+$이온을 이용한contact plug implantation이 수행되었으며, 이어서 RTA를 1000°C, 5sec조건에서 수행하여 이온 주입된 dopant를 annealing 시켜주었다. 끝으로, metallization은 1% 실리콘이 함유된 700nm두께의 Al을 이용하여 진행되었다.

## Ⅳ. 제작된 NMOSFET소자의 전기적 특성

제작된 NMOSFET소자의 유효 채널 폭은 LOCOS공정에서의 산화막 잠식으로 인해 design된 10㎛보다 줄어든 9㎛ 측정되었으며, Terada-Muta method[10]로 계산된 측면 확산에 의한 $\Delta L(L_{drawn}-L_{eff})$은 $As_2^+$ 5keV로 이온 주입한 경우 25nm, 10keV로 이온 주입했을 경우 35nm로 측정되었다. 위의 측면 확산 정도의 차이는 상대적으로 얕은 수직방향의 접합 깊이 차이로 인해 나타난 것으로 소자의 단채널 효과에 영향을 미친다. 대표적인 단채널 효과인 문턱 전압의 감소를 살펴보면, 100nm의 게이트 길이를 가지는 소자의 경우 $As_2^+$ 5keV로 이온 주입한 NMOSFET에서 문턱 전압은 0.427V, 10keV의 소자에서는 0.384V로 측정되었다. 구체적으로 문턱 전압 감소특성을 그림 6에서 소개된 e-beam으로 정의된 게이트를 가지는 소자들에 대해서 살펴 보면, 5keV이온 주입 조건의 NMOSFET의 경우, 게이트 길이 700nm부터 100nm까지의 $\Delta V_T$가 60mV인데 비해, 10keV조건의 NMOSFET은 180mV까지 증가한 것을 알 수 있다.

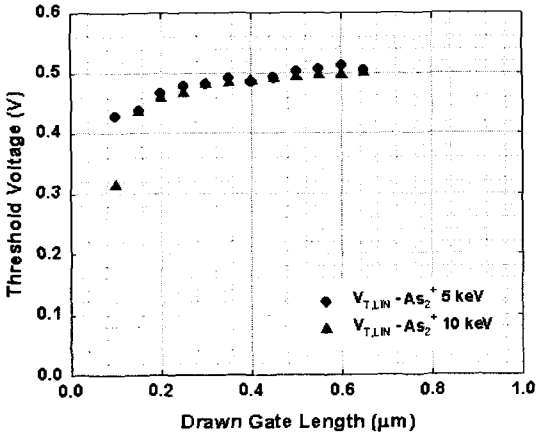



그림 6. $As_2^+$ 낮은 에너지의 이온 주입을 적용해서 제작된 NMOSFET의 문턱 전압 감소(threshold voltage roll-off) 특성

Fig. 6. The threshold voltage roll-off characteristics of the fabricated NMOSFET device using $As_2^+$ low energy implantation.

그림 7은 같은 유효 채널 길이($L_{eff}$)를 가지는 두 소자에 대해 $I_{DS}$-$V_{GS}$ 특성을 분석한 것이다. $L_{eff}$ = 80nm로 확인된 두 소자는 $As_2^+$ 5keV 이온 주입조건에서 87.2mV의 DIBL을, $As_2^+$ 10keV이온 주입조건에서 148mV의 DIBL전압을 보여 주었다.

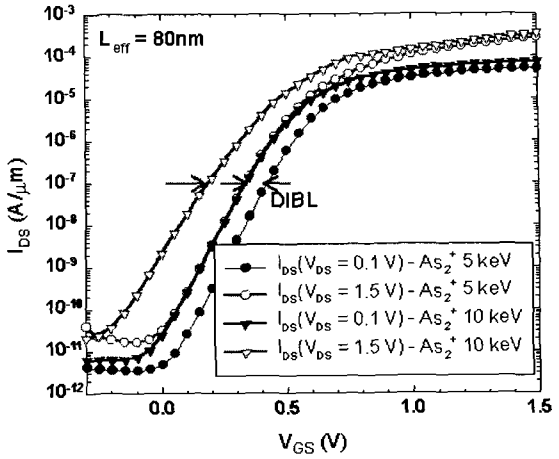



그림 7. $L_{eff}$가 80nm로 같은 $As_2^+$ 5keV와 10keV조건의 두 NMOSFET 소자에 대한 $I_{DS}$-$V_{GS}$ 특성

Fig. 7. The $I_{DS}$-$V_{GS}$ characteristics of the $As_2^+$ 5keV and 10keV NMOSFETs with the same $L_{eff}$ of 80nm.

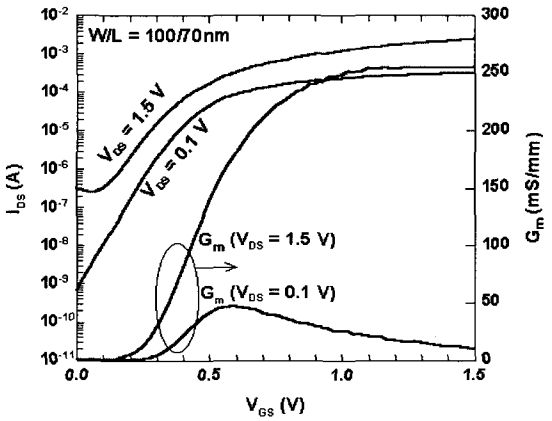
$As_2^+$ 10keV 조건의 소자는 같은 드레인 바이어스 조건에서 $As_2^+$ 5keV NMOSFET보다 증가된 전류 특성을 보여 주었는데, 이는 소스/드레인의 저항값 ($R_{SD}=R_S+R_D$)의 차이로 인한 것으로 추측할 수 있다. 측정된 소스/드레인 저항값($R_{SD}$)은 $As_2^+$ 10keV NMOSFET에서는 99.8Ω, $As_2^+$ 5keV NMOSFET에서는 131.7Ω이었다. 이러한 저항값의 영향으로 인한 전류 구동 능력의 차이는 아래의 식[11]을 이용해서 확인해 볼 수 있다.

$$g_{m,ext}=\frac{g_{m,\mathrm{int}}}{1+R_{SD}g_{ds,\mathrm{int}}+R_S g_{m,\mathrm{int}}}=\frac{g_{m,\mathrm{int}}}{1+R_S g_{m,\mathrm{int}}} \qquad (1)$$

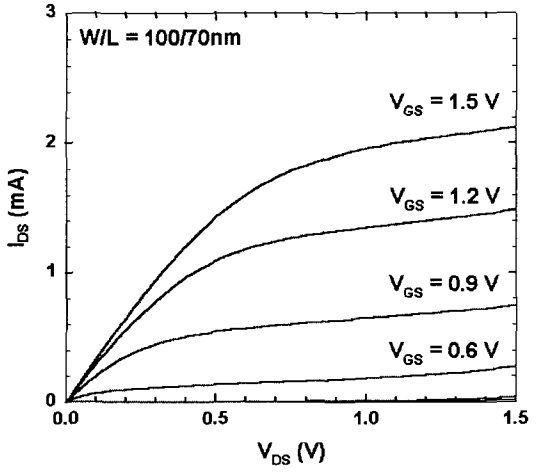
여기서, $g_{m,int}$와 $g_{ds,int}$는 $R_S=R_D=0$으로 가정 될 때, intrinsic transconductance와 intrinsic 드레인 transconductance를 의미한다. 포화영역의 extrinsic transconductance($g_{m,ext}$)는 $g_{ds,int}$가 0이 될 때, $(1+R_s g_{m,int})$의 비율로 감소된다는 것을 식 (1)을 통해 확인할 수 있었다.[11] 제작된 NMOSFET소자에서 추출된 intrinsic transconductance는 80nm의 유효 채널 길이의 소자들에서 $As_2^+$ 5keV NMOSFET소자에서 421mS/mm 이었으며, 같은 유효 채널 길이를 가지는 $As_2^+$ 10keV NMOSFET소자에서는 429mS/mm로 측정되었다. 그러나, 소스/드레인 저항의 영향이 고

려된 extrinsic transconductance는 $As_2$+ 5keV NMOSFET에서 337mS/mm, $As_2^+$ 10keV NMOSFET에서 360mS/mm로 intrinsic 값들과는 달리 상당한 차이를 보였다. 이는 transconductance로 확인되는 nano-scale NMOSFET의 전류 구동 능력에서 소스/드레인 저항이 상당한 영향을 미친다는 것을 의미한다.

그림 8은 70nm NMOSFET의 전기적 특성을 보인 것이다. $As_2^+$ 이온 주입 공정이 적용된 70nm 게이트 길이의 NMOSFET은 heavily-doped 소스/드레인 확장 구조를 적용한 MOSFET으로, $As_2^+$ 10keV이온 주입으로 형성된 소스/드레인 확장 영역 접합 깊이는 SIMS분석을 통해 20nm로 확인되었다. 제작된 소자의 subthreshold swing은 80~90mV/dec였으며, $V_{GS}$ = 1.5V, $V_{DS}$=1.5V에서 드레인 포화 전류는 0.28mA/$\mu$m로 측정 되어 낮은 에너지의 $As_2^+$ 이온 주입 공정이 100nm이하의 NMOSFET 소자 제작에 적용될 수 있음을 실험적으로 확인시켜 주었다.




(a)




(b)

그림 8. 제작된 70 nm 게이트 길이의 NMOSFET (a) $I_{DS}$-$V_{GS}$와 (b) $I_{DS}$-$V_{DS}$ 특성

Fig. 8. (a) $I_{DS}$-$V_{GS}$ and (b) $I_{DS}$-$V_{DS}$ characteristics of the fabricated 70nm gate length NMOSFET.

## V. 결 론

$As_2^+$의 낮은 에너지 이온 주입 방법은 기존의 접합 형성 방법에 비해, 이온 주입이 가지고 있는 이점을 가지면서도 $As^+$일 때 보다 2배 높은 dose와 1/2배 낮은 유효 에너지로 이온 주입이 되는 장점이 있다. 본 연구에서는 처음으로 소스/드레인 확장 영역을 $As_2^+$의 낮은 에너지(≤10keV) 이온 주입과 RTA공정을 통해 20nm이하의 접합 깊이와 1.03k$\Omega$/□ 보다 낮은 면저항 값을 가지는 $3.3\times10^{20}cm^{-3}$농도의 abrupt $n^+$-p 접합을 구현하였다. 그리고, $As_2^+$ 낮은 에너지의 이온 주입으로 소스/드레인 확장 영역이 형성된 NMOSFET의 전기적 특성을 분석하여, $As_2^+$의 낮은 에너지 이온 주입 공정의 nano-scale MOSFET제작에 적용 가능성을 확인하였다.

## 참 고 문 헌

[1] The International Technology Roadmap for *Semiconductors, Semiconductor Industry Association*, 1999.

[2] A. Hori, H. Nakaoka, H. Umimoto, K. Yamashita, M. Takase, N. Shimizu, B. Mizuno, and S. Odanaka, "A 0.05$\mu$m-CMOS with Ultra Shallow Source/Drain Junctions Fabricated by 5keV Ion Implantation and Rapid Thermal Annealing," *Intl. Electron Devices Meeting Tech. Digest*, p. 485, 1994.

[3] Mizuki Ono, Masanobu Saito, Takashi Yoshitomi, Claudio Fiegna, Tatsuya Ohguro, and Hiroshi Iwai, "A 40nm Gate Length n-MOSFET," *IEEE Trans. on Electron Devices*, Vol. 42, No. 10, p. 1822, 1995.

[4] M. Saito, T. Yoshitomi, M. Ono, Y. Akasaka,

H. Nii, S. Matsuda, H. S. Momose, Y. Katumata, Y. Ushiku, and H. Iwai, "An SPDD p-MOSFET structure suitable for 0.1 and sub 0.1micron channel length and its electrical characteristics," *Intl. Electron Devices Meeting Tech. Digest*, p. 897, 1992.

[5] B. Mizuno, M. Takase, I. Nakayama, and M. Ogura, "Plasma Doping of Boron for Fabricating the Surface Channel Sub-quarter micron PMOSFET," *Symp. on VLSI Tech.*, p. 66, 1996.

[6] K. Goto, J. Matsuo, T. Sugii, H. Minakata, I. Yamada, and T. Hisatsugu, "Novel Shallow Junction Technology using Decaborane ($B_{10}H_{14}$)," *Intl. Electron Devices Meeting Tech. Digest*, p. 435, 1996.

[7] B. G. Park, J. Bokor, H. S. Luftman, C. S. Rafferty, M. R. Pinto, "Ultra Shallow Junctions for ULSI Using $As_2^+$ Implantation and Rapid Thermal Anneal," *IEEE Electron Device Lett.*, Vol. 13, No. 10, p. 507, 1992.

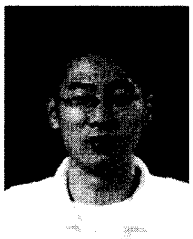
[8] B. Y. Choi, I. H. Nam, J. D. Lee, and B. G. Park, "Sub 0.1$\mu$m NMOSFET with 12nm $n^+$-p Junction Using $As_2^+$ 5keV Ion Implantation," The 7th Korean Conference on Semiconductors, p. 63, 2000.

[9] S. K. Sung, Y. J. Choi, J. D. Lee, and B. G. Park, "Realization of Ultra-Fine Lines Using Sidewall Structures and Their Application to nMOSFETs," *J. of the Korean Phys. Society*, Vol. 35, p. S693, 1999.

[10] J. J. Liou, A. Ortiz-Conde, and F. Garcia-Sanchez, "Analysis and Design of MOSFETs: Modeling, Simulation, and Parameter Extraction," *Kluwer Academic Publishers*, Chap. 4, p. 206, 1998.

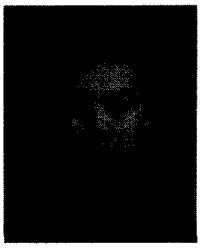
[11] N. Arora, "MOSFET Models for VLSI Circuit Simulation-Theory and Practice," *Springer-Verlag/Wien*, Chap. 3, p. 108, 1993.

## 저 자 소 개



崔 炳 鎔(正會員)

1975년생. 1998년 2월 경북대학교 전자공학과 공학사. 2000년 2월 서울대학교 전기공학부 공학석사. 2000년 3월~현재 서울대학교 전기공학부 박사과정 재학 중. 주관심 분야는 극세미 CMOS 소자임



成 錫 江(正會員)

1973년생. 1997년 2월 서울대학교 전기공학부 공학사. 1999년 2월 서울대학교 전기공학부 공학석사. 1999년 3월~현재 서울대학교 전기공학부 박사과정 재학중. 주관심 분야는 극세미 CMOS 소자임

李 鐘 德(正會員) 第 29卷 第 7號 參照
현재 서울대학교 전기공학부 교수

朴 炳 國(正會員) 第 37卷 第 3號 參照
현재 서울대학교 전기공학부 교수