

論文2001-38SD-2-4

디스플레이 응용을 위한 능동 제어형 전계 에미터 어레이의 회로 모델링 및 시뮬레이션

(Circuit Modeling and Simulation of Active Controlled Field Emitter Array for Display Application)

李潤京*, 宋潤鎬**, 兪炯濬*

(Yun-Kyong Lee, Yoon-Ho Song, and Hyung Joun Yoo)

요 약

능동제어형 전계방출 디스플레이의 전자공급원으로서 능동제어형 전계 에미터 어레이의 회로모델이 제안되었다. 능동제어형 전계 에미터 어레이는 전계방출을 안정화시키고 저전력구동을 위한 수소화 된 비정질 실리콘 박막 트랜지스터와 Spindt형 Mo 전계 에미터 어레이로 구성되었고 같은 유리기판 위에 제작되었다. 비정질 박막 트랜지스터와 Spindt형 Mo 전계 에미터 어레이의 전기적 특성으로부터 추출된 기본 모델 변수는 제안된 능동제어형 전계 에미터 어레이 회로모델에 입력되었고 SPICE 회로 시뮬레이터를 사용하여 특성을 분석하였다. 제작된 소자의 측정값과 DC 시뮬레이션 결과를 비교한 결과 두 값이 상당히 일치함으로써 등가회로 모델의 정확성을 확인하였다. 또한 제작된 소자의 transient 시뮬레이션 결과 전계 에미터 어레이의 게이트 커패시턴스와 TFT의 구동능력이 반응시간에 가장 크게 영향을 끼치고 있음을 확인하였다. 제작된 능동제어형 전계방출 에미터 어레이는 pulse width modulation으로 구동하는 경우 15 μ s의 반응시간을 얻었고 이 값으로는 4bit/color의 계조(gray scale)표현이 가능하였다.

Abstract

A circuit model for active-controlled field emitter array(ACFEA) as an electron source of active-controlled field emission display(ACFED) has been proposed. The ACFEA with hydrogenated amorphous silicon thin-film transistor(a-Si:H TFT) and Spindt-type molybdenum tips (Spindt-Mo FEA) has been fabricated monolithically on the same glass. A-Si:H TFT is used as a control device of field emitters, resulting in stabilizing emission current and lowering driving voltage. The basic model parameters extracted from the electrical characteristics of the fabricated a-Si:H TFT and Spindt-Mo FEA were implemented into the ACFEA model with a circuit simulator SPICE. The accuracy of the equivalent circuit model was verified by comparing the simulated results with the measured one through DC analysis of the ACFEA. The transient analysis of the ACFEA showed that the gate capacitance of FEA along with the drivability of TFT strongly affected the response time. With the fabricated ACFEA, we obtained a response time of 15 μ s, which was enough to make 4bit/color gray scale with the pulse width modulation (PWM).

* 正會員, 韓國情報通信大學院大學校

(Information and Communications University)

** 正會員, 韓國電子通信研究所

(Electronics and Telecommunication Research Institute)

接受日字: 2000年2月7日, 수정완료일: 2001년1월29일

I. 서론

FED(Field Emission Display)는 고화질, 광시야각의 CRT(Cathode Ray Tube)특성과, 얇고 가벼우며 저전압 구동특성을 갖는 LCD(Liquid Crystal Display)의 장점을 고루 갖춘 차세대 디스플레이 분야의 신기술로서 많은 연구개발이 이루어지고 있다. FED는 에

미터에 충분한 전계가 형성될 때 방출되는 전자가 고진공내의 아노드 형광관에 부딪힘으로서 발광되는 방식으로 이 때 에미터에 인가되는 전압에 의한 전자 방출 특성이 불안정한 문제점이 있다. 능동제어형 전계방출 디스플레이(ACFED)는 각 화소의 에미터 전자방출을 화소에 부착되어 있는 능동소자로 제어하는 형태로서 전계방출 특성이 안정해질 뿐만 아니라 저전압 구동이 가능하고 화소간의 단락을 방지하는 장점을 가진다.^[1]

본 연구에서는 수소화 된 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)를 사용한 능동제어형 전계방출 에미터 어레이를 전자공급원으로서 제작하고 그 전기적 특성을 측정하여 TFT와 FEA(Field Emitter Array)의 모델 변수를 추출하였다. 또한 제작된 소자를 SPICE 회로 시뮬레이터에 적용할 수 있도록 등가회로 모델을 제안하였고 회로모델의 DC분석으로 모델의 정확성을 검증하였다. Transient 분석을 통하여 제작된 소자가 디스플레이로 활용될 경우의 반응시간과 계조를 살펴보았다. 이와 같이 검증된 단위화소의 회로 모델을 사용하여 디스플레이 시스템을 설계할 경우 시험제작에 드는 시간적, 경제적 비용을 크게 줄일 수 있을 것으로 예상된다.

II. 제작된 소자의 전기적 특성 측정 및 모델 변수 추출

1. 동작원리

그림 1은 제작된 능동제어형 전계방출 에미터 어레이 (ACFEA) 소자의 단면도를 나타내고 있다. 제작된 소자의 TFT는 게이트 전극이 유리 기판 쪽에 있는 n형 역스테거드 방식으로 제작되었으며 에미터는 금속 팁(tip)으로 널리 사용되고 있는 Molybdenum(Mo)을 사용하여 Spindt 형으로 제작되었다. 능동소자에 의해 ACFEA의 방출전류는 매우 안정한 특성을 예상할 수 있는데, 이는 그림 2에서 나타난 바와 같이 FEA(Field Emitter Array)와 TFT의 동작점이 TFT의 포화영역에서 결정될 경우 불안정한 전계방출 특성에도 불구하고 TFT의 포화영역에서의 전류는 거의 일정하기 때문이다.

2. A-Si:H TFT모델 변수 추출

소자 내에 제작된 TFT 소자는 W/L=150μm/30μm 인 n-channel 역스테거드형(inverted-staggered) A-

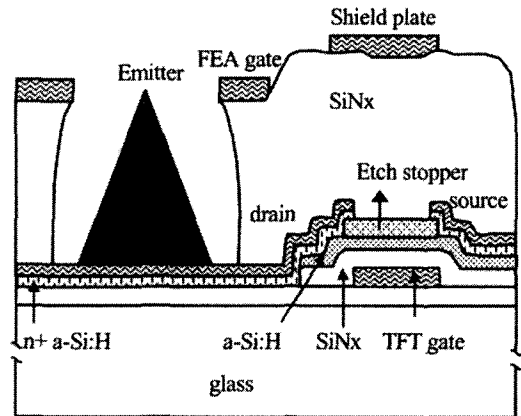


그림 1. 제작된 ACFEA소자의 단면도
Fig 1. Crosssectional view of fabricated Active Controlled Field Emitter Array.

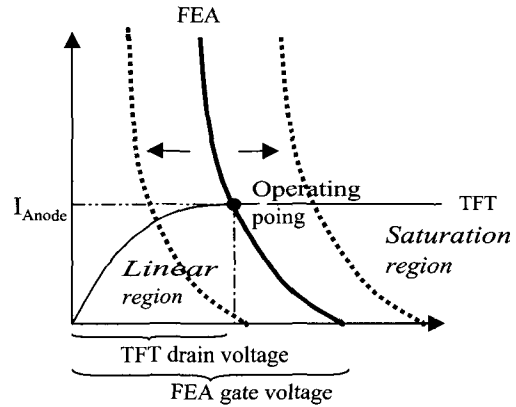


그림 2. ACFEA소자의 동작점 결정
Fig 2. Operating point of ACFEA.

Si:H TFT로서, 절연막은 SiNx 0.3μm가 사용되었고 9.18V의 문턱전압과 0.18cm²/Vs의 field effect mobility를 갖는다. TFT 모델은 Shur 등^[2]에 의해 제시된 RPI level 15모델로서 모델변수 추출은 AIM software에서 제공된 AIM-Extractor를 사용하였다. 그림 3은 제작된 TFT의 측정치와 모델변수 추출결과를 fitting한 plot을 나타내고 있다. Fitting 결과 추출된 모델변수는 실제 측정값과 비교적 잘 일치함을 확인할 수 있다.

3. FEA 모델 변수 추출

그림 4에서는 삼극(triode)구조의 전계방출 소자를 각 부분별로 등가회로로 나타내었다.^[3] R_{CC}는 게이트와 Cathode 사이의 누설전류를 나타내는 성분으로 I-V

측정값으로부터 추출할 수 있다. R_{Tip} 은 팁의 저항성분을 나타내는 성분으로 원뿔의 형태를 가정할 때 다음의 식과 같이 나타낼 수 있다

$$R_{tip} = \frac{\rho h}{\pi R r} \tag{1}$$

팁 형성물질의 비저항을 ρ , 팁 밑면의 반지름을 R , 팁 끝 단의 반지름을 r 로 나타낸다. 제작된 팁은 Molybdenum을 물질로 한 금속 팁으로 홀(hole)반경 $1.2\mu\text{m}$, 팁 간거리 $6\mu\text{m}$, 팁 개수 400 개, 팁 면적 $64 \times 246(\mu\text{m})^2$ 을 가진다. 팁 제작에 사용된 절연막은 SiNx , $0.8\mu\text{m}$ 이다. 팁의 비저항은 $6\sim 15\mu\Omega\text{-cm}$ 이고 R 은 $0.35\mu\text{m}$, r 은 $0.08\mu\text{m}$, h 는 $1.0\mu\text{m}$ 으로 계산된 R_{Tip} 은 $0.6\sim 1.7\Omega/\text{tip}$ 이다. C_{GC} 는 모델 변수 중의 커패시턴스 성분 중 가장 큰 값이며 FEA 절연막의 물질과 두께, FEA 게이트의 면적으로 계산된다. 제작된 소자의 전체 C_{GC} 는 1.28pF 정도이다. Fowler-Nordheim^[4]식은

$$I_{AT} = aV_G^2 \exp\left(-\frac{b}{V_G}\right) \tag{2}$$

과 같이 표현되며, 위의 식에서 계수 a 와 b 는 팁의 구조와 재료로부터 결정되는 상수로서 전계 방출 전류의 측정결과를 그림 6과 같이 $1000/V_G$ 와 I/V_G^2 을 축으로 하는 Fowler-Nordheim 도형으로 나타낼때 다음과 같이 추출해 낼 수 있다. 즉 측정된 전류값을 직선으로 근사하여 기울기를 S 라 하고, 절편을 I_0 라고 하면 a 와 b 는

$$\begin{aligned} a &= 10^{I_0} \\ b &= -1000 \times S / \log e \end{aligned} \tag{3}$$

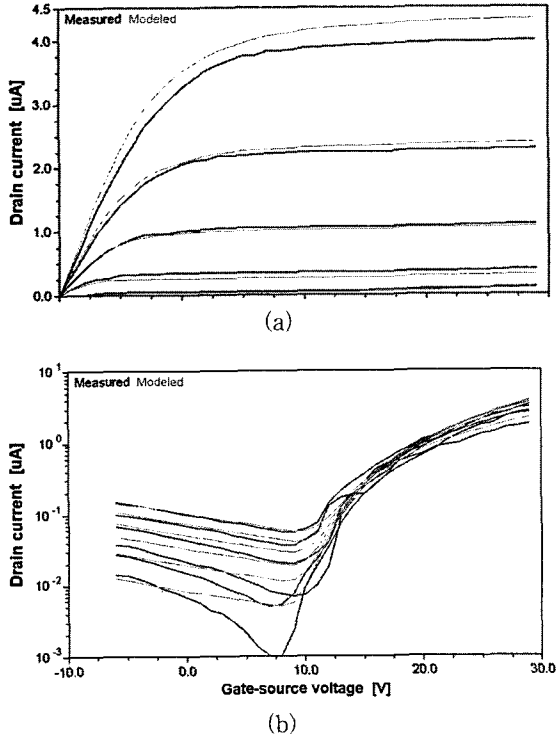


그림 3. a-Si:H TFT의 측정값과 모델변수 추출결과를 fitting한 그림 (a) 출력특성 (b) 전달특성
Fig 3. Fitting plot of a-Si:H TFT measuring value with the result of extracted one (a) Output characteristic, (b) Transfer Characteristics.

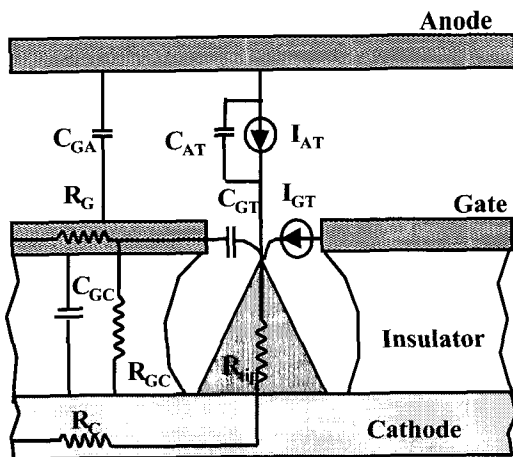


그림 4. FEA 삼극 구조의 회로성분
Fig 4. Circuit components of FEA triode structure.

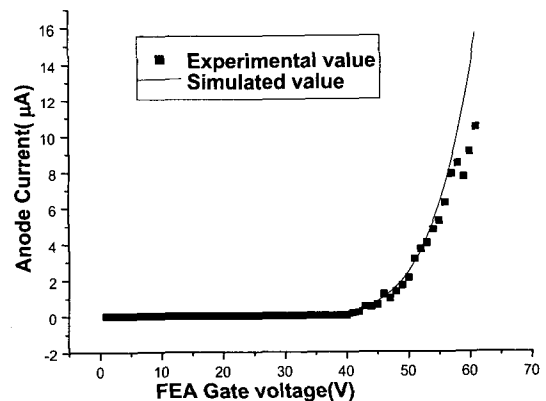


그림 5. FEA 게이트 전압에 따른 아노드 전류($V_{Anode}=450\text{V}$)
Fig. 5 Anode current with FEA gate voltage ($V_{Anode}=450\text{V}$).

와 같이 표현된다.

그림 5는 FEA 게이트 전압에 따른 FEA 방출전류를 나타낸 그림으로, FEA 게이트 전압이 거의 40V에서 아노드 전류가 방출되기 시작하고 구동소자가 없는 상태에서의 방출 특성은 게이트 전압에 대해 불안정한 거동을 보이고 있음을 알 수 있다. 그림 6은 FEA 방출전류를 Fowler-Nordheim plot으로 변환한 형태로 거의 직선에 가깝게 나타남으로써 대부분의 전류가 전계방출에 의한 것임을 확인할 수 있다. 또한 추출된 a, b 변수를 사용하여 시뮬레이션 한 결과 측정치와 잘 일치함을 확인할 수 있다. 추출된 a는 3.548×10^{-6} , b는 410.7529이다.

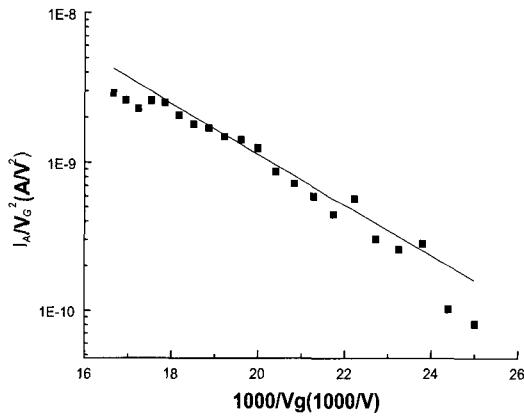


그림 6. Fowler-Nordheim 도형 변환
Fig 6. Fowler-Nordheim plot.

III. 모델링 및 시뮬레이션

1. ACFEA 등가회로 모델

제작된 ACFEA 단면도를 나타낸 그림 1과 FEA 회로성분을 나타낸 그림 4를 바탕으로 하여 그림 7의 ACFEA 등가회로 모델을 제안하였다. 본 회로는 Fowler-Nordheim 식을 따르는 FEA 부분과 Shur^[2] 식을 따르는 TFT부분으로 구성되고 추출된 TFT와 FEA의 모델변수가 포함되었다. 회로의 각 구성성분을 살펴보면 V_{G_FEA} 는 FEA의 게이트에 인가되는 직류 전압원을, V_{G_TFT} 는 TFT의 게이트에 인가되는 교류 전압원을 각각 나타내고 있다. V_{Anode} 는 고전압(400~500V)의 아노드 직류 전압원이며, BIA는 아노드로 흐르는 전류원으로 Fowler-Nordheim 식으로 표현된다. C_{GC} 는 FEA 게이트와 Cathode간의 커패시턴스 성분을

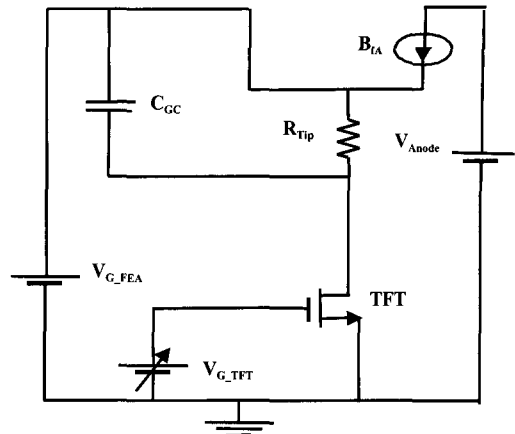
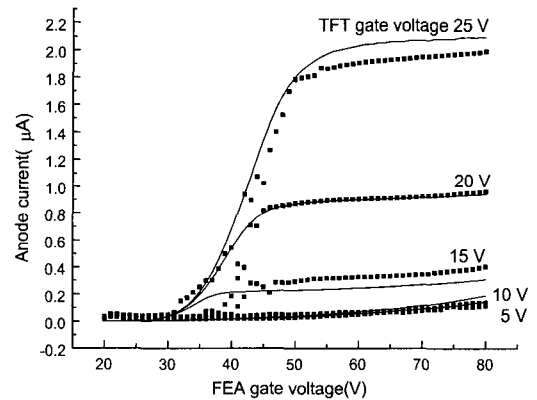
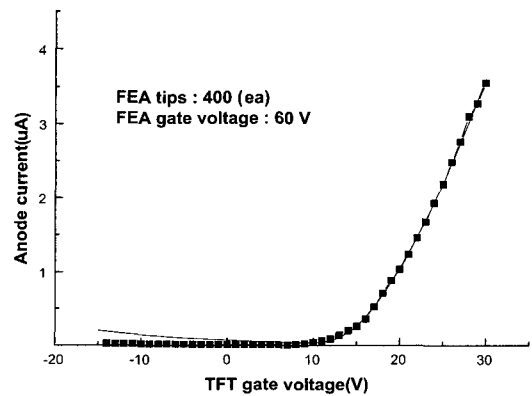


그림 7. ACFEA의 등가회로 모델
Fig. 7. Equivalent circuit model of ACFEA .



(a)



(b)

그림 8. ACFEA 측정값 vs 시뮬레이션 값 (a) FEA 게이트 전압에 따른 ACFEA 아노드 전류 (b) TFT 게이트 전압에 따른 ACFEA 아노드 전류
Fig. 8. ACFEA measuring value vs simulated value. (a) ACFEA anode current with FEA gate voltage (b) ACFEA anode current with TFT gate voltage

나타낸다. R_{np} 은 텀 물질이 가지는 저항 성분이다.

2. ACFEA 소자의 전기적 특성 및 회로모델 검증
제작된 ACFEA의 아노드 전류는 FEA 게이트 전압에 따라 각각의 TFT의 전압에서 측정되었다. 방출 전류는 FEA 게이트 전압이 30~40V에서 on되어 TFT의 선형영역에서는 일정하게 증가하다가 FEA 게이트 전압이 45~50V에 이르러 TFT의 포화 영역에 진입함에 따라 아노드 전류도 포화특성을 나타냄을 확인할 수 있다. 제작된 소자의 FEA의 on 전압은 TFT의 구동 전압에 따라 차이를 보이는데 이는 FEA 자체의 불안정성, 공정에 의한 영향 등으로 예상하고 앞으로 더욱 연구가 진행되어야 할 부분이다. 그림 8의 (a)는 각각의 TFT 게이트 전압에서 FEA 게이트 전압에 따른 아노드 전류의 측정값과 시뮬레이션 값을 비교한 것이다. 비교 결과 두 값은 상당히 잘 일치하고 있음을 확인할 수 있다. 그림 8의 (b)는 FEA 게이트 전압이 60V일 때 TFT의 게이트 전압에 따른 아노드 전류를 나타내고 있다. 그림에서 아노드 전류는 TFT 게이트의 구동전압이 음(negative)의 영역에서는 다소 차이가 있으나 양(positive)의 영역에서는 측정값과 시뮬레이션 값이 매우 잘 일치한다. 즉 TFT가 on 상태에서 전계 방출 전류가 TFT에 의해 잘 조절되므로 일반적으로 불안정한 전계방출 특성으로 적용되기 힘든 Pulse Width Modulation(PAM)방식으로 구동할 수 있는 가능성을 보여주고 있다.

3. 디스플레이 적용을 위한 시뮬레이션

그림 9는 FEA 게이트 전압이 60V일 때 TFT 게이트에 진폭이 25V, 펄스 폭 (pulse width)이 20 μ s의 펄스가 가해질 때의 ACFEA의 아노드 전류를 나타내고 있다. Output risetime과 falltime은 t_r , t_f 로 표기하고 이 값은 아노드 전류 피크(peak)값의 10%와 90%에 해당하는 전류값의 차이로부터 계산한다.^[5] 계산된 t_r 은 4.4 μ s, t_f 는 9.15 μ s로 t_r 가 더 큰 값을 가지는데 이는 TFT의 게이트가 off 상태에서 증가되는 TFT 드레인 포텐셜로 인한 누설전류 때문이다. A-Si:H TFT ACFEA는 A-Si:H TFT의 낮은 mobility와, FEA 게이트와 Cathode사이의 커패시턴스 성분, 에미터 물질 자체의 저항으로 인해 높은 RC 시정수(time constant)를 가지고 있음을 그림을 통해 확인할 수 있다. t_r 과 t_f 는 일반적으로 다음과 같이 표현할 수 있는데,

$$t_r, t_f \approx 2R_{n,p} \cdot C_{\text{tot}} \quad (4)$$

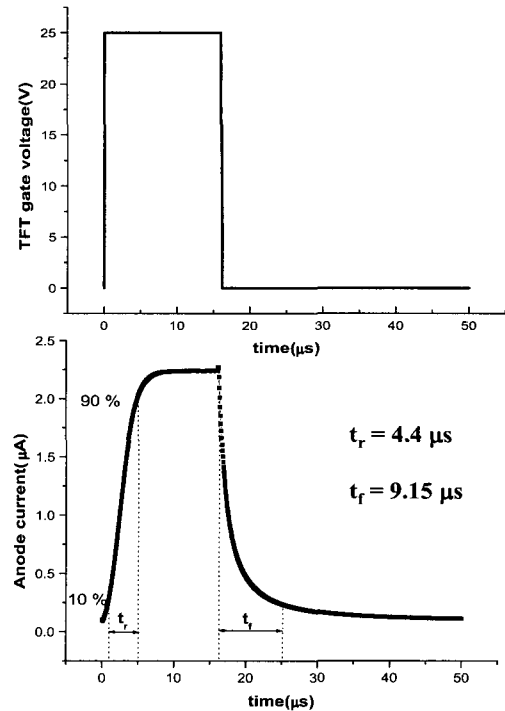


그림 9. TFT 게이트 펄스에 따른 아노드 전류 시뮬레이션 ($C_{GC}=1.28\text{pF}$)

Fig. 9. Anode current simulation with TFT gate pulse.

와 같다. 여기서 C_{tot} 는 소자 내의 모든 커패시턴스의 합이고 $R_{n,p}$ 는 n-channel이나 p-channel의 저항성분과 에미터의 저항을 포함한다. A-Si:H TFT ACFEA소자의 높은 RC 시정수를 줄이기 위해서는 A-Si:H TFT의 구조와 공정조건을 개선하여 구동능력을 키우고 FEA의 게이트와 Cathode간의 커패시턴스 성분을 감소시키는 것이 필요하다. 디스플레이 적용을 위한 계조를 표현하기 위해서는 화소의 전류를 제어하거나 전압을 제어하는 방법이 있으며 전압을 이용하는 방법에는 전압크기를 이용한 PAM(Pulse Amplitude Modulation)과 전압의 폭을 이용한 PWM (Pulse Width Modulation)방식이 있으며 소자의 특성에 따라 구동방식을 채택하여야 한다. PWM으로 구동할 경우 펄스 폭이 작게 나뉘질수록 계조(gray scale)는 늘어나므로 높은 구동능력과 낮은 RC 성분을 가진 소자를 사용할 때 계조를 늘릴 수 있으므로 더욱 다양한 밝기의 표현이 가능해진다.

그림 10은 64 \times 64 lines의 어레이에서 한 line의 TFT 게이트 구동전압의 펄스 폭에 따른 아노드 전류

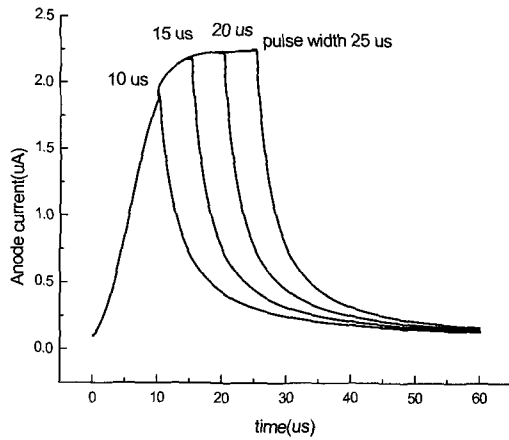


그림 10. TFT게이트 펄스폭에 따른 아노드 전류 시뮬레이션
 Fig. 10. Anode current simulation with TFT gate pulse width.

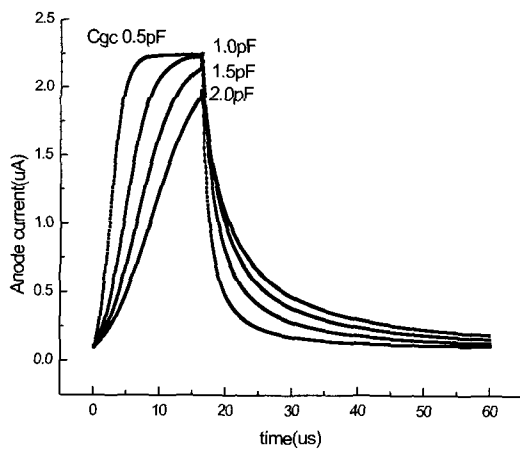


그림 11. Cgc값에 따른 아노드 전류
 Fig. 11. Anode current with Cgc.

의 시뮬레이션 결과를 나타낸다. 제작된 소자에서는 펄스 폭이 작아질수록 신호의 출력이 잘 이루어지지 못하고, 펄스 폭이 15 μ s 미만에서는 신호의 전달이 불가능함을 확인할 수 있다. 그림 11은 64 \times 64 lines의 어레이에서 FEA 게이트와 Cathode 간의 커패시턴스 성분(Cgc)에 따른 on/off 특성의 시뮬레이션 결과를 나타내고 있다. FEA 게이트 절연막의 커패시턴스는 가장 큰 값을 가지는 기생(parasitic)성분으로 면적, 절연막의 유전체 상수와 두께에 따라 결정된다. 그림 11에서 확인하는 바와 같이 Cgc가 0.5pF 정도씩 증가해도 이로 인한 시간 지연(time delay)은 매우 커지므로 높은

계조 (gray scale)를 표현하기 위해서는 Cgc값을 줄여야 한다. 하지만 단순히 Cgc값을 줄이기 위해서 두께를 늘리거나 물질을 바꿀 수는 없으므로 제작하고자 하는 소자의 규격과 주어진 공정조건에 맞게 절연막 물질과 두께를 시뮬레이션 하는 일이 중요하다.

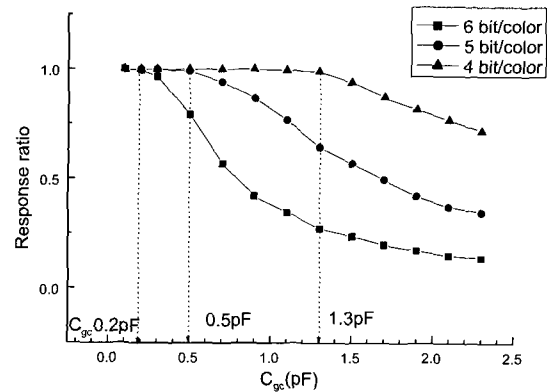


그림 12. 입력 펄스 폭에 따른 출력 전류 반응비
 Fig. 12. Output current response ratio with input pulse width.

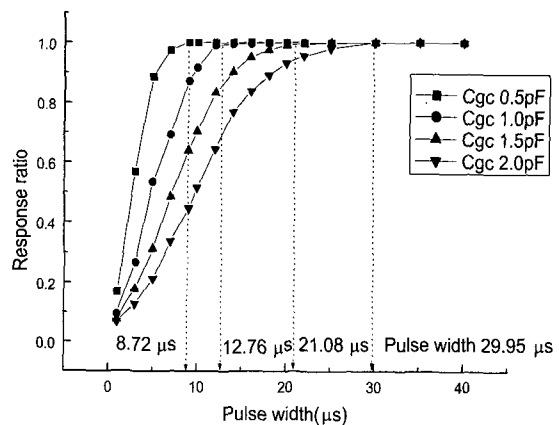


그림 13. Cgc에 따른 출력전류 반응비
 Fig. 13. Output current response ratio with Cgc.

제작된 소자의 transient 특성을 더욱 정확하게 규명하기 위하여 여러 Cgc에서 입력 펄스 폭에 따른 아노드 출력전류의 반응비(Response ratio)를 그림 12에서 나타내었다. 아노드 출력전류의 반응비는 주어진 DC 조건에서 포화된 아노드 전류값에 대한 각 조건에서의 펄스의 피크 값의 비를 나타내고 있다. 즉 이 반응비가 1이 될 때 신호의 전달이 완전히 이루어진다. Cgc가 낮은 값일수록 반응비는 펄스 폭이 적은 값에서 1에

빨리 가까워짐을 확인할 수 있다. 구체적으로 살펴보면 제작된 소자를 사용하여 64×64 lines의 디스플레이를 구동하기 위해서는 C_{GC} 가 0.5pF 일 때는 펄스 폭이 $8.72\mu\text{s}$ 이상, 1.0pF 일 때는 $12.76\mu\text{s}$ 이상, 1.5pF 일 때는 $21.08\mu\text{s}$ 이상, 2.0pF 일 때는 $29.95\mu\text{s}$ 이상이 되어야 신호의 전달이 제대로 이루어짐을 확인할 수 있다. 또한 각 gray level에서의 한계 C_{GC} 를 구하기 위하여 C_{GC} 에 대한 아노드 출력전류의 반응비를 그림 13과 같은 방법으로 나타내었다. 제작된 소자를 사용하여 64×64 line의 4bit/color를 구현하기 위해서는 C_{GC} 가 1.3pF 이하, 5-bit/color에서는 C_{GC} 가 0.5pF 이하, 6-bit/color에서는 C_{GC} 0.2pF 이하가 되어야 함을 그림을 통하여 확인할 수 있다. 제작된 소자의 C_{GC} 는 1.28pF 이므로 4-bit/color구현이 가능하다.

계조를 늘리기 위해서는 C_{GC} 값을 줄이거나 TFT의 구동능력을 늘려야 한다. TFT의 구동능력을 늘리기 위해서는 공정조건이나 소자구조가 높은 이동도와 드레인 전류를 가질 수 있는 방향으로 개선되어야 할 것이다. C_{GC} 값을 줄이기 위해서는 에미터 사이의 거리를 줄이거나 절연막 두께를 늘리거나 유전체 상수가 작은 물질로 대체하는 방법이 있다. 본 논문에서 제작된 ACFEA 소자의 FEA 게이트 절연막은 Silicon Nitride로서 유전체 상수가 7.5정도로 Silicon Oxide에 비해 2배정도 큰 값이다. 게이트 절연막이 Silicon Oxide로 대체될 경우 C_{GC} 값은 0.67pF 으로 줄일 수 있고 에미터 사이의 거리가 절반으로 줄어들 경우 C_{GC} 값은 약 0.34pF 으로 5bit/color의 구현이 충분히 가능해진다. 또한 PWM 과 PAM을 병용할 때 전체 계조는 두 계조의 곱만큼 늘어날 수있다.

IV. 결 론

이상에서 ACFEA의 원리와 등가회로 모델, 모델변수 추출, SPICE 시뮬레이션 결과 등을 살펴보았다. 추출된 모델변수는 측정값과 일관성을 가지며 제안된 등가회로모델에서 DC 시뮬레이션 한 결과 측정값과 시

뮬레이션 값이 잘 일치함을 확인할 수 있었다. 또한 transient 분석결과 제작된 단위소자를 디스플레이로 활용할 때 디스플레이의 크기가 64×64 lines이고 PWM으로 구동할 때 계조는 4bit/color정도임을 확인할 수 있었다. 더 많은 계조(gray scale)표현을 위해서 즉 반응시간을 줄이기 위해서는 게이트 절연막의 물질과 두께, 면적을 잘 조절하여 주어진 규격과 공정조건에서 최소화하는 방향으로 결정하고, TFT의 소자구조나 공정조건을 개선하여 구동능력을 늘려야 할 것이다.

참 고 문 헌

- [1] Yoon-Ho Song, Jin Ho Lee, Seung-Youl Kang, Sung-Yool Choi, Kyung Soo Suh, Moon-Yang Park, and Kyong-Ik, Cho, "A prototype active-matrix field emission display with poly-Si field emitter arrays and thin-film transistors", *J.Kor. Vac. Sci. Technol.* Vol. 3, No. 1, pp.33~37, April 1999.
- [2] M.S. Shur, H.C. Slade, T. Ytterdal, L. Wang, and Z.Xu, "Modeling and scaling of a-Si:H and poly-Si thin film transistor", *MRS Spring Meeting*, San Francisco, CA, March 31-April 4, 1997.
- [3] Jung Hyun Nam, Hyung Soo Uh, and Jong Duk Lee "Characteristics and circuits model of a field emission triode", *10th International Vacuum Microelectronics Conference*, pp. 321-325, Kyongju, Korea, August 17-21, 1997.
- [4] C.A. Spindt, *J. Appl. Phys.* Vol. 39, pp. 3504-3505, 1968.
- [5] R. Jacob Baker, Harry W. Li, and David E. Boyce, *CMOS Circuit Design Layout and Simulation*, IEEE Press, p.190, 1998.

저 자 소 개



李 潤 京(正會員)

1972년 11월 5일생. 1995년 2월 경
북대학교 고분자공학과 학사. 2000
년 2월 한국정보통신대학원 대학교
공학부 석사. 2000년 3월~현재 한
국정보통신대학원 대학원 대학교
공학부 박사과정. 1995년 1월~
1998년 2월 LG화학 기술연구원 연구원. 1998년 3월~
1999년 12월 한국전자통신연구원 위촉연구원

宋 潤 鎬(正會員)

電子工學會 論文誌-D 1997. 8. V. 34-D n.8 pp.29~34
參照



兪 炯 瀾(正會員)

1953년 5월 30일생. 1979년 서울
대학교 물리학과 학사. 1990년
KAIST 물리학과 석사. 1994년
KAIST 물리학과 박사. 1979년~
1982년 국방과학연구소 연구원.
1983년~1997년 한국전자통신연구
원(ETRI)부장/책임연구원. 1998년~현재 한국정보통신
대학원 대학교(ICU) 부교수. 주관심분야 : 반도체소자/
회로, RF 시스템, 비선형회로 등