

論文2001-38SD-3-1

CDM ESD 현상의 혼합모드 과도해석 (Mixed-Mode Transient Analysis of CDM ESD Phenomena)

崔 鎮 榮 * , 宋 光 燮 **

(Jin-Young Choi and Kwong-Sup Song)

요 약

2차원 소자 시뮬레이터를 사용하는 혼합모드 과도해석 방법을 제시하여, NMOS 트랜지스터를 ESD 보호용 소자로 사용하는 CMOS 칩에서의 충전소자모델(CDM) ESD 현상에 대한 분석을 시도하였다. 과도해석 결과의 분석을 통해 CDM 방전 경우 소자 파괴에 이르는 메커니즘에 대해 상세히 설명하였고 충전전기의 극성에 따른 방전 특성의 차이점도 비교 분석하였다. CDM 방전에서 가장 문제가 되는 입력버퍼의 게이트 산화막 파괴문제와 관련하여 배선저항 값의 변화에 의한 영향을 검토하였고, 입력버퍼회로 보호용 NMOS 트랜지스터의 추가에 의한 방전 특성의 변화에 대해 조사하였다.

Abstract

By suggesting a mixed-mode transient simulation method utilizing a 2-dimensional device simulator, we have analyzed CDM ESD phenomena in CMOS chips, which utilize NMOS transistors as ESD protection devices. By analyzing the simulation results, the mechanisms leading to device failures in CDM discharge and the differences in discharge characteristics with different polarities of stored charges have been explained in detail. The effects of changes in interconnection resistance values on the gate-oxide failure at input buffers, which is the most serious problem in CDM discharge, have been examined. Also improvements in discharge characteristics with addition of the NMOS transistor for input-buffer protection have been examined.

I. 서 론

모든 정전기 방전(electrostatic discharge: ESD) 현상

* 正會員, 弘益大學校 電子電氣컴퓨터工學部
(School of Electrical, Electronic and Computer Engineering, Hongik University)

** 正會員, 弘益大學校 電氣工學科
(Dept. of Electrical Engineering, Graduate School, Hongik University)

※ 이 논문은 2000학년도 홍익대학교 교내연구비에 의하여 연구되었음

接受日字:2000年3月30日, 수정완료일:2001年2月1日

에 견딜 수 있는 칩을 개발하기 위해서는 충전소자모델(charged device model: CDM) 정전기 방전의 물리적 현상을 이해하는 것이 중요하다. CDM은 패키지를 다루는 과정에서 패키지에 충전된 전하가 순간적으로 방전되는 상황을 대변하는 모델로, 칩 제조의 후단 공정인 마킹 등의 조립 과정이나 자동화된 패키지 핸들링 과정에서 패키지에 전하가 축적될 수 있음에 기인한다. 전하가 축적된 상태의 칩이 외부의 도전물질로 접지가 이루어지면, 패키지 내에 충전되어 있던 전하가 순간적으로 방전되면서 칩 내부에 치명적인 문제를 일으킬 수 있다. 인체모델(human body model: HBM)이나 기계모델(machine model: MM) ESD에 의한 소자 파괴에 대한 관심이 계속되어 왔지만, 조립이나 테스트

공정의 자동화와 더불어 패키지의 정전기 충전 가능성이 높아져 CDM ESD에 대한 관심이 보다 높아지고 있다^[1].

CDM ESD를 분석하는 방법에는 측정을 통한 방법과 시뮬레이션을 이용하는 방법이 있다. 측정을 통해 CDM 방전현상을 연구하는 방법은 파괴적이며, 기생요소들의 영향으로 적절하게 CDM 방전을 재현하기가 어렵고, 매우 빠른 방전이므로 높은 기술력과 고가의 장비가 필요하다^[2]. 반면에 시뮬레이션을 이용하는 방법은 측정을 통해서 알 수 없는 소자 내부의 온도 및 전류, 전위 분포 등 여러 변수들을 조사할 수 있어 파괴현상의 미케니즘 분석에 유용하게 사용될 수 있다. 또한 소자와 회로 시뮬레이션을 동시에 시행하는 혼합모드 과도해석이 용이해지면서 시뮬레이션을 이용하는 분석방법의 유용성은 보다 증대되고 있다.

HBM 및 MM 방전시 일반적으로 발생하는 파괴는, 패드에 위치하는 ESD 보호용 NMOS 트랜지스터에서 과도한 전류에 의해 드레인 콘택이 녹아 발생하는 보호용 소자 자체의 파괴 현상이다. CDM 방전에서도 HBM 방전 경우와 같이 보호용 소자 자체의 파괴 현상이 발생할 수 있다^[3]. 그러나 CDM ESD 현상에 의한 보다 심각한 문제는 방전과정에서 칩 내부에 위치하는 입력버퍼의 게이트 산화막에 과도한 전압이 인가되어 나타나는 산화막 파괴현상이며, HBM 및 MM ESD 분석결과를 이용하여 CDM에 대한 안정성을 예상하기는 힘들다^[4]. 참고문헌 [3]의 경우에는, CDM 방전 테스트 결과 HBM 테스트 시와 유사한 보호용 소자 자체의 파괴현상이 발견되어 이에 중점을 둔 혼합모드 과도해석의 결과를 발표하였다. 하지만 사용한 등가회로에는 칩 내부에 대한 등가회로에 보호용 소자만을 포함함으로써, 입력 핀에 연결되어 있는 칩 내부의 입력버퍼에서 나타나는 현상에 대한 분석이 생략되었고, 또한 열 발생 모델이 포함되지 않아 미비한 점이 있었다.

본 논문의 II장에서는 ESD 보호용 소자로 주로 사용되는 NMOS 트랜지스터를 포함한 CMOS 칩을 대상으로 하여, 2차원 소자 시뮬레이터인 ATLASII^[5]를 사용하는 혼합모드 시뮬레이션을 통해 CDM ESD 현상에 대한 과도해석 방법과 그 결과를 제시한다. III장에서는 칩 레이아웃에 따라 바뀔 수 있는 배선저항 값의 변화에 의한 방전특성 변화에 대해 조사해 보고, IV장에서는 입력버퍼 회로의 보호를 위해 사용되는 CDM 트랜지스터의 동작원리 및 설계 지침에 대해 논의해 본다.

II. CDM 정전기 방전 미케니즘

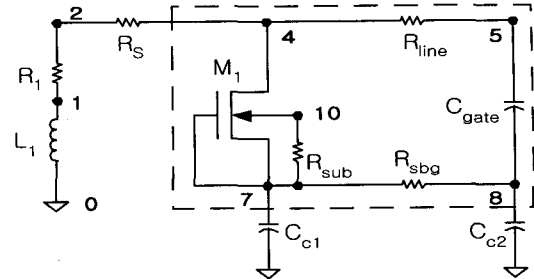


그림 1. CDM 테스트 등가회로

Fig. 1. CDM-test equivalent circuit.

그림 1은 본 연구에서 CDM ESD 테스트 환경^[1]의 혼합모드 시뮬레이션을 위해 제시한 등가회로이다. 점선 사각형에 포함된 부분이 칩 내부에 대한 등가회로이고, 나머지 부분은 실험 환경에 대한 등가회로이다. 노드 4는 입력 핀에 해당되며, M_1 은 패드 구조에 포함되어 있는 ESD 보호용 NMOS 트랜지스터이다. 이 소자의 단면도 및 주요파라미터는 HBM ESD 현상을 다룬 참고문헌 [6]의 NOLDD0 소자와 동일하다. M_1 은 2차원 소자 시뮬레이션에 의해 해석되며 나머지 회로는 회로 시뮬레이션에 의해 동시에 해석된다. 가능한 한 실제에 가까운 소자 시뮬레이션을 위해 참고문헌 [6]에서와 마찬가지로 열발생 모델 포함, 모든 모델들을 포함시켰다. 온도 경계조건으로는, 주된 열발산이 기판 쪽으로 일어나는 것으로 간주하여 기판콘택이 $\alpha=100\text{W}/(\text{cm}^2\text{K})$ 의 열전도도를 갖고 나머지 콘택으로의 열발산은 없는 것으로 가정하였다.

본 연구에서 사용한 충전 전압은 일반적인 CDM 방전 안정도 기준인 1000V를 기준으로 하였다. 우선 초기의 칩 충전상황을 만들어주기 위하여 그림 1의 등가회로 노드 4, 5, 7, 8, 10번에 초기조건으로 1000V를 지정하고 나머지 노드에는 0V를 지정하였다. 그림 1의 R_s 는 스위칭 기능을 대신하는 시변저항으로서, 초기값 $10^{20}\Omega$ 의 off 상태에서 2ps 후 $10^{-3}\Omega$ 의 값으로 변하여 on 상태가 되도록 하였다. 스위치 R_s 가 on되면 칩 내부의 충전전하가 선 저항 R_L 과 선 인덕턴스 L_L 을 통해 접지로 방전되기 시작한다. 그림 1의 R_{line} 은 입력 핀과 칩 내부에 위치한 입력버퍼단 사이의 저항이며, HBM이나 MM 정전기 방전시 입력버퍼 게이트로의 서지전

압 전달을 지연시키기 위해 추가되는 저항을 포함하여 lumped 값인 200Ω 을 지정하였다. C_{gate} 는 입력버퍼 회로의 게이트와 기판 간 커패시턴스로 그 값은 $0.2pF$ 을 지정하였다. R_{sbg} 는 패드에 위치한 M_1 의 V_{SS} 노드와 입력버퍼 회로의 V_{SS} 노드 사이의 금속 배선저항으로 5Ω 을 지정하였다. M_1 소자의 폭은 $200\mu m$ 로 지정하였고 R_{sub} 는 사용한 소자 단면도에 포함되지 않은 나머지 기판 영역의 저항을 고려하기 위해 추가한, 접지 노드와 기판 사이의 lumped 저항으로 500Ω 의 값을 지정하였다. 등가회로에서 R_{line} , C_{gate} , R_{sbg} , R_{sub} 는 공정 및 회로 설계에 따라 바뀔 수 있는 값들이다.

CDM 방전은 정전기 방전 현상 중 가장 빠른 방전현상이며, 그림 1에서 R_i 와 L_i 은 칩 내에 $1ns$ 이하의 상승시간을 갖는 펄스 인가를 위해 그 값이 최소화되어야 하는 요소이다. 본 시뮬레이션에서는 실제 가능한 값으로서 1Ω , $50nH$ ^[1]를 각각 지정하였다. 또한 $1000V$ CDM 방전 시 실제 CDM 테스트에서 측정되는 최대 전류값은 $10A$ 를 초과하므로^[3], 최대전류가 $10A$ 이상 되도록 칩과 접지간 커패시턴스(C_{C1} 와 C_{C2}) 값을 총 $10pF$ 로 지정하였다. 이 커패시턴스는 패키지 전체에 퍼져있으나 CDM 방전을 해석하는데 있어 관심영역은 패드에 위치한 ESD 보호용 소자와 칩 내부의 입력버퍼 회로이므로 본 연구에서는 이 커패시턴스를 그림 1에 나타낸 것과 같이 C_{C1} 와 C_{C2} 로 나누어 각각 $5pF$ 를 지정하였다.

1. Positive CDM 방전

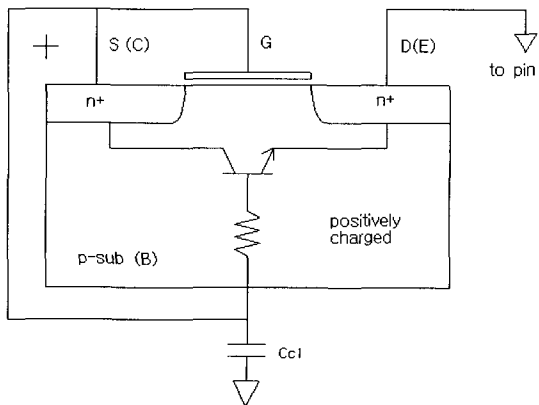


그림 2. PCDM 방전 초기 보호용 소자의 전기적 상황
Fig. 2. Electrical situation of the protection device at the beginning of PCDM discharge.

CDM은 칩 전체가 양으로 충전되는 경우와 칩 전체가 음으로 충전되는 경우의 두 가지로 나눌 수 있다. 본 논문에서는 양으로 충전된 경우를 PCDM, 음으로 충전된 경우를 NCDM으로 칭하고, 1절에서는 PCDM 방전 경우에 대해 알아보고 2절에서 NCDM 방전 경우와 비교해 본다. 그림 2는 PCDM 방전 초기의 방전 상황을 설명하기 위해 보호용 NMOS 트랜지스터의 단면도를 기생 바이폴라 트랜지스터를 포함하여 나타낸 그림이다. 양으로 충전된 칩의 입력 핀이 접지된 도전성 물질로 접촉이 이루어지면, 방전이 시작되면서 드레인 전위가 낮아져 드레인-기판 접합이 순방향 바이어스 상태가 된다. 방전 초기 순방향 pn 접합을 통해 방전이 이루어지면서 드레인과 기판 전압은 빠르게 방전되지만 소스 쪽 방전은 드레인과 기판에 비해 잘 이루어지지 않아 상대적으로 높은 전위를 갖게 된다. 이러한 방전속도의 차에 의해 소스와 기판 사이 역바이어스 전압이 높아지면서 충돌이온화가 시작되고, 생성되는 정공에 의한 전류가 소스 접합 쪽에서 드레인 쪽으로 공급되기 시작하면서 기생 npn 바이폴라 트랜지스터가 트리거되어 스냅백이 일어나고 이후에는 바이폴라 트랜지스터에 의한 주된 방전이 일어난다. 이 상황에서 드레인은 에미터, 기판은 베이스, 소스는 콜렉터의 역할을 한다.

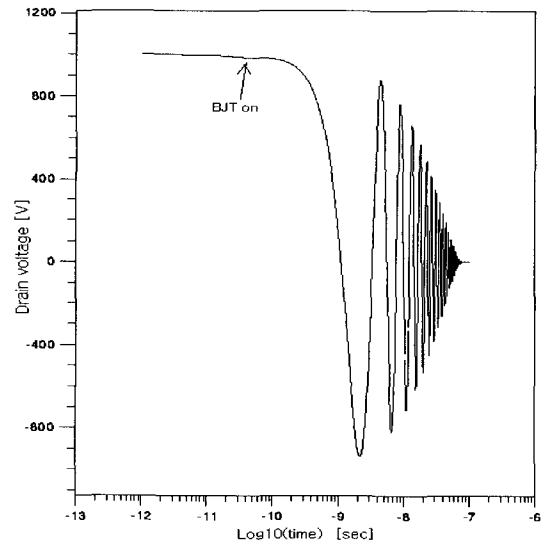


그림 3. PCDM 경우 보호용 소자의 드레인 전압 변화
Fig. 3. Drain voltage variation of the protection device in PCDM discharge.

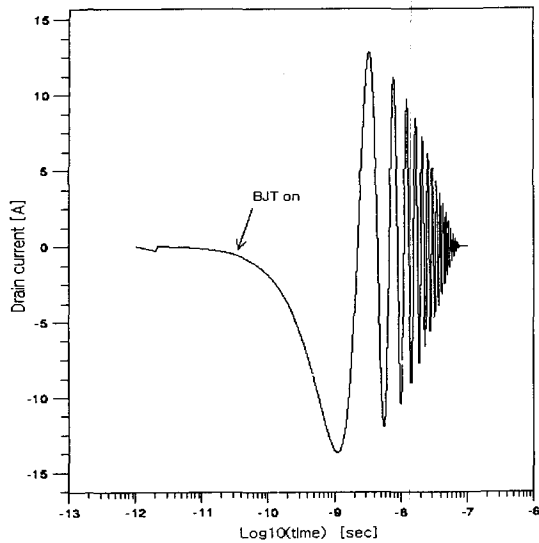


그림 4. PCDM 경우 보호용 소자의 드레인 전류 변화
Fig. 4. Drain current variation of the protection device in PCDM discharge.

그림 3은 PCDM 방전 경우 방전시간에 따른 보호용 소자 M1의 드레인(그림 1의 노드 4번) 전압 변화를 나타낸 그림으로 실제 측정결과^[7,8]와 마찬가지로 oscillation 하면서 충전전하가 소멸하는 것을 보여주고 있다. 그림 4의 드레인 전류도 드레인 전압과 유사하게 oscillation 하면서 방전이 이루어진다. 그림 3과 4에는

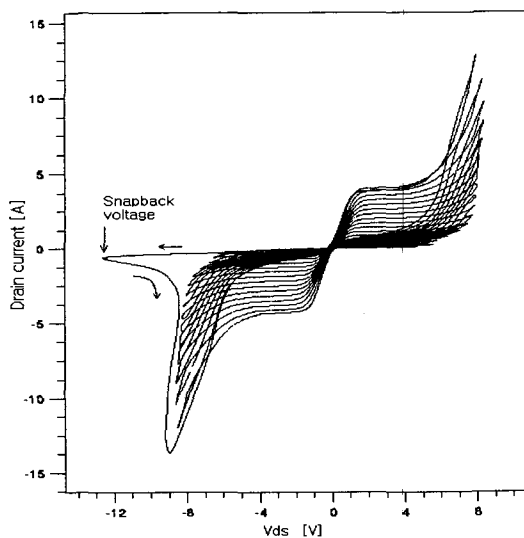


그림 5. PCDM 경우 보호용 소자의 드레인-소스 전압과 드레인 전류 관계
Fig. 5. Drain current vs drain-source voltage of the protection device in PCDM discharge.

시뮬레이션 결과의 상세 분석을 통해 기생 바이폴라 트랜지스터가 트리거되는 시점(3.5×10^{-11} sec)을 표시하였다. 이 시점은, 방전이 시작되면서 순방향 pn 접합 전류에 의해 기판전류가 증가하지만 기생 바이폴라 트랜지스터가 트리거되어 횡방향 방전이 이루어지면서 기판전류가 감소하기 시작하는 시점에 해당된다.

그림 5는 동일한 시뮬레이션 결과를 MI의 드레인-소스간 전압 ($V(4)-V(7)$)을 x축으로, 드레인 전류를 y축으로 하여 나타낸 그림이다. 초기 상황은 $x=y=0$ 지점이고 방전이 시작되면서 좌측의 snapback voltage라고 표시한 지점에서 기생 바이폴라 트랜지스터가 트리거되어 스냅백이 일어나면서 드레인 전류가 크게 증가한다. 이후에는 앞서 언급한 바와 같이 바이폴라 동작의 극성이 바뀌어가며 방전이 진행되는 것을 알 수 있다. 그림 4의 oscillation 구간 중 드레인 전류가 양이 되는 구간은 그림 5에서 드레인-소스간 전압이 양이 되는 구간에 해당되며, 이 구간에서는 에미터와 콜렉터가 바뀌어 바이폴라 동작이 일어난다. 그림 5에서 방전 초기 MI의 드레인-소스간 전압은 기생 바이폴라 트랜지스터의 트리거 시점에서 스냅백 전압인 12.3V의 최대치를 보이고 이후에는 $\pm 8.5V$ 이내에서 교번하며 방전이 이루어짐을 알 수 있다. 12.3V는 DC 소자 시뮬레이션에 의한 MI 소자의 off 상태 스냅백 전압^[9]에 해당된다. 교번 방전 중의 최대전압이 방전 초기에 비해 작은 것은 전압 교번 시 순바이어스되어 있던 접합의 역

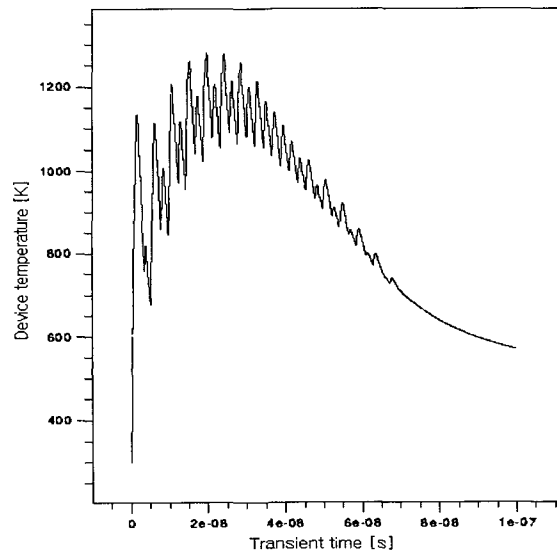


그림 6. 보호용 소자 내 최고온도 변화
Fig. 6. Peak temperature variation of the protection device.

바이어스 상태로 변하는 과정에서 발생하는 접합의 충전 방전 전류에 의해 다른 쪽 접합이 쉽게 순바이어스되기 때문인 것으로 추정된다.

그림 6은 PCDM 방전에서 방전시간에 따른 보호용 소자 M_1 내의 최고온도 변화를 나타낸 곡선이다. 그림에서 보는 것과 같이 CDM 방전시 소자 내 온도 상승은 HBM 방전^[6]에 비해 기간이 짧지만 온도 자체는 매우 높다. 이는 고전계 영역의 전류밀도가 증가하면 2차 항복 현상^[9]이 발생하고, 이로 인해 콘택이 녹아 HBM 방전에서와 같은 보호용 소자 자체의 파괴 현상이 발생할 수 있음을 의미한다. 또한 CDM 방전에서는 그림 4, 5, 6에서 알 수 있듯이 oscillation이 일어나며 방전이 진행되므로 CDM 방전이 진행되는 과정에서 고전계 영역이 기판-드레인 접합과 기판-소스 접합을 반복적으로 이동한다는 사실을 주목하여야 하겠다. 이는 두 접합의 온도가 모두 상승함을 의미하는 것으로 HBM 정전기 방전으로부터 보호용 소자를 보호하는 방법 중 소스 면적을 작게 하는 방법^[6]은 CDM 정전기 방전 시 소스 쪽 콘택이 녹는 문제를 야기할 수 있다. 실제로로 참고문헌 [3]의 실험에서는 소스 쪽의 콘택 파괴가 관측되었다.

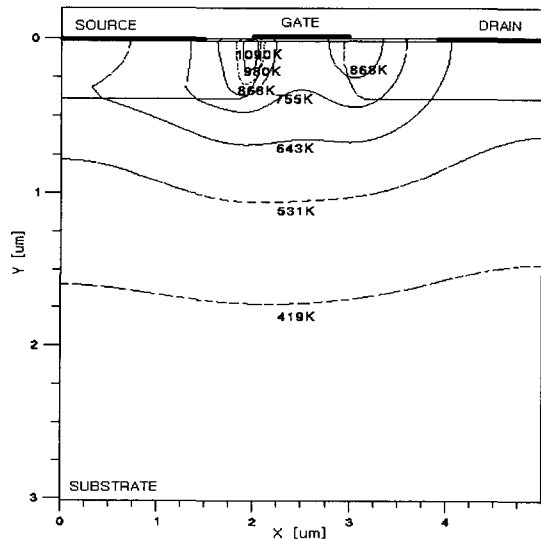


그림 7. 23.6nsec 시점에서의 보호용 소자 내 온도 분포
Fig. 7. Temperature distribution at $t=23.6\text{ns}$ inside the protection device.

그림 7은 온도 상승이 최대가 되는 시점인 23.6nsec에서 보호용 소자 M_1 의 내부 온도 분포를 나타낸 그림

이다. 이 시점에서 소스 접합부분의 최고온도는 1204K에 이르며, 그림에서 소스 접합의 온도가 드레인 접합보다 상대적으로 높다는 것을 알 수 있다. 드레인 전류가 양인 구간에서는 이와는 반대로 드레인 접합의 온도가 높지만, PCDM 방전 경우 전체적으로는 소스 접합의 온도 상승이 드레인 접합보다 다소 높다는 것을 확인하였다.

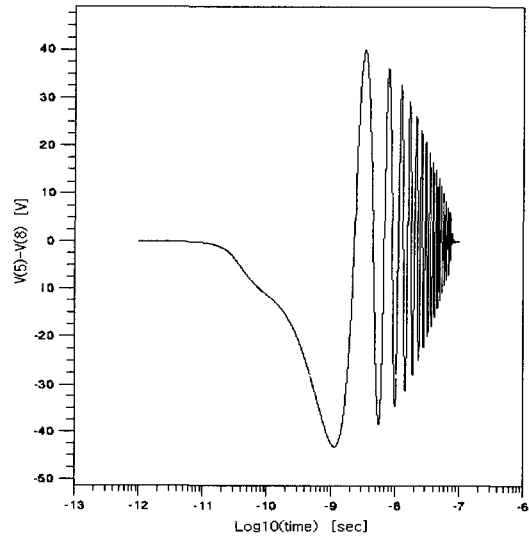


그림 8. 입력버퍼 게이트 산화막에 인가되는 전압의 변화
Fig. 8. Variation of the voltage induced at the gate oxide of the input buffer.

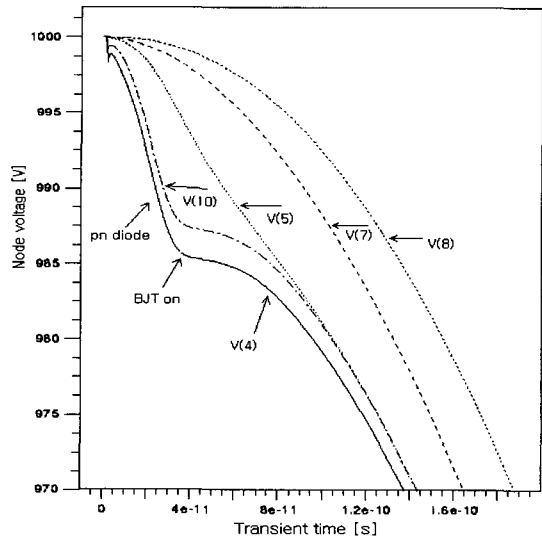


그림 9. PCDM 방전 초기 각 노드의 전압 변화
Fig. 9. Node voltage variation in the early stage of PCDM discharge.

CDM 방전 경우 그림 1의 등가회로에서 노드 5번과 노드 8번 사이의 전위차가 과도하게 커지면 입력버퍼 회로의 게이트 산화막이 파괴될 수 있다. 그림 1의 노드 5번은 노드 4번을 따라 방전이 빠르게 이루어지지만, 노드 8번은 기생 바이폴라 트랜지스터 동작에 의해 방전이 이루어지므로 노드 5번보다 느리게 방전하게 된다. 그림 8은 PCDM 방전 시 입력버퍼 회로의 게이트 산화막에 인가되는 전압(V(5)-V(8))의 변화를 나타낸 곡선으로 최대 전압이 40V 이상이 됨을 알 수 있다.

그림 9는 PCDM 방전 초기 등가회로 각 노드의 전압 변화를 보여주고 있다. 방전 초기 각 노드별 방전속도는 노드 4, 10, 5, 7, 8번 순으로, M₁의 드레인인 노드 4번이 가장 빠르게 방전되고 노드 8번 전압이 가장 느리게 방전됨을 알 수 있다. 방전초기 순방향 pn 접합의 동작으로 노드 4번과 노드 10번은 다른 노드들에 비해 빠르게 방전이 일어나고, 기생 바이폴라 트랜지스터에 의한 방전이 일어나면서 노드들의 방전속도 차이는 전체적으로 줄어든다.

2. Negative CDM 방전

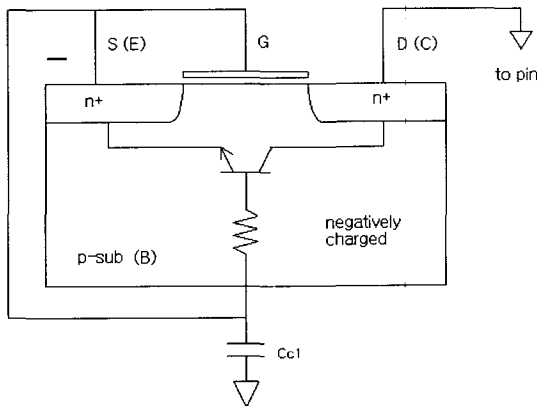


그림 10. NCDM 방전 초기 보호용 소자의 전기적 상황

Fig. 10. Electrical situation of the protection device at the beginning of NCDM discharge.

NCDM 방전 경우에는 칩 전체가 -1000V로 충전된 상태에서 입력 핀이 접지된 도전물질로 접촉이 이루어지면서 방전이 시작된다. 그림 10은 NCDM 방전 초기의 상황을 설명하기 위한 그림이다. 방전이 시작되면 드레인 전위가 상대적으로 높아지면서 드레인-기판 접합이 역바이어스되고 이 접합에서 충돌 이온화에 의해 정공이 생성된다. 생성된 정공에 의한 전류가 기판으로

흘러 기판 전압이 높아지면, 소스-기판 접합이 순바이어스되면서 기생 바이폴라 트랜지스터가 트리거된다. 방전초기 보호용 NMOS 트랜지스터의 드레인은 콜렉터, 기판은 베이스, 소스는 에미터로 동작하게 된다.

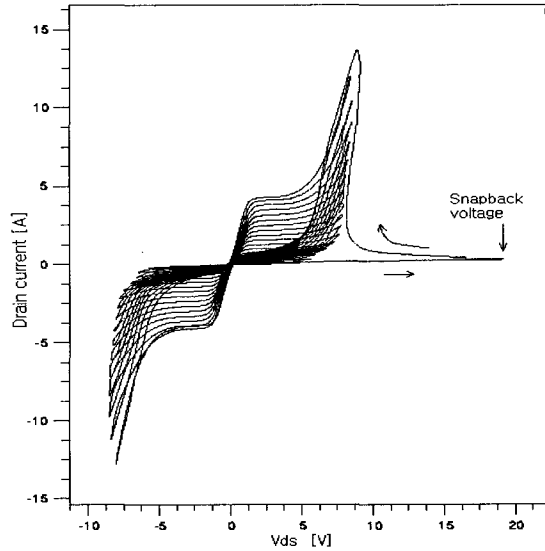


그림 11. NCDM 경우 보호용 소자의 드레인-소스 전압과 드레인 전류 관계

Fig. 11. Drain current vs drain-source voltage of the protection device in NCDM discharge.

NCDM 방전 경우 방전시간에 따른 보호용 소자 M₁의 드레인 전압 변화의 드레인 전류변화는 PCDM 경우와 극성은 반대이나 방전특성은 매우 유사하다. 차이점을 알아보기 위해 그림 11에는 NCDM 방전 경우의 시뮬레이션 결과로부터 M₁의 드레인-소스간 전압과 드레인 전류의 관계를 나타내었다. x=y=0의 초기 상황에서 방전이 시작되면서 우측의 snapback voltage라고 표기한 지점에서 기생 바이폴라 트랜지스터가 트리거되고 스냅백이 일어나면서 드레인 전류가 크게 증가한다. 이후에는 앞서 언급한 바와 같이 바이폴라 동작의 극성이 바뀌어가며 방전이 진행된다.

PCDM 방전과 NCDM 방전의 주된 차이는 그림 5와 그림 11에서 볼 수 있듯이 방전 초기의 스냅백 전압인 드레인-소스간 최대전압에 있다. PCDM 방전 경우에는 12.3V인 반면, NCDM 경우에는 19.1V에 이른다. NCDM 방전 경우에는 PCDM 방전과는 달리 방전 초기 순방향 pn 접합에 의한 방전이 없으므로 기생 바이폴라 트랜지스터가 동작하기 위해서는 드레인-기판 접

합에서의 충돌이온화에 의한 캐리어 생성에 의해 소스-기판 접합이 순방향 바이어스되어야 한다. 이 경우 접합의 순방향 바이어스를 위해 필요한 전류는 순간적으로 DC 스냅백 전압을 초과하여 접합의 항복에 의해 공급되는 것으로 추정된다. 따라서, 방전 초기 순방향 pn 접합 동작이 없는 NCDM 방전 경우 PCDM 방전 경우보다 다소 높은 온도상승이 예상되나, 그 기간은 극히 짧기 때문에 온도 특성의 차이는 미미할 것이므로, 두 경우 온도 상승에 의한 보호용 소자 파괴의 위험도에도 큰 차이가 없을 것으로 예상된다. 시뮬레이션 결과에서 NCDM 경우의 방전시간에 따른 소자내 최고온도 변화는 PCDM 경우와 매우 유사하며 온도상승 최대치의 차이도 미미함을 확인하였다.

NCDM 방전 시뮬레이션 결과를 조사해본 결과, 방전 초기 등가회로 각 노드별 방전속도는 PCDM 경우와 마찬가지로 보호용 NMOS 트랜지스터의 드레인인 노드 4번이 가장 빠르고 노드 8번이 가장 느리게 방전되나, 각 노드의 방전속도는 노드 4, 5, 10, 7, 8번 순으로 다소 다름을 알 수 있었다. PCDM 방전과는 달리 방전 초기 순방향 pn 접합 동작이 없어 보호용 NMOS 트랜지스터 기판(노드 10번) 방전이 미미하기 때문에 노드 10번이 노드 5번보다 느리게 방전된다는 차이가 있다. 입력버퍼 회로의 게이트 산화막에 인가되는 전압(V(5)-V(8))의 변화는 PCDM 경우와 극성은 반대이나 매우 유사함을 확인하였다.

III. 배선 저항 값 변화의 영향

본 장에서는 칩 레이아웃에 따라 바뀔 수 있는 배선 저항 값의 변화에 따른 CDM 방전특성의 변화를 논의해 본다. 논의에 앞서, 열발생 모델을 포함한 시뮬레이션 결과와 열발생 모델을 포함하지 않은 시뮬레이션 결과를 비교해 보았다. 열발생 모델을 포함한 시뮬레이션은 시뮬레이션 결과가 실험 결과에 보다 유사하다고 판단되지만, 시뮬레이션 시간이 너무 길고 상황에 따라 수렴 문제가 발생하는 경우가 있어 어려움이 있다.

그림 12는 PCDM방전 경우 열발생 모델을 포함한 경우와 열발생 모델을 포함하지 않은 경우의 시뮬레이션 결과 중 관심이 되는 입력버퍼 회로의 게이트 산화막에 인가되는 전압(V(5)-V(8))의 변화를 나타낸 것으로, 실선은 열발생 모델이 포함된 결과(Temp model)이고, 점선은 열발생 모델이 포함되지 않은 결과(Notemp

model)이다. 보호용 소자 M₁ 내부의 온도 상승에 의한 영향으로 절대값에는 다소의 차이가 있지만, 전체적인 방전경향은 두 경우에 큰 차이가 없이 유사하다. 따라서, 입력버퍼의 게이트 산화막 파괴 문제를 다루는 III장과 IV장의 논의에서는 열발생 모델을 포함하지 않은 시뮬레이션 결과를 기준으로 하였다.

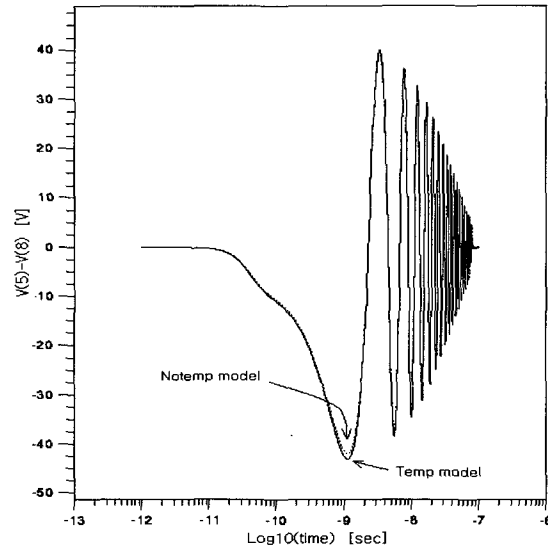


그림 12. 열발생 모델 포함 여부에 따른 전위차 (V(5)-V(8)) 변화 비교
Fig. 12. Comparison of the voltage difference (V(5)-V(8)) variations with and without incorporating the lattice heating model.

III장과 IV장의 방전 특성 분석은 PCDM 방전 경우를 가정하고, 기준 모델은 II장에서 제시한 파라미터 값들을 사용하는 경우로 하였다. 기준 모델 외에 비교를 위해 설정한 모델은 LINE 모델과 SBG 모델이라 칭한다. LINE 모델은 입력 핀과 입력버퍼단 사이의 저항 R_{line}의 값을 기준 모델 값의 1/2인 100Ω으로 줄인 경우를 나타내는 모델이며, SBG 모델은 패드의 V_{SS} 노드와 입력버퍼 회로의 V_{SS} 노드 사이의 금속 배선저항 R_{sbg}의 값을 기준 모델 값의 10배인 50Ω으로 증가시킨 경우를 나타내는 모델이다.

그림 13은 기준 모델과 LINE 모델 경우 입력버퍼 게이트 산화막 양단의 전위차(V(5)-V(8))를 비교한 것이다. 방전초기 LINE 모델 경우 기준모델에 비해 다소 큰 전압이 인가됨을 알 수 있다. 이는 방전 초기 노드 5번 전압은 R_{line} 값이 감소함에 따라 기준 모델보다 빠

르게 방전되는데 반해 노드 8번 전압은 기준 모델과 비슷한 속도로 방전하기 때문에 나타나는 현상이나, 이러한 차이는 그림에서 알 수 있듯이 방전 초기의 매우 짧은 시간에 국한되는 현상이므로 이에 의한 영향은

미미할 것으로 예상된다. 따라서 입력버퍼로의 신호전달 지연을 줄이기 위해 보호용 소자와 입력버퍼 회로 사이의 저항을 줄이는 것은 CDM 방전에 좋지는 않으나 큰 문제는 없을 것으로 판단된다.

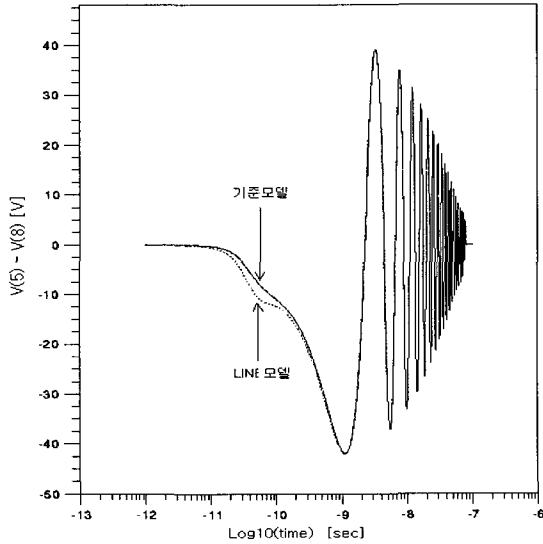


그림 13. 기준 모델과 LINE 모델의 전위차(V(5)-V(8)) 변화 비교

Fig. 13. Comparison of the voltage difference (V(5)-V(8)) variations between the referenced model and the LINE model.

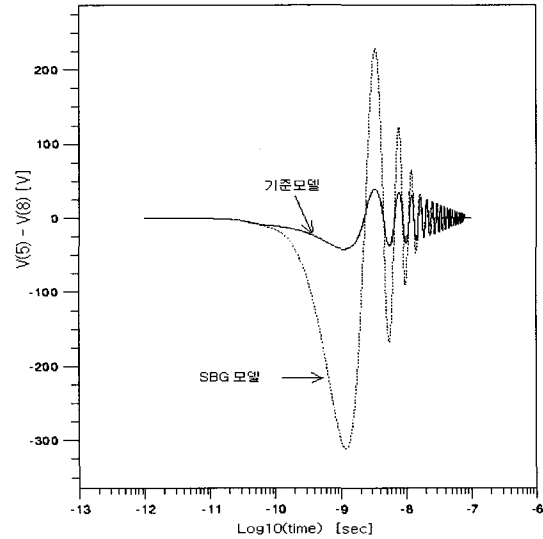


그림 15. 기준 모델과 SBG 모델의 전위차(V(5)-V(8)) 변화 비교

Fig. 15. Comparison of the voltage difference (V(5)-V(8)) variations between the referenced model and the SBG model.

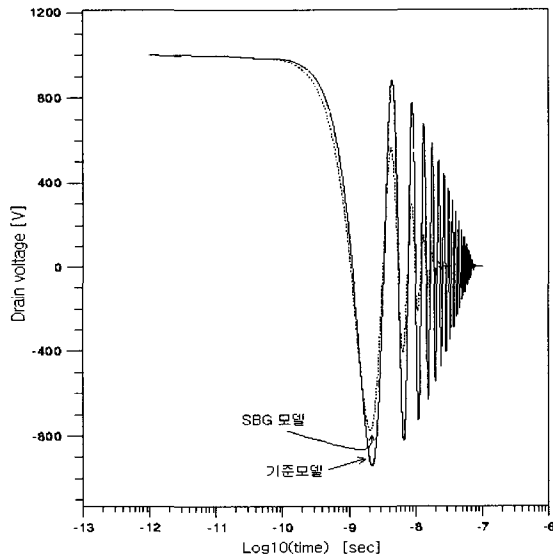


그림 14. 기준 모델과 SBG 모델의 드레인 전압 변화 비교

Fig. 14. Comparison of drain voltage variations between the referenced model and the LINE model.

그림 14와 그림 15는 기준 모델과 SBG 모델에서 방전 시간에 따른 보호용 NMOS 트랜지스터의 드레인 전압 변화와 전압차 (V(5)-V(8))의 변화를 각각 비교한 그림이다. 그림 14의 드레인 전압 변화를 보면, R_{sbg} 값이 큰 SBG 모델 경우 기준 모델에 비해 방전이 다소 빠르게 진행되고, oscillation 기간도 감소하여 방전이 일찍 종료되는 것을 알 수 있다. 그림 1의 등가회로에서 노드 8번의 C_{C2} 에 충전된 전하는 보호용 NMOS 트랜지스터의 기생 바이폴라 트랜지스터를 통하여 방전이 이루어지므로, R_{sbg} 값이 커짐에 따라 기준 모델보다 느리게 방전된다. C_{C2} 의 충전전하가 느리게 방전되므로 기생 바이폴라 트랜지스터가 초기에 방전시켜야 하는 실제적인 전하는 C_{C1} 의 충전전하량으로 줄어드는 효과에 의해 방전초기 기준 모델보다 드레인 전압의 변화가 빠르게 나타나는 것으로 판단된다. 또한 R_{sbg} 의 값이 커짐에 따라 oscillation 과정에서 저항에서의 에너지 손실 증가로 인해 기준 모델과 비교하여 방전이 빠르게 종료되는 것으로 판단된다.

그림 15에서는 SBG 모델 경우 전압차 (V(5)-V(8)) 이 크게 증가함을 알 수 있다. 이는 R_{sbg} 값 증가의 영향으로 노드 4, 5, 7, 10번의 방전속도는 기준 모델보다 빠르게 방전하는 반면, 노드 8번의 방전속도는 기준 모델보다 느려지는 결과에 기인하는 것으로 판단된다. 칩 레이아웃 시 보호용 NMOS 트랜지스터의 V_{SS} 와 입력버퍼 회로의 V_{SS} 를 연결하는 금속배선의 길이를 최대한 짧고 그 폭을 최대한 넓게 하여 배선저항을 줄이는 것이 CDM 방전 시 입력버퍼 회로 게이트 산화막 보호를 위해 효과적인 설계 방법이라고 판단된다. 다르게 보면 패드와 입력버퍼간 거리가 멀수록 입력버퍼 게이트 산화막의 파괴 위험성이 높아진다는 사실을 알 수 있다.

IV. 입력버퍼 보호용 소자의 영향

CDM 방전으로부터 입력버퍼 회로의 게이트 산화막을 보호하기 위해 사용하는 방법으로 입력버퍼 앞에 역바이어스된 다이오드를 연결하여 두 노드간 전압이 다이오드의 항복전압 이하로 제한하는 방법이 제안되었다^[10]. 근래에는 개선된 방법으로 다이오드 대신 NMOS 트랜지스터의 기생 바이폴라 동작을 이용하는 방법이 사용되고 있다. 본 논문에서는 이러한 방법의 설계를 CDMTR 모델이라 칭하고 시뮬레이션을 이용하여 그 효과를 분석해 보았다.

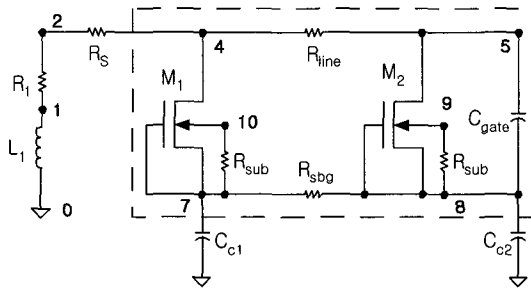


그림 16. DMTR 모델의 CDM 테스트 등가회로
Fig.16. CDM-test equivalent circuit of the CDMTR model.

그림 16은 CDMTR 모델에 대한 등가회로이다. 이 등가회로에는 기준 모델인 그림 1의 C_{gate} 앞에 보호용 NMOS 트랜지스터 M_2 를 추가하였다. 입력버퍼 회로의 게이트 산화막 보호를 위해 추가한 M_2 는 M_1 과 동일한 구조이며 소자폭만 $40\mu m$ 로 줄였다. 소자폭 $40\mu m$ 에 해당

되는 M_2 의 기판 저항 R_{sub} 의 값으로는 $2.5k\Omega$ 를 사용하였다.

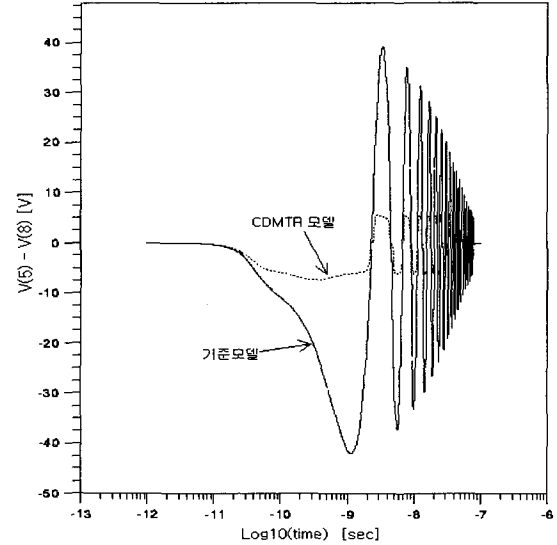


그림 17. 전위차 (V(5)-V(8))의 변화 비교
Fig. 17. Comparison of the voltage difference (V(5)-V(8)) variation.

그림 17은 입력버퍼의 게이트 산화막 양단의 전위차 (V(5)-V(8))의 변화를 나타낸 것으로 CDMTR 모델 경우 전위차가 최대 7.5V 정도로, 기준 모델에 비해 크게 줄었음을 보여주고 있다. 이는 방전 초기 M_1 내부의 기생 바이폴라 트랜지스터 동작에 의해 방전이 이루어져 입력버퍼 게이트 산화막에 인가되는 전위차가 M_2 내부의 기생 바이폴라 트랜지스터의 스넵백 전압에 이르면 바이폴라 트랜지스터가 동작하여 산화막에 인가되는 전위차를 기생 바이폴라 트랜지스터의 스넵백 전압 이하로 제한하기 때문이다.

CDMTR 모델과 기준 모델의 보호용 NMOS 트랜지스터 M_1 의 드레인-소스간 전위차(V(4)-V(7))를 조사한 결과 두 모델 사이에 거의 차이가 없음을 확인하였다. 이는 CDM 방전으로부터 입력버퍼 게이트 산화막을 보호하기 위해 추가한 보호용 소자 M_2 는 기생 바이폴라 트랜지스터 동작에 의해 입력버퍼 게이트 산화막에 인가되는 전압을 크게 감소시키지만, M_1 의 방전에는 별 다른 영향을 주지 않는다는 것을 의미한다.

시뮬레이션 결과 M_2 의 드레인 전류 변화는 전류의 크기가 작다는 점을 제외하고는 M_1 의 변화와 유사하였다. 본 시뮬레이션 결과에서 M_1 의 드레인 방전 최대전

류는 13.7A로 이를 소자폭으로 나누면 $68.5\text{mA}/\mu\text{m}$ 이고, M_2 의 드레인 방전 최대전류는 0.175A로 이를 소자폭으로 나누면 $4.4\text{mA}/\mu\text{m}$ 이므로 게이트 산화막 보호를 위해 추가한 소자 M_2 의 소자폭($40\mu\text{m}$)을 좀더 줄여도 온도 상승에 의한 소자 M_2 자체의 파괴 문제는 없을 것으로 판단된다.

방전 중 M_2 의 드레인-소스간 전압과 드레인 전류의 관계는 그림 5와 유사하였으나 그림 5에 비해 초기의 스냅백 현상이 거의 없이 바로 바이폴라 트랜지스터가 동작되는 유형을 보였다. M_2 의 드레인-소스간 전압은 그림 17의 V(5)-V(8)에 해당되며, 방전 초기에 7.5V의 최대치를 보이고 이후에는 $\pm 6.5\text{V}$ 이내에서 교번되는 것을 알 수 있다. 방전 초기 M_2 의 드레인-소스간 최대 전압은 M_1 의 방전 초기 스냅백 전압(12V)보다 낮는데, 이는 M_1 에 비해 노드 전압의 변화가 다소 느리게 진행되는 M_2 경우 내부의 기생 바이폴라 트랜지스터가 접합에서의 충돌이온화 현상에 의해서가 아니라 접합의 충돌방전 과도전류에 의해 트리거되기 때문일 것으로 추정된다. 역바이어스된 다이오드의 항복을 이용하는 보호 방식의 경우에는 게이트 산화막에 인가되는 최대전압이 훨씬 클 것이므로 트랜지스터를 사용하는 방법이 보다 효과적임을 알 수 있다.

참고로, CDM 방전으로부터 입력버퍼 회로의 게이트 산화막을 보호하기 위해 달아주는 NMOS 트랜지스터 M_2 는 입력버퍼 회로 바로 앞에 달아 주어야 함을 주목하자. 그림 16에서 M_2 의 V_{ss} 노드와 C_{gate} 의 V_{ss} 노드 사이에 어느 정도의 저항이 존재한다면 저항에서의 전압강하로 인해 입력버퍼 게이트 산화막에 인가되는 전위차가 M_2 의 드레인-소스간 최대전압보다 커져 게이트 산화막 보호에 문제를 야기할 수도 있기 때문이다.

V. 결 론

ESD 보호용 NMOS 트랜지스터를 포함한 CMOS 칩의 CDM 테스트 환경에 대한 등가회로를 제시하고, 2차원 소자 시뮬레이터를 이용한 혼합모드 과도해석을 수행함으로써 CDM ESD에 의한 소자 파괴현상에 대해 상세한 분석을 시도하였다. CDM 방전에서 문제가 되는 입력버퍼의 게이트 산화막 파괴에 관련된 배선저항 값의 변화에 의한 영향과 입력버퍼의 게이트 산화막 보호를 위한 보호용 트랜지스터의 동작 원리 및 설계

기준에 대해 조사하였다. 본 논문의 기여사항을 요약하면 다음과 같다.

- CDM 방전의 두 가지 경우인 positive CDM과 negative CDM의 혼합모드 시뮬레이션 방법을 제시하고 시뮬레이션을 통해 각 경우에 대한 방전 메커니즘을 상세히 설명하였다.
- CDM 방전 경우 oscillation 특성에 의해 보호용 소자내 온도 상승은 소스접합과 드레인 접합에서 모두 발생됨을 밝혔고, HBM 방전 경우에 도움이 되는 것으로 알려져 있는 소스면적의 감소 방법은 CDM 방전시 보호용 소자 자체의 파괴 문제를 완화하는 방법으로는 적합치 않음을 밝혔다.
- 입력버퍼로의 신호전달 지연시간을 줄이기 위하여 보호용 소자와 입력버퍼 회로 사이의 저항을 줄이는 경우 CDM 방전에 의한 입력버퍼 회로의 게이트 산화막 파괴 문제는 악화되지 않다는 것을 보였다.
- 패드와 입력버퍼회로 사이의 V_{ss} 배선저항의 증가는 입력버퍼 회로의 게이트 산화막에 인가되는 전압을 증가시켜 입력버퍼의 게이트 산화막 파괴에 치명적임을 밝혔다.
- CDM으로부터 게이트 산화막을 보호하기 위하여 사용되는 CDM 트랜지스터의 동작원리에 대해 분석하였으며, 이 방법은 입력버퍼 회로의 게이트 산화막에 인가되는 전압을 제한하여 게이트 산화막 보호에 매우 효과적임을 밝혔다.

참 고 문 헌

- [1] Ajith Amerasekera and Charvaka Duvvury, *ESD in silicon integrated circuits*, JOHN WILEY & SONS, New York, 1995.
- [2] H.A. Gieser, P. Egger, "Influence of tester parasitics on "Charged Device Model"- Failure thresholds," *EOS/ESD Symposium Proceedings*, pp. 69-84, Las Vegas, Nevada, Sept. 1994.
- [3] Charvaka Duvvury and Ajith Amerasekera "Advanced CMOS protection device trigger mechanisms during CDM," *EOS/ESD Symposium Proceedings*, pp. 162-174, Phoenix,

- Arizona, Sept. 1995.
- [4] J.R.M. Luchies, C.G.C.M. de Kort, J.F. Verweij, "Fast turn-on of an NMOS ESD protection transistor: measurement and simulations," *EOS/ESD Symposium Proceedings*, pp. 266-272, Las Vegas, Nevada, Sept. 1994.
- [5] ATLASII Framework, Version 4.3.0.R, Silvaco International, 1997.
- [6] 최진영, 송광섭, "HBM ESD 현상의 혼합모드 과도해석," 전자공학회논문지, 제38권, SD편, 제1호, pp. 1-12, 2001년 1월
- [7] M. Tanaka and K. Okada, "CDM ESD test considered phenomena of division and reduction of high voltage discharge in the environment," *EOS/ESD Symposium Proceedings*, pp. 54-61, Orlando, Florida, Sept. 1996.
- [8] C. Russ, K. Verhaege, K. Bock, P. J. Roussel, G. Groeseneken, and H. E. Maes, "A compact model for the grounded-gate nMOS behaviour under CDM ESD Stress," *EOS/ESD Symposium Proceedings*, pp. 302-315, Orlando, Florida, Sept. 1996.
- [9] 최진영, 임주섭, "소자 시뮬레이션을 이용한 ESD 보호용 NMOS 트랜지스터의 항복 특성 분석," 전자공학회논문지, 제34권, D편, 제11호, pp. 37-47, 1997년 11월
- [10] L. R. Avery, "ESD protection structures to survive the charged device model(CDM)," *EOS/ESD Symposium Proceedings*, pp. 186-191, Las Vegas, Nevada, Sept. 1987.

저 자 소 개



崔 鎮 榮(正會員)

1956년 12월 10일생. 1979년 2월 서울대학교 전기공학과(공학사). 1986년 12월 University of Florida 전기공학과(석사). 1991년 5월 University of Florida 전기공학과(공학박사). 1991년 4월~1992년 8월 삼성전자 반도체부문 수석연구원. 1992년 8월~현재 홍익대학교 과학기술대학 전자전기컴퓨터공학부 부교수. 주관심 분야는 RF 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구 등임



宋 光 燮(正會員)

1972년 11월 10일생. 1998년 2월 홍익대학교 전기공학과(공학사). 2000년 2월 홍익대학교 대학원 전기공학과(석사). 2001년 3월 동경 와세다대 박사과정 입학 예정. 주관심 분야는 반도체 소자 모델링, 정전기 방전 현상분석 및 보호회로 설계 연구 등임