

論文2001-38SD-3-5

3.3V 8-bit 200MSPS CMOS Folding/Interpolation ADC의 설계

(Design of a 3.3V 8-bit 200MSPS CMOS Folding/Interpolation ADC)

羅裕森*, 宋敏圭**

(Yoo Sam Na and Min-Kyu Song)

요약

본 논문에서는 CMOS로 구현된 3.3V 8-bit 200MSPS의 Folding / Interpolation 구조의 A/D 변환기를 제안한다. 회로에 사용된 구조는 FR(Folding Rate)이 8, NFB(Number of Folding Block)가 4, Interpolation rate 이 8이며, 분산 Track and Hold 구조를 회로를 사용하여 Sampling시 입력주파수를 Hold하여 높은 SNDR을 얻을 수 있었다. 고속동작과 저 전력 기능을 위하여 향상된 래치와 디지털 Encoder를 제안하였고 지연시간 보정을 위한 회로도 제안하였다. 제안된 ADC는 0.35 μ m, 2-Poly, 3-Metal, n-well CMOS 공정을 사용하여 제작되었으며, 유효 칩 면적은 1070 μ m \times 650 μ m 이고, 3.3V전압에서 230mW의 전력소모를 나타내었다. 입력 주파수 10MHz, 샘플링 주파수 200MHz에서의 INL과 DNL은 ± 1 LSB 이내로 측정되었으며, SNDR은 43dB로 측정되었다.

Abstract

In this paper, a 3V 8-bit 200MSPS CMOS folding / interpolation A/D Converter is proposed. It employs an efficient architecture whose FR(Folding Rate) is 8, NFB(Number of Folding Block) is 4, and IR (Interpolating Rate) is 8. For the purpose of improved SNDR by to be low input frequency, distributed track and hold circuits are included. In order to obtain a high speed and low power operation, further, a novel dynamic latch and digital encoder based on a novel delay error correction are proposed. The chip has been fabricated with a 0.35 μ m 2-poly 3-metal n-well CMOS technology. The effective chip area is 1070 μ m \times 650 μ m and it dissipates about 230mW at 3.3V power supply. The INL is within ± 1 LSB and DNL is within ± 1 LSB, respectively. The SNDR is about 43dB, when the input frequency is 10MHz at 200MHz clock frequency.

I. 서론

최근의 VLSI/ULSI 집적회로에서 아날로그-디지털

인터페이스의 On-chip화 기술의 필요성이 증대되고 있다. 특히, 아날로그-디지털인터페이스의 기술중에서 고속, 저 전력과 높은 해상도를 갖는 A/D 변환기는 광범위한 응용분야를 갖는다. 현재까지 BJT공정이나 BiCMOS 공정을 사용하여 고속 A/D 변환기가 주로 설계되었으나 5V 전원전압의 사용과 많은 전력 이 소모된다는 단점이 있었다. 또한 혼성모드 회로설계에 있어 CMOS 공정을 사용하는 DSP와 함께 온 칩화 할 수 없다는 단점도 갖고 있다.

* 正會員, 東國大學校 半導體科學科

(Dept. of semiconductor science, Dongguk University)

※ 본 연구는 특허청의 2000년도 반도체배치설계기술진흥사업을 위해 지원된 연구비로 수행되었습니다. 지원에 감사드립니다.

接受日字:2000年5月8日, 수정완료일:2001年2月1日

기존의 고속CMOS의 A/D 변환기는 Full-Flash방식

을 널리 사용하였으나, 많은 비교기의 수에 의하여 큰 칩 면적과 많은 전력소모를 가지는 단점을 가지고 있다. 이러한 단점을 극복하기 위해 폴딩 및 인터플레이션 기법이 제안되어 있다^[1]. 인터플레이션 기법의 장점은 Full-Flash A/D 변환기와 비교하여 비교기의 수를 감소시키는데 있다. 그러나 래치(latch)의 수는 여전히 플래쉬 타입의 A/D 변환기의 수와 같다. 그러므로 래치의 수를 감소시키기 위하여 폴딩 기법을 같이 적용함으로써 래치의 수도 감소시키고 칩 면적도 감소시킬 수 있다^[2-6]. 그리고 폴딩과 인터플레이션 블록을 완전 차동 구조로 설계하고, 오프셋 보상이 필요 없는 래치를 사용함으로써 고속동작이 가능한 A/D 변환기를 설계 할 수 있다.^[2,4] 그러므로 폴딩 구조에 인터플레이션의 기법을 결합한 폴딩-인터플레이션 구조가 고속, 저 전력 응용에 가장 적합한 A/D 변환기 구조로 제안된 바 있다^[4-6]. 작은 칩 면적과 저 전력의 특성을 가진 변환기를 위해 래치 및 Digital Encoder 의 새로운 구조를 제안하였다. 제2장에서는 제안하는 폴딩-인터플레이션 A/D 변환기 및 세부회로의 설계에 관하여 논하고, 제3장에서는 실험결과를, 제 4장에서 결론을 맺는다.

II. 전체구조

본 폴딩 A/D 변환기에서 가장 중요한 점은 폴딩율과 인터플레이션율의 설정이다. 적은 폴딩율(FR)은 많은 비교기를 요구하며, 높은 폴딩율은 많은 기준 전압들을 필요로 한다. 그러므로 A/D 변환기가 몇 비트의 해상도를 가졌느냐에 따라 최적의 폴딩율을 결정할 수 있다. 현재 8-bit A/D 변환기에 있어서 FR(Folding Rate)=8, NFB(Number of Folding Blocks)=4, IR (Interpolation Rate)=8 이 가장 적합한 비율의 형태로 알려져 있다^[3-6]. 본 연구에서는 8-bit A/D 변환기의 설계에 가장 적합한 FR=8, NFB=4, IR=8의 구조로 설계하였다. 폴딩과 인터플레이션을 거쳐 Latch에서 나오는 32개의 Thermometer Code는 Encoder에 의하여 6-bit의 하위 LSB부분이 출력되고, 이와 동시에 입력 신호는 상위 비트 A/D 변환기에 의하여 상위 2비트의 출력 코드를 생성한다. 2-bit MSB 코드와 6-bit LSB 코드의 처리시간은 차이가 있으며, 이런 지연시간을 보정하기 위한 회로가 Encoder를 거친 후 필요하게 된다. 그림 1 에 폴딩, 인터플레이션 기법이 결합되어진 A/D 변환기 구조를 블록다이어그램으로 나타내었다. 폴딩블

록에서 나오는 정현파 형태의 폴딩회로 전달곡선은 전체 입력신호(Vin)의 레인지를 커버한다^[6]. 폴딩 회로의 출력전압은 A/D변환기의 6개의 LSB를 위한 64개의 level들로 변환되어진다. 64개의 level은 MSB의 2비트(4개 영역)에 각각으로 할당된다. 그러므로 폴딩 변환기에 대한 전체 비교기의 수는 32개(Fine)+6개(Coarse)=38개이다. 8-bit Full-Flash Type A/D 변환기일 경우 비교기가 총 256개임을 감안하면 비교기 감소에 따른 칩 면적 및 전력소모의 감소가 크게 나타난다.

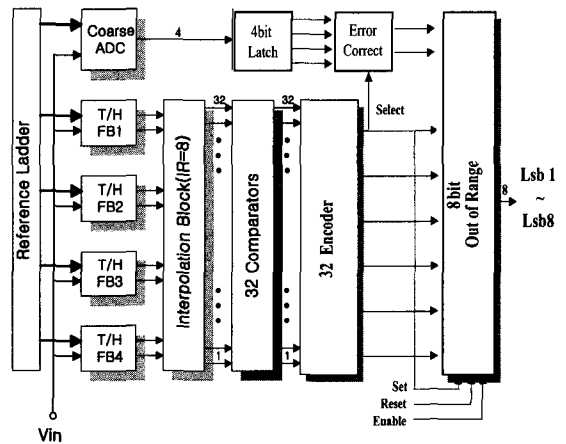


그림 1. 제안하는 8bit A/D 변환기의 구조
Fig. 1. Architecture of the Proposed 8Bit A/D Converter.

1. Folding block

그림 2에서는 폴딩 신호를 발생시키는 회로를 도시하였다. 이 회로는 다섯개의 Pre-amp와 다섯개의 차동쌍으로 구성되어 있으며, Pre-amp의 입력은 아날로그 입력과 저항열에 의한 기준 전압이 인가된다. Pre-amp

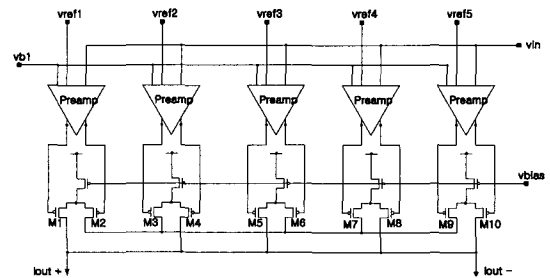


그림 2. FR(folding rate)=4인 폴딩 회로도
Fig. 2. Folding Circuit with FR = 4.

의 출력은 입력신호에 따라 차동 쌍의 pMOS를 스위칭하게 된다. 입력 신호의 변화에 따라 각각 차동 쌍의 pMOS는 on과 off의 상태를 이룬다. 그리고 차동 쌍의 출력 전류는 그림과 같이 교대로 연결되어 폴딩 블록의 출력 전류를 생성시킨다.

예를 들어, V_{in} 이 V_{ref1} 보다 낮은 전압일 경우, M_2 는 Turn-On되고 M_1 는 Turn-Off된다, 그리고 나머지 M 짝수는 모두 Turn-On되고, M 홀수는 모두 Turn-Off됨으로서 전류 출력은 식(1)과 같이된다.

$$\begin{aligned} I_{out^-} &= 2I_b & I_{out^+} &= 2.5I_b \\ I_{out^-} &= 3I_b & I_{out^+} &= 2.5I_b \end{aligned} \quad (1) \quad (2)$$

그리고, V_{in} 이 V_{ref1} 과 같은 전압일 경우, M_1 과 M_2 에는 모두 $I_b/2$ 의 전류가 흐르며, 나머지 M 짝수는 모두 Turn-On되고, M 홀수는 모두 Turn-Off됨으로서 전류 출력은 식(2)와 같이 된다. 그러므로, V_{in} 이 V_1 에서 V_5 까지 증가함에 따라 그림 3과 같은 출력 전류를 얻는다.

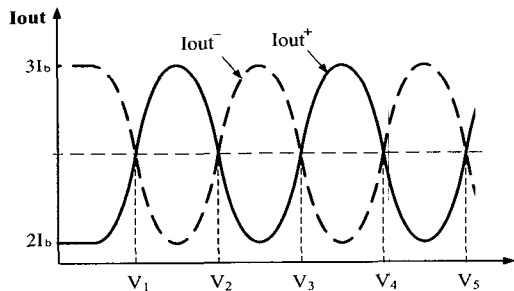


그림 3. 폴딩 블록 출력 전류
Fig. 3. Output Current at Folding Block (at FR=4).

폴딩 블록에서의 실제적인 대역폭(BW_{fold})은 폴딩율과 최대 입력 신호 주파수와 관계있다. 폴딩블록의 입력신호가 정현파인 경우 폴딩블록의 대역폭은 A/D 변환기의 최대 입력 주파수 $f_{in,max}$ 는 식(3)과 같다.^[6]

$$f_{in,max} = \frac{2BW_{fold}}{\pi F_R} \quad (3)$$

여기서 F_R 은 폴딩율(Folding Rate)이다. 폴딩율은 하나의 폴딩신호에서의 zero crossing들의 수를 결정한다. 본 연구의 A/D 변환기에서 폴딩율은 8이다. 아날로그 입력신호 밴드폭에 대한 이러한 한계는 폴딩 A/D 변환기의 앞단에 Track-and-Hold(T/H) 증폭기를 이용하여 극복할 수 있다.

2. Interpolation Block

폴딩블록에서 나온 정현파 형태의 폴딩 신호는 직접 래치에 연결되어 Thermometer Code를 형성하고 Encoder의 입력으로 인가된다. 하지만 많은 폴딩블록의 수는 결국 많은 reference 전압을 요구하게 된다. 그러므로, 이러한 문제의 해결을위하여 인터플레이션의 기법을 사용한다. 저항성 인터플레이션은 인터플레이션율(IR)이 4이상일 경우 비 선형성을 보인다는 단점이 있으므로^[5,6], 이러한 단점을 극복하기 위하여 MOS의 W/L의 비를 이용한 전류 인터플레이션 방법을 사용했다. 그림 4는 전류 인터플레이션을 설명하기 위한 회로도이다. 그림에서와 같이 M_1, M_2, M_3, M_4 와 M_5, M_6, M_7, M_8 의 W/L의 비율이 모두 1:2:3:4의 비율로 이루어져 있다. 입력 V_{in}^+ 와 V_{in}^- 에 의해 I_{out4} 와 I_{out0} 에 각각 4mA와 2mA의 전류가 흐른다고 가정하면, 회로에 의해 M_3, M_2, M_1 에는 각각 3mA, 2mA, 1mA의 전류가 흐르게 된다. 또한 M_5, M_6, M_7 에는 각각 $\frac{1}{2}$ mA, $\frac{2}{2}$ mA, $\frac{3}{2}$ mA의 전류가 흐르게되어, $I_{out3}, I_{out2}, I_{out1}$ 은 3.5mA, 3mA, 2.5mA로 I_{out4} 와 I_{out0} 의 전류를 인터플레이션한다.

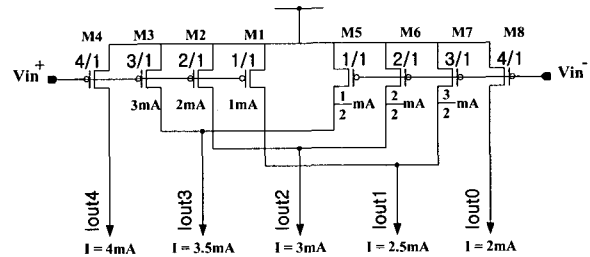


그림 4. 전류 구동 인터플레이션을 위한 회로도
Fig. 4. Interpolation Circuit.

3. High speed Latch

그림 5는 본 논문에서 사용된 Dynamic 래치의 회로도이다. 기존의 래치와 연구에 사용된 래치의 차이는 Track 모드에서 V_A 노드와 V_B 노드를 Pre-charge시키는 역할을 하는 N5의 위치와 입력단인 N2와 인버터 래치의 n-MOS인 N0의 구조이다. V_A 및 V_B 노드를 Pre-charge시키는 역할을 하는 N5가 입력단 아래에 위치함으로써 기존 래치의 단점인 Kick-Back 현상에 의한 고속동작의 제한을 해결한다. 또한, N0와 N2의 구조는 기존의 Dynamic 래치가 직렬인데 반해 제안하는 Dynamic 래치의 구조는 병렬로 이루어져 있다. 이는

VA 노드와 VB 노드의 방전 시간이 고속 동작에 큰 영향을 미치기 때문이다. CLK가 'low'인 track 모드에서 N5는 Turn-Off상태이며, P1과 P2, 그리고 입력단의 스위치는 Turn-On상태를 유지한다. 그러므로 VA 노드와 VB 노드는 모두 'high'상태이고, 최종 출력은 모두 'low'를 유지한다. 이 때, N2와 N3의 게이트에 아닐로그 입력이 인가되는 상태이다. CLK이 'low'에서 'high'로 전이되는 순간, P0과 P1 그리고 입력단의 스위치가 Turn-Off되며, N5는 Turn-On됨으로서 VA 노드와 VB 노드의 전하들은 N0, N1, N2, N3의 n-MOS를 통해 방전되기 시작한다. 이때, 완전 차동 입력에 의해 N2와 N3의 두 n-MOS의 채널 형성의 정도는 차이를 보이게 된다. 그러므로 VA 노드와 VB노드의 전압차가 형성되어, P2, P3, N0, N1로 이루어진 인버터 래치에 의해 완전 차동 출력은 각각 'high'와 'low'로 래치 되게 된다.

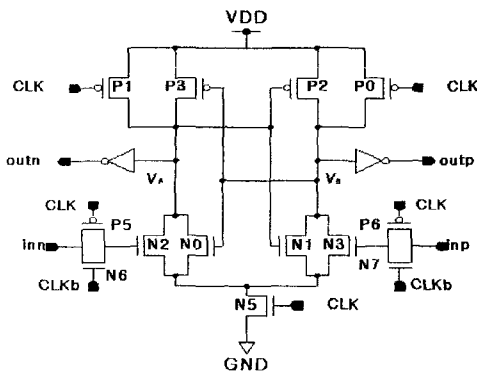


그림 5. 고속 래치
Fig. 5. High speed Latch.

4. High speed Encoder

제안하는 Encoder는 역코딩을 위한(폴딩 출력의 $2\pi N + \pi$ 에서 $2\pi N + 2\pi$ ($N=0, 1, 2, 3$)까지의 구간에서는 역 코딩을 해야한다) 스위치 블록과 Thermometer Encoder 블록으로 크게 나뉜다. 제안하는 Encoder의 스위치블럭은 RS플립플롭과 스위칭에 필요한 Mux로 크게 나누어진다. RS플립플롭은 입력되는 Thermometer code를 일정한 신호로 바꾸어주어 Code의

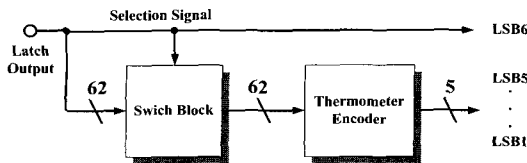


그림 6. Encoder 블록 다이어그램
Fig. 6. Block Diagram of the Proposed.

'High' 에서 'low'또는 'low' 에서 'High'로 계속 변하는 신호를 일정한 신호로 만들어 주어 계속되는 스위칭에 따른 전력소비의 줄어준다. 그림 6은 제안하는 Encoder의 블록다이어그램을 도시하였다.

그림 6과 같이 62개의 Latch 출력(out=31개 및 outb=31개)이 스위치 블록으로 인가된다. Latch1번 신호가 역 코딩을 위한 선택신호로 사용되며 동시에 지연시간 보상을 위한 LSB6로 출력된다. 제안하는 Encoder를 설명하기 위해 이진 3비트를 위한 Encoder를 예로 든다. 표 1에서 보는 바와 같이 LSB3는 IN4와 같음을 알 수 있다. LSB2는 LSB3가 '1'일 경우 IN6을 출력함으로서 얻을 수 있으며 '0'일 경우는 IN2를 출력함으로서 얻을 수 있다. 그리고 LSB3와 LSB2가 '1'일 경우 IN7을, LSB3은 '1'이고 LSB2가 '0'일 경우는 IN5를 출력함으로서 얻을 수 있다. LSB3가 '0'일 경우에도 같은 방법으로 LSB2, LSB1을 구할 수 있다.

표 1. 제안하는 Encoder의 알고리즘
Table 1. (IN1~IN7 latch의 thermometer output) (LSB1~LSB3 Encoding data).

| | | Thermometer Code | | | | | | | |
|--------|-------|------------------|------|---|------|---|---|---|---|
| Input | IN 7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| | IN 6 | 0 | 0 | 0 | LSB1 | 0 | 0 | 1 | 1 |
| | IN 5 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| | IN 4 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| | IN 3 | 0 | LSB1 | 0 | 1 | 1 | 1 | 1 | 1 |
| | IN 2 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| | IN 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Output | LSB 3 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| | LSB 2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| | LSB 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

5. 지연시간 및 Under/Overflow 방지회로

위의 8Bit ADC의 구조는 상위 비트 A/D 변환기와 하위 비트 A/D 변환기의 지연 시간 차이에 의한 Digital Error를 보정하여야 한다. 이를 위해 최종 디지털 출력 코드중 LSB6를 이용, 이에 동기 되는 상위비트를 구성하게 된다. 상위 2비트에서는 Reference열을 이용하여 Forward, Backward된 신호를 만들어 이를 LSB6과 비교하는 구조를 택하게된다. 이에 의해서 하위 비트와 동기되는 8Bit를 얻게 된다. 그림 7은 LSB6에 의해서 LSB7과 LSB8이 선택되는 과정을 보여준다. 각 상위2bit의 Forward신호, Backward신호를 만들고 LSB6가 High일때 Backward신호를 택하고 LOW일때

는 Forward 신호를 택하여 출력시간차에 의한 에러를 보정한다.

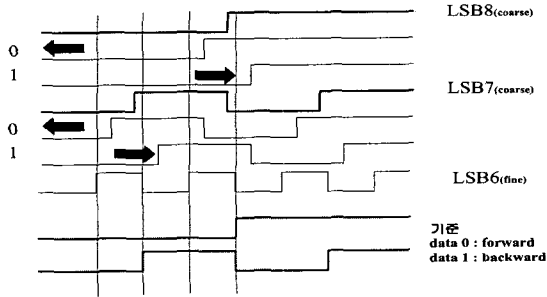


그림 7. 에러보정 알고리즘
Fig. 7. Error Correction Algorithm.

또한, ADC의 입력이 그림 8에서 보는 바와 같이 입력범위의 기준이 되는 폴딩신호(LSB8)와 입력범위 밖의 신호(INPUT SIGNAL)를 검출하기 위한 out-of-range 신호가 있다.

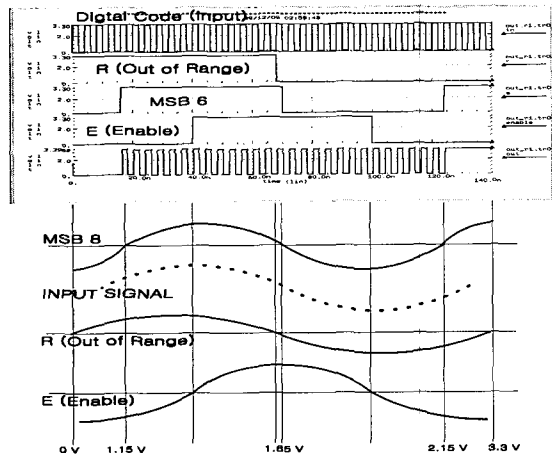


그림 8. out-of-range 회로에 대한 실험결과
Fig. 8. Simulation Result for Detecting out of range.

Out-of-range 신호와 에러 보정신호는 폴딩회로에서 적절한 기준전압을 선택하여 zero crossing되는 곳을 선택할 수 있다. 이 신호는 비교기를 거쳐 디지털 신호로 변환된다. 이러한 R(out-of-range)신호는 폴딩신호(LSB8)와 비교하여 '0과'인 부분에서는 디지털 출력이 '0'인 신호를 '1과'인 부분에서는 디지털 출력이 '1'인 신호를 발생한다. 그리고 이 두 신호가 '0과'이거나 '1과'에서는 원래의 디지털 신호를 그대로 출력함으로써 입력범위 밖의 신호를 검출할 수 있다. 그러나 이 두

신호의 지연시간차로 인해 중간의 zero crossing이 서로 다른 곳에 위치한다면 이로 인한 에러가 발생하게 된다. 이러한 에러를 보정하기 위하여 E신호(Error correction signal)를 발생시켜 E신호가 '0'인 부분에서만 out-of-range 회로가 동작하게 된다. 입력의 디지털 코드에 대하여 입력범위 밖에서는 set과 reset되어진 파형이 발생하는 것을 볼 수 있다. 그림 8에서 처럼 LSB6, E, R 신호에 의해 set과 reset의 신호가 발생이 된다. 결국 최종 8bit의 디지털코드를 발생시키기 위하여 8개의 out-of-range 검출블록이 필요하다. 그림 9에는 out-of-range 검출 회로에 대한 Block diagram을 나타내었다.

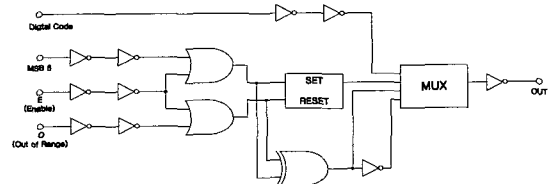


그림 9. Out-of-range 검출 블록 다이어그램
Fig. 9. Diagram for Detecting out-of-range.

III. 실험결과

본 연구에서 설계된 8-bit 200MSPS A/D 변환기의 전체 칩 사진을 그림 10에 나타내었다. 전원의 Metal Line을 제외한 유효 칩면적은 $1070\mu\text{m} \times 650\mu\text{m}$ 이다. 3V 공급 전원에서 측정된 결과 소모전류는 75mA이고, INL과 DNL는 각각 $\pm 1\text{LSB}$ 이내이다. 200MHz의 샘플링 주파수에 대한 SNDR은 입력주파수가 10MHz일때까지 43dB를 나타내었고 이를 그림 12에 나타내었다.

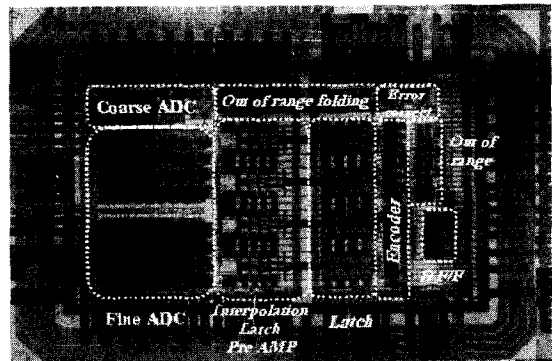


그림 10. 본 연구에서 설계된 A/D 변환기의 칩 사진
Fig. 10. Photograph of the ADC Full-chip.

측정장비는 Credence社의 DUO-Digital Capture Port(DCP)와 GAGE社의 CompuScope 3200을 사용하여 기본적인 기능기능을 측정하였고, 결과는 200MHz이하의 샘플링속도에서 SNR, DNL, INL를 측정하였다.

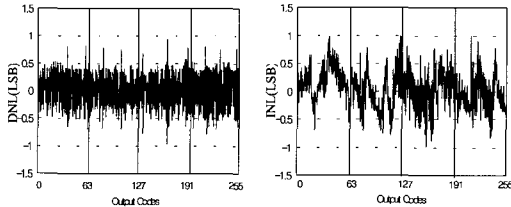


그림 11. 제안한 A/D 변환기의 INL 및 DNL
Fig. 11. INL, DNL of the Proposed ADC.

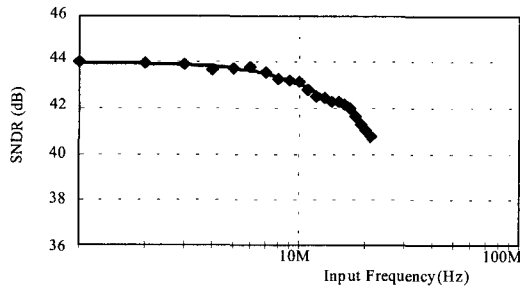


그림 12. SNDR 측정결과
Fig. 12. Measure Result for SNDR.

IV. 결론

본 연구에서는 0.35um 2-poly 3-metal N-well CMOS 공정을 사용하여, 저 전력, 고속 동작을 목표로 한 3V 8-bit 200MSPS CMOS A/D 변환기를 설계하였다. 제안된 A/D 변환기는 8비트의 분해능을 얻기 위해 최적화된 조합인 FR=8, NFB=4 및 IR=8을 이용하여 폴딩 블록과 인터폴레이션 블록을 설계하였으며, SNR을 향상시키기 위해 분산되어진 T/H 폴딩 구조로 설계하였다. 또한 새로운 고속 동작용 Latch, 지연시간 보정 회로 및 새로운 알고리즘의 Digital Encoder가 제안되었다.

표 2. 본 연구에서 설계된 A/D 변환기의 사양

| | |
|--------------|---|
| 분해능 | 8 비트 |
| 입력 범위 | 10MHz (1V _{pp}) |
| 변환속도 | 200MSPS |
| 구조 (process) | 0.35 μ m, 2-poly, 3-metal N-well 3.3V CMOS |
| DNL 및 INL | < \pm 1LSB |
| SNR | 43 dB |
| 소비전력 | 230mW |
| 칩 크기 | 1070 μ m \times 650 μ m |

참고 문헌

[1] Pieter Vorenkamp. "A 12-b, 60-MSample/s Cascaded Folding and Interpolation ADC," IEEE J. Solid-State Circuits. vol. 32. 12 1876-1886. DEC. 1997.

[2] R. Grift, I. Rutten and M. Veen, "An 8-bit Video ADC Incorporation F/I Techniques" IEEE J. Solid-State Circuits, vol. SC-22, no. 6, pp. 994-953, Dec. 1987.

[3] R. Plassche and P. Baltus. "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter," IEEE J. Solid-State Circuits, vol. 23, n0. 6, pp. 1334-1344, DEC. 1988.

[4] J. Valburg and R. Plassche, "An 8-bit 650-MHz folding ADC." IEEE J. Solid-State Circuits, vol.27,n0.12, pp. 1662-1666, Dec. 1992.

[5] M. Flynn and E. Allstot, "CMOS folding ADCs with Current-Mode Interpolation," ISSCC Digest of Technical Papers, pp. 274-275, Feb. 1995.

[6] Michael P. Flynn, "CMOS Folding A/D Converters with Current-Mode Interpolation," IEEE J. Solid-State Circuits, vol. 31. no. 9, pp. 1248-1257, Sep. 1996.

저 자 소 개



羅 裕 森(正會員)

동국대학교 반도체과학과 학
사.(1999년), 석사(2001년) 주관심
분야는 CMOS 혼성모드 회로설계,
저전력 집적시스템설계



宋 敏 圭(終身會員)

서울대학교 전자공학과 학사('86년),
석사('88년), 박사('93년). '93년-94년
일본 동경 대학교 전자공학과 초빙
연구원, '95년-96년 삼성전자 ASIC
설계팀 선임연구원, '97년- 현재 동
국대학교 반도체과학과 조교수, 주

관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적
시스템설계