論文2001-38SD-3-6

새로운 복합모드로직과 사인선택 Booth 인코더를 이용한 고성능 32×32-bit 곱셈기의 설계

(Design of a High Performance 32×32-bit Multiplier Based on Novel Compound Mode Logic and Sign Select Booth Encoder)

金 鎭 和*, 宋 敏 圭**

(Jin-Hwa Kim and Min-Kyu Song)

요 약

본 논문에서는 CMOS 로직과 pass-transistor logic(PTL)의 장점만을 가진 새로운 복합모드로직(Compound Mode Logic)을 제안하였다. 제안된 로직은 VLSI설계에서 중요하게 부각되고 있는 저전력, 고속 동작이 가능하며 실제로 전가산기를 설계하여 측정 한 결과 복합모드 로직의 power-delay 곱은 일반적인 CMOS로직에 비해 약 22% 개선되었다. 제안한 복합모드 로직을 이용하여 고성능 32×32-bit 곱셈기를 설계 제작하였다. 본 논문의 곱셈기는 개선된 사인선택(Sign Select) Booth 인코더, 4-2 및 9-2 압축기로 구성된 데이터 압축 블록, 그리고 carry 생성 블록을 분리한 64-bit 조건 합 가산기로 구성되어 있다. 0.6um 1-poly 3-metal CMOS 공정을 이용하여 제작된 32×32-bit 곱셈기는 28,732개의 트랜지스터와 1.59×1.68 mm2의 면적을 가졌다. 측정 결과 32×32-bit 곱셈기의 곱셈시간은 9.8ns 이었으며, 3.3V 전원 전압에서 186mW의 전력 소모를 하였다.

Abstract

In this paper, a novel compound mode logic based on the advantage of both CMOS logic and pass-transistor logic(PTL) is proposed. From the experimental results, the power-delay products of the compound mode logic is about 22% lower than that of the conventional CMOS logic, when we design a full adder. With the proposed logic, a high performance 32×32-bit multiplier has been fabricated with 0.6um CMOS technology. It is composed of an improved sign select Booth encoder, an efficient data compressor based on the compound mode logic, and a 64-bit conditional sum adder with separated carry generation block. The proposed 32×32-bit multiplier is composed of 28,732 transistors with an active area of 1.59×1.68 mm2 except for the testing circuits. From the measured results, the multiplication time of the 32×32-bit multiplier is 9.8ns at a 3.3V power supply, and it consumes about 186mW at 100MHz.

* 正會員, ** 終身會員, 東國大學敎 半導體科學科

(Dept. of Semiconductor Science, Dongguk Univ.)

※ 본 연구는 동국대학교 양자기능반도체연구센터를 통한 한국과학재단의 우수연구센터 지원금에 의하여 수행되었습니다. 지원에 감사드립니다.

接受日字:2000年7月3日, 수정완료일:2001年2月1日

Ⅰ. 서 론

최근 고성능 digital signal processors(DSP)의 요구가 증대됨에 따라 DSP core 의 가장 핵심블록인 고성능 곱셈기의 설계에 대한 요구도 크게 증가되고 있다. 일반적으로 32-bit 이상의 곱셈기는 Booth encoder, 데

이터 압축블록, 그리고 가산기로 이루어진다.[1-3] 본 논문에서는 개선된 고속 Booth encoding 기술, 제안하는 복합모드로직을 이용한 9-2압축기, 그리고 carry 생성 블록이 분리된 64-bit 조건 합 가산기로 구성된 고성능 32×32-bit 곱셈기의 설계에 대해 논한다. 각 블록별 간단한 동작 설명은 다음과 같다. 우선 개선된 사인선택(Sign Select) Booth encoding 알고리즘을 제안하고 이를 이용하여 Booth encoder 회로를 간단한 형태로 구현한다. 이는 기존 CMOS형태에 비해 PD곱이 약 64% 개선된다. 다음으로 17-bit의 부분 곱을 처리하기 위하여 2개의 4-2압축기와 1개의 9-2압축기를 사용하는 새로운 압축 방법을 제안한다. 압축기의 회로는 본 논문에서 제안하는 복합모드로직으로 구현한다. 마지막으로 64-bit 조건 합 가산기는 8개의 조건 합 모듈과 1개의 분리된 module carry generation block(MCGB)로 구성되어 있다. 여기서 MCGB를 조건 합 모듈과 분리한 이유는 고속 동작을 가능하게 하기 위함이다. 본 논문의 구성은 다음과 같다. 2장에서는 32×32-bit 곱셈기의 구조에 대해 설명하고, 3장에서는 Booth encoder의 회로 설계, 새로운 복합모드 로직을 이용한 압축기 설계, 그리고 조건 합 가산기에 대해 기술하며, 4장에서는 측정 결과에 대해 논한다. 마지막으로 5장에서는 결론에 대해 서술한다.

Ⅱ. 32×32-bit 곱셈기의 구조

그림 1에 도시된 블록 다이어그램은 32×32-bit 곱셈기로서, 부분 합을 생성시키는 Booth encoder블록, 생성된 압축 블록을 압축시키는 압축 블록 그리고 압축된 데이터를 마지막으로 가산하는 전가산기 블록으로 구성된다. Encoder블록과 압축 블록에서 압축기 선택은 부분 합 생성 율과 칩 소요면적 그리고 속도 등이 고려되어야 하며, 전가산기 역시 carry 전파 문제를 해결하는 고속 동작 기법이 필요하다. 따라서 본 연구에서는 여러 가지 장단점을 고려해 CMOS 로직과 PTL의 우수한 성능만을 조합한 새로운 복합모드로직을 제안하고, 이에 근거한 고성능 곱셈기를 설계한다. 본 연구의 성능평가를 위해 사용된 32×32-bit 곱셈기의 구조는 수정된 Booth 알고리즘으로부터 피승수와 승수에 의해 부분 합들을 생성하는 고속 Booth encoder 블록, 그리고 기존 4-2 압축기만을 사용하지 않고 17-bit의 일렬 부분 합 데이터를 압축하도록 4-2 압축기와 9-2 압축기를 사용한 데이터 압축 블록, 마지막으로 고속 Carry 발생기를 갖춘 64-bit 조건 합 가산기 블록의 형태로 구성되어 있다. 기존 4-2 압축기만으로 구성된 압축 블록은 **16**, 20, **24**, 28, **32**, 36, **40**, 44, **48**, 52, **56**, 60, **64**-bit의 곱셈에서 실제 데이터 압축을 수행할 수가 없다. 그것은 2진 보수처리에 대한 하위 Bit에 1-bit이 추가되어 압축해야될 Bit이 1-bit 추가되기 때문이다. 따라서 4-2 압축기 2단에 해당하는 성능을 가지며 1-bit을 더 추가할 수 있는 9-2 압축기를 사용함으로써 가능하게 된다

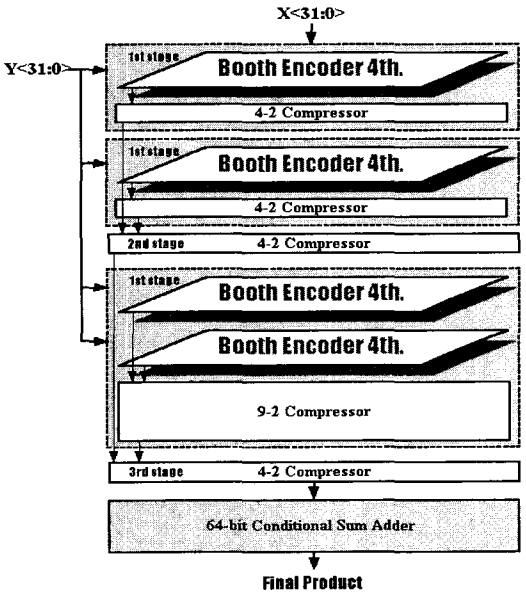


그림 1. 32×32-bit곱셈기의 구조
Fig. 1. Block diagram of a 32×32-bit multiplier.

Ⅲ. 각 블록의 설계

1. Booth encoder 블록

기존의 Booth encoder와 제안하는 Booth encoder의 진리표를 표 1에 나타내었으며, 그림 2는 제안된 고속 Booth encoder 블록을 나타낸다. 승수(y_{2j+1}, y_{2j}, y_{2j-1})에 의해 4개의 연산자(X, 0X, 2X, Sign)를 생성하도록 CMOS 로직을 사용해 Encoder 셀을 구성하였으며 게이트의 구성을 간략화 시켰다.

연산자 1X는 2게이트 지연을 갖고 0X와 2X는 각각 3게이트 지연을 갖게된다. 그러나, 부호를 결정하는 Sign 연산자는 1게이트 지연으로부터 다른 연산자들(X, 0X, 2X)이 부분 곱 셀에 도달하기 전에 피승수 값의

부호를 미리 결정하게 된다. 따라서 피승수 값의 부호가 결정 난 다음에 나머지 연산자(X, 0X, 2X)에 의해 피승수 값이 출력되어지므로 Sign 연산자에 의한 지연은 없는 것과 같다. 즉, 제안하는 고속 Booth encoder 블록의 전체 지연은 5게이트 지연인 것 같지만, 실질적으로 4게이트 지연만에 피승수 값을 부호화 시킬 수가 있다. 부분 곱 셀의 구성은 PTL을 사용하였으며 피승수 값의 부호를 결정하기 위해 2개의 nMOS로 구성된 MUX가 사용되었고, 나머지 3개의 연산자에 따라 피승수 값이 결정되도록 nMOS 3개로 구성된 MUX가 사용되었다.

표 1. Booth encoder의 진리표
Table 1. The truth table of the Booth encoding.

Y2i+1	Y2i	Y2i-1	OP	Conventional X	Conventional 2X	Conventional NEG	Sign select 2X	Sign select PL	Sign select M	Proposal X	Proposal 2X	Proposal 0X	Proposal Sign
0	0	0	0X	0	0	0	1	0	0	0	0	1	0
0	0	1	+1X	1	0	0	0	1	0	1	0	0	0
0	1	0		1	0	0	0	1	0	1	0	0	0
0	1	1	+2X	0	1	0	1	1	0	0	1	0	0
1	0	0	-2X	0	1	1	1	0	1	0	1	0	1
1	0	1	-1X	1	0	1	0	0	1	1	0	0	1
1	1	0		1	0	1	0	0	1	1	0	0	1
1	1	1	0X	0	0	1	1	0	0	0	0	1	1

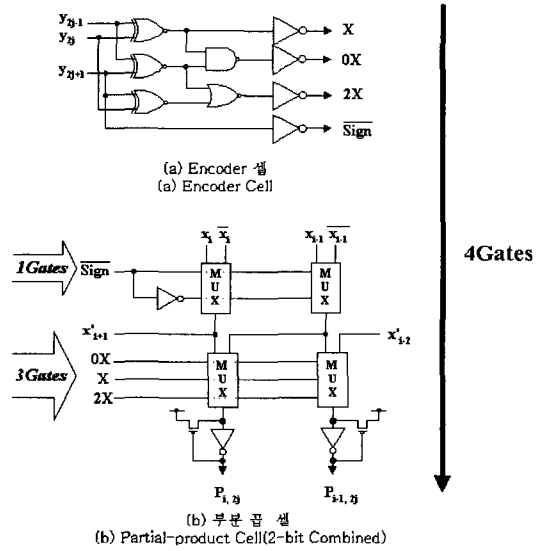


그림 2. 제안하는 고속 Booth encoder 블록
Fig. 2. Block diagram for Booth encoder.

결론적으로 부호를 결정하는 Sign 연산자를 다른 연산자들보다 먼저 구동시켜, 피승수 값의 부호가 미리 결정 난 상태에서 부분 곱 셀이 부분 합을 생성함으로써 부호화 속도를 향상시킨 것이다. 또한, 트랜지스터 수가 기존의 것에 비해 감소되어 면적과 전력소모측면에서도 유리하다.

그림 3은 제안하는 Booth encoder의 모의실험 결과이며 표 2는 모의실험 결과를 정리한 것이다.

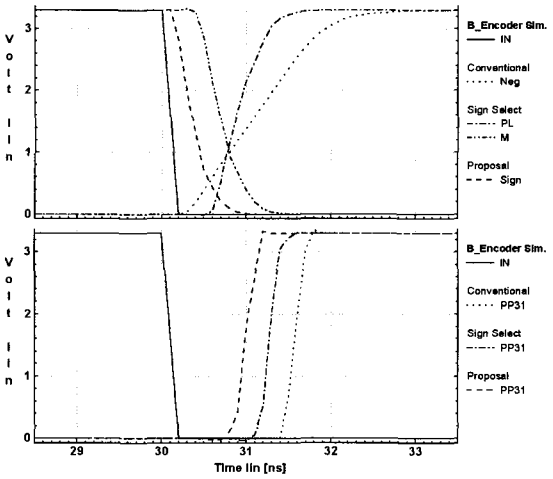


그림 3. 제안하는 Booth encoder의 모의실험 결과
Fig. 3. Simulation waveform for Booth encoder.

표 2. 제안하는 Booth encoder의 모의 실험 결과
Table 2. Simulation Results for Booth encoder.

Booth Encoder Type	Tr. Count	Delay[ns] ± → P[31]	Power [μW/㎒]	P·D[ET]
Conventional CMOS	621	1.04 → 1.48	96.88	143.4 [1]
Improved Sign-Select	444	0.68 → 1.17	58.56	68.5 [0.48]
Proposed High Speed Sign	406	0.24 → 0.89	58.26	51.9 [0.36]

2. 압축기 블록

그림 4에 나타난 것과 같이 제안된 복합모드로직 스타일의 전가산기는 2단으로 구성되어 있다. CMOS 로직의 장점인 안정적인 구동능력과 PTL의 장점인 저전력과 고속동작을 조합시킴으로써 새로운 고성능 로직을 구현할 수 있다. 이 조합적인 로직 구성은 입력 단에는 Dual-rail의 배선증가로 인한 전력소모 및 집적도 증가를 막기 위해, 동작 안정성이 좋은 Single-rail의 CMOS 로직이 사용되었다. 또한 저전력 및 고속동작을 위해 출력구동 능력이 좋은 DPL을 Single-rail 형태로 구현하여 출력 단을 구성하였다.[4-5]

따라서 본 논문에서 제안하는 복합모드로직은 전가

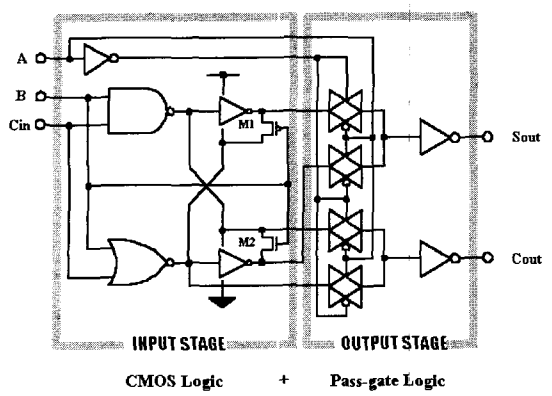


그림 4. 복합모드로직 형태의 전가산기
Fig. 4. Compound Mode Logic Full-adder.

산기 구현에 가장 유리함을 알 수 있으며, 레이아웃 측면에서도 기존 PTL의 복잡한 라우팅이 배제되므로 면적이 감소한다. 제안된 전가산기의 성능을 입증하기 위해 3가지 다른 전가산기 회로와 비교하였다.(CMOS, LEAP, CPL 전가산기) 그림 5는 각 전가산기들의 지연시간과 전력소모를 비교하여 나타낸다. 표 3은 각 전가산기들의 모의실험 결과를 비교하였으며, 모의 실험 결과 복합 모드 로직 스타일의 전가산기의 PD 곱은 CMOS 전가산기 보다 약 40% 개선되었다.

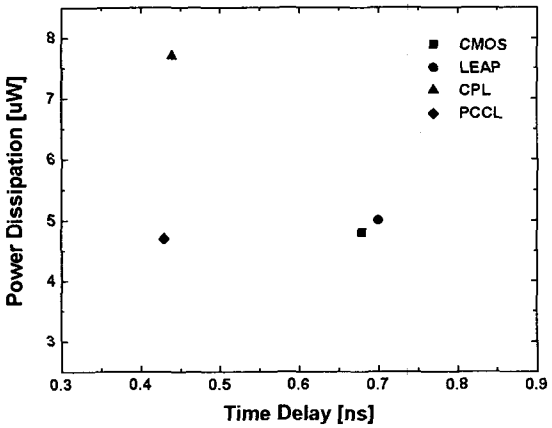


그림 5. 각 전가산기들의 지연과 전력소모 비교
Fig. 5. Power versus Delay with CL=20fF.

앞선 절에서 논했듯이 실질적으로 32×32-bit 곱셈기의 부분 합 일렬 데이터는 16-bit이 아닌 17-bit의 일렬 데이터가 생성된다. 즉, 수정된 Booth 알고리즘으로 구현된 Booth encoder 블록은 곱셈 Bit수의 1/2에 1-bit이 추가된 부분 합 일렬 데이터를 생성하게 된다. 그 이유는 마지막 Booth encoder 단의 2진 보수처리로 인한 1-bit(LSB)이 추가되기 때문이다. 따라서 4-2 압축기를 사용하게 된다면 추가된 1-bit의 연산을 위해 또 다른 연산을 하여야 한다. 이런 문제점을 해결하기 위해, 4-2 압축기 구조의 지연을 만족하며 1-bit을 추가로 압축할 수 있는 9-2 압축기 사용을 본 연구에서 제안한다.

표 3. 각 전가산기들의 모의실험 결과 비교
Table 3. Simulation Results for Full-adder.

FA Styles	Tr. Count	Delay[ns]			Power [μW/MHz]	P·D[fJ]
		Sum	Carry	Total		
CMOS (Single)	28	0.8	0.56	0.68	4.8	**3.3 [1]**
LEAP (Single)	24	0.79	0.61	0.7	5.0	**3.5 [1.06]**
CPL (Dual)	32	0.48	0.4	0.44	7.7	**3.4 [1.03]**
PCCL (Single)	28	0.48	0.38	0.43	4.7	**2.0 [0.6]**

3. 조건 합 가산기

고속 64-bit 가산을 얻기 위해, 제안된 조건 합 가산기(분리된 carry 생성 블록을 가짐)의 구조를 그림 6에 도시하였다. 그림에서와 같이, 8개의 조건 합 모듈과 1개의 module carry generation block(MCGB)으로 구성되어 있으며, 고속 동작을 가능케 하기 위해서, MCGB는 조건 합 모듈과 분리되어있다.[6-7]

Ⅳ. 측정 결과

0.6㎛ CMOS공정으로 설계된 32×32-bit 곱셈기는 1.59×1.68 mm2 크기로 28,732개 트랜지스터로 구성됐으며 공급전압 3.3V에 9.8ns 동작지연과 180mW 전력소모를 갖는 측정결과를 얻어냈다. 그림 7은 전체 칩 사진을 나타냈다. 곱셈기 주경로 측정 파형과 Pad에 따른 지연 측정 파형을 그림 8에 나타냈다. 측정된 파형은 승수 값으로부터 ±2X 변화에 따른 곱셈 출력을 얻어낸 것이다. 그림 8에 나타냈듯이 16ns를 갖는 곱셈기 주경로에서 Pad 지연 6.2ns를 제외하면 실제 제안된 32×32-bit 곱셈기 지연은 9.8ns가 된다. 따라서, 전체 32×32-bit 곱셈기는 전체 곱셈연산에 9.8ns 지연을 갖게 되며 이것은 제안된 고속 Booth encoder 블록과 고성능 전가산기로 구성된 압축 블록, 분리된 고속 carry

생성블록을 갖는 조건 합 가산기로부터 얻어진 결과이다. 본 연구에서 제안된 곱셈기 측정결과를 표 4에 정리해 나타냈다.

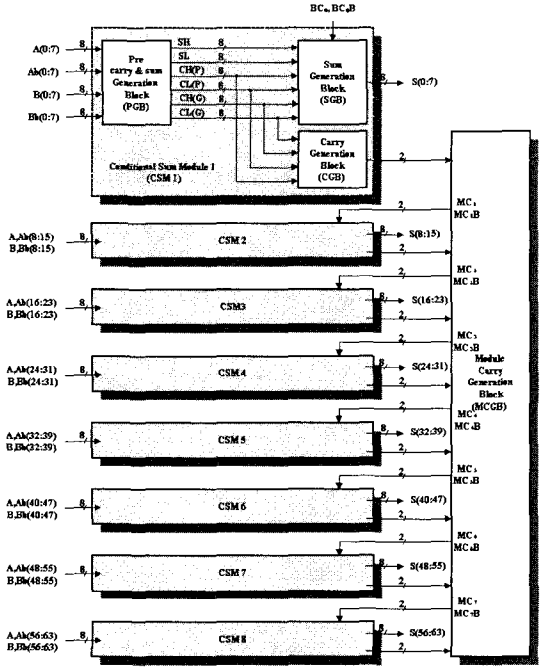


그림 6. 64-bit 조건 합 가산기 블록
Fig. 6. The blocks of 64-bit conditional sum adder.

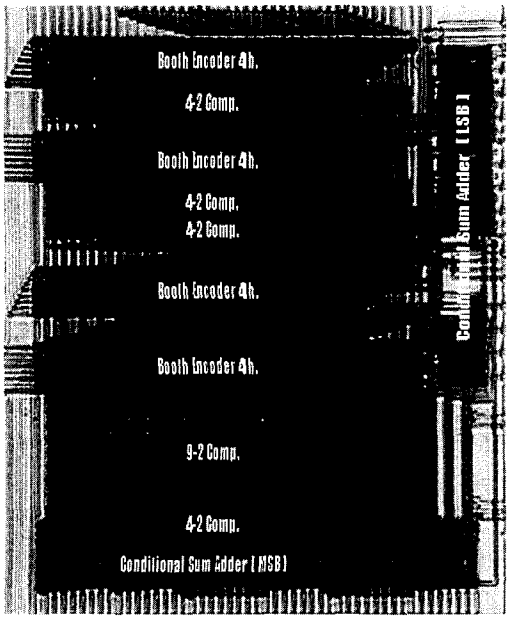
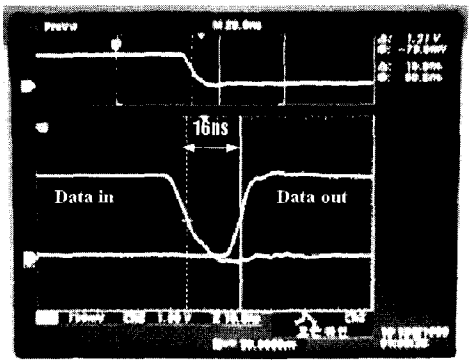
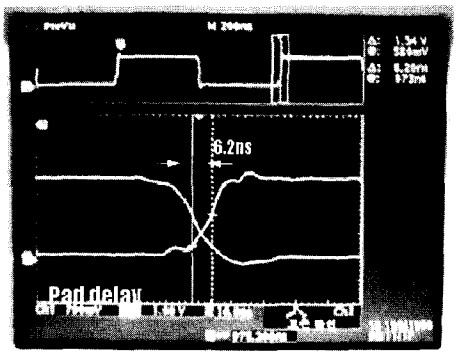


그림 7. 32×32-bit 곱셈기의 칩 사진
Fig. 7. A photomicrograph of the 32×32-bit multiplier



(a) Pad를 포함한 전체지연시간
(a) Wavwform for crifical path



(a) Pad 및 출력버퍼의 지연시간
(b) Wavwform for pad delay

그림 8. 제안하는 곱셈기의 측정 파형
Fig. 8. Measured waveform for proposed multiplier.

표 4. Table 측정 결과
Table 4. Summary of Measure Results.

Process	0.6㎛ CMOS (One poly, Triple metal)
Multiplier, Multiplicand	32-bit (Two's complement)
Product	64-bit (Two's complement)
Supply voltage	3.3V
Multiplication	9.8ns
Power dissipation	186mW(at 100MHz)
Core area size	1.59×1.68 mm²
Transistor count	28,732

V. 결 론

본 논문에서는 기존 로직형식들 즉, CMOS 로직과 PTL의 장점들을 적용한 새로운 고성능 로직을 제안하였다. 제안한 복합모드로직은 기존 CMOS 로직에 비해 PD곱을 22% 향상시킨 결과를 얻어냈다. 이것은 적절한 구동능력 조합이 로직성능에 큰 영향을 준다는 사실을 의미하였다. 제안한 복합모드로직을 이용하여 DSP 칩 성능에 핵심적 역할을 담당하는 곱셈기(32×32-bit)를 설계하였다. 본 논문의 곱셈기는 기존 부호화 기법을 64% 향상시킨 개선된 사인선택 Booth 인코더, 새로운 고성능 복합모드로직의 전가산기로 구성된 압축블록, 그리고 carry 생성블록을 분리시켜 고속동작을 수행하는 64-bit 조건 합 가산기로 구현되었다. 제안한 곱셈기는 0.6㎛ 표준 CMOS공정을 이용하여 제작하였으며, 3.3V 의 전원전압에 대해 1.59×1.68㎟의 면적, 단계적인 Pipelining 기법 없이도 9.8ns의 지연시간, 그리고 100MHz의 동작속도에서 186mW의 전력을 소모하였다.

참 고 문 헌

[1] T. Sakurai and A. R. Newton, "Low-Power Circuit Design for Multimedia VLSI," in Proc. IEEE ICVC'95, pp. 37-42, Oct., 1995.

[2] K. Yano, Y. Sasaki, K. Rikino, and K. Seki, "Top-Down Pass- Transistor Logic Design," IEEE J. of Solid-State Circuits, vol. 31, no. 6, pp. 792-803, Jun., 1996.

[3] T. Sakurai and A. R. Newton, "Multi-Output Shared Transistor Logic(MOSTL) Family Synthesized Using Binary Decision Diagram (BDD)," Dept. EECS, Univ. of Calif., Berkeley, ERL Memo M90/21, Mar., 1990.

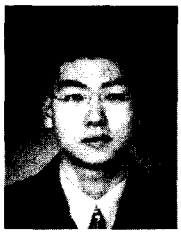
[4] K. Yano, T. Yamanaka, T. Nishida, M. Saito, K. Shimohigashi, and A. Shimizu, "A 3.8-ns CMOS 16x16-bit Multiplier Using Complementary Pass-transistor Logic," IEEE J. of Solid-State Circuits, vol. 25, no. 2, pp. 388-395, Apr., 1990.

[5] A. P. Chandrackasan and R. W. Brodersen, Low power Digital CM- OS Design. Norwell, MA: Kluwer, 1995.

[6] Reto Zimmermmann and Wolfgang Fichtner "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic," IEEE J. of Solid-state Circuits, vol. 32, no. 7, pp. 1079-1090, July, 1997.

[7] Neil H. E. Weste and Kamran Eshraghian, Principles of CMOS VLSI Design, 2nd edition, Addison-wesley pub. co., pp. 231-237.

저 자 소 개



金 鎭 和(正會員)

동국대학교 반도체과학과 학사.(1999년), 석사(2001년) 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템설계

宋 敏 圭(終身會員)

서울대학교 전자공학과 학사('86년), 석사('88년), 박사('93년). '93년-94년 일본 동경 대학교 전자공학과 초빙연구원, '95년-96년 삼성전자 ASIC 설계팀 선임연구원, '97년- 현재 동국대학교 반도체과학과 조교수, 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템설계