

論文2001-38SD-4-2

저전압 DRAM 회로 설계 검토 및 제안

(Reviews and Proposals of Low-Voltage DRAM Circuit Design)

金榮熙*, 金光現**, 朴鴻濬**, 魏在慶***, 崔珍赫***

(Young-Hee Kim, Kwang-Hyun Kim, Hong-June Park, Jae-Kyung Wee, and Jin-Hyeok Choi)

요약

반도체 소자가 소형화 되면서 소자의 신뢰성을 유지하고 전력 소모를 줄이기 위해 기가-비트 DRAM의 동작 전압은 1.5V 이하로 줄어들 것으로 기대된다. 따라서 기가-비트 DRAM을 구현하기 위해 저전압 회로 설계 기술이 요구된다. 이 연구에서는 지금까지 발표된 저전압 DRAM 회로 설계 기술에 대한 조사결과를 기술하였고, 기가-비트 DRAM을 위해 4가지 종류의 저전압 회로 설계 기술을 새로이 제안하였다. 이 4가지 저전압 회로 설계 기술은 subthreshold 누설 전류를 줄이는 계층적 negative-voltage word-line 구동기, two-phase VBB(Back-Bias Voltage) 발생기, two-phase VPP(Boosted Voltage) 발생기와 밴드갭 기준전압 발생기에 대한 것인데, 이에 대한 테스트 칩의 측정 결과와 SPICE 시뮬레이션 결과를 제시하였다.

Abstract

As the device scaling proceeds, the operating voltage(VDD) of giga-bit DRAMs is expected to be reduced to 1.5V or down, for improving the device reliability and reducing the power dissipation. Therefore the low-voltage circuit design techniques are required to implement giga-bit DRAMs. In this work, state-of-art low-voltage DRAM circuit techniques are reviewed, and four kinds of low-voltage circuit design techniques are newly proposed for giga-bit DRAMs. Measurement results of test chips and SPICE simulation results are presented for the newly proposed circuit design techniques, which include a hierarchical negative-voltage word-line driver with reduced subthreshold leakage current, a two-phase VBB(Back-Bias Voltage) generator, a two-phase VPP(Boosted Voltage) generator and a bandgap reference voltage generator.

I. 서론

* 正會員, 昌原大學校 電子工學科

(Dept. of Electronic Engineering Changwon National University.)

** 正會員, 浦港工科大学交 電子電氣工學科

(Dept. of Electrical Engineering Pohang University of Science and Technology(POSTECH))

*** 正會員, 現代電子 메모리開發研究所

(Memory Research and Development Division Hyundai Electronics)

接受日字:2000年8月29日, 수정완료일:2001年3月29日

저전압 DRAM 동작은 소형화된 반도체 소자의 신뢰성을 유지하고 대용량 DRAM에서 전력 소모를 줄이기 위해 필수적이다¹⁻³⁾. 시스템의 전력 소모를 줄이고 소자의 높은 신뢰성을 유지하기 위해 전원 전압(VDD)은 64Kb DRAM에서 12V에서 5V로, 이후 64Mb DRAM 세대에서 3.3V로 그리고 1Gb DRAM에서 2.5V로 감소되었다. VDD와 관련해서 DRAM 제조업체는 DRAM 소자의 높은 신뢰성을 유지하기 위해 VDD를 줄이는 것을 선호하는 반면, 사용자는 같은 VDD를 유지하는

것을 선호한다. Voltage-down converter는 이 둘 사이의 갈등을 해결하였다. 16Mb DRAM 세대에서 내부공급전압 V_{INT} 은 3.3~4V의 전압을, 64Mb DRAM에서는 2.2~2.5V의 전압을, 256Mb DRAM에서는 1.8~2.5V의 전압을 그리고 1Gb DRAM에서는 1.5~1.8V의 전압을 사용하고 있다. 이처럼 VDD와 V_{INT} 의 감소 추세에 따라 VDD가 2V이하이면서 V_{INT} 은 1.5V 이하의 저전압 DRAM 회로 설계가 요구된다. 저전압 DRAM 설계에서 관심이 되는 분야는 크게 DRAM 코어 회로와 DC 전압 발생기로 구분된다. DRAM 코어관련 저전압 회로 설계는 refresh 특성을 개선하기 위한 negative-voltage WL(Word-Line) 구동기와 고속 BL(Bit-Line) 센싱 방식이 있다. 그리고 DC 전압 발생기에서의 저전압 회로 설계는 VBB, VPP, Vref와 Half-VDD 전압발생기에 대한 것이다. 이 연구에서는 지금까지 발표된 저전압 DRAM 회로 설계 기술에 대한 조사결과를 기술하였고, 기가-비트 DRAM을 위해 4가지 종류의 저전압 회로 설계 기술을 새로이 제안하였다. 4가지 저전압 회로 설계 기술은 subthreshold 누설 전류를 줄이는 계층적 negative-voltage word-line 구동기, two-phase VBB (Back-Bias Voltage) 발생기, two-phase VPP(Boosted Voltage) 발생기와 밴드갭 기준전압 발생기에 대한 것이다.

II. DRAM 코어

DRAM 코어관련 저전압 회로 설계는 refresh 특성을 개선하기 위한 negative-voltage WL(Word-Line) 구동기와 고속 BL(Bit-Line) 센싱 방식이 있다. 저전압 동작에서 줄어든 QS(storage charge)로 인해 refresh 시간이 줄어들 것을 개선하기 위해 shallow VBB 레벨이 채택되었다. Refresh 특성은 DRAM cell 트랜지스터에서 접합 누설 전류와 subthreshold 누설 전류에 의해 주로 결정된다. Shallow VBB 레벨은 cell의 storage 노드와 P-well 사이의 역방향 바이어스 전압을 줄여 공핍 영역에서의 열 생성(thermal generation) 전류를 줄이므로 접합에서의 누설 전류를 줄인다. 그러나 shallow VBB 레벨은 DRAM cell 트랜지스터의 문턱전압을 낮추어 OFF 상태에서 subthreshold 전류는 증가하여 무시할 수 없게 된다. DRAM cell 트랜지스터의 subthreshold 전류를 억제하기 위한 방법으로 BSG(Boosted Sense-Ground) 방식이 제안되었다^[4]. 그

러나 이 방식은 BL 스윙이 VDD보다 작기 때문에 BL sense 전압을 줄여 refresh 특성을 취약하게 하므로 저전압 동작에는 적합하지 않다. 그래서 shallow VBB로 인한 subthreshold 전류가 증가하는 것을 억제하기 위해 negative-voltage word-line 구동 기법이 제안되었다^[3]. 그림1은 negative-voltage WL 구동기의 회로도를 보여준다. 선택되지 않은 WL의 전압은 shallow VBB인 -0.5V 이다. 그래서 long tRAS cycle동안 DRAM cell 트랜지스터의 VGS(gate-to-source voltage)를 negative로 하여 subthreshold 전류를 줄이므로 좋은 refresh 특성을 얻을 수 있다. WL이 선택되었을 때는 기존의 word-line driver처럼 VPP(Boosted Voltage)로 cell에서의 VT(threshold voltage) 손실을 제거한다.

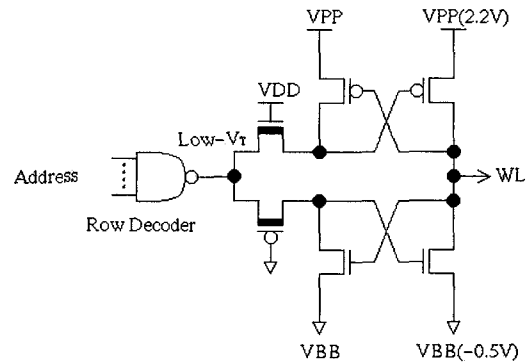


그림 1. Negative-voltage WL 구동기

Fig. 1. Negative-voltage WL Driver.

그림 1의 negative-voltage WL 구동기는 계층적인 WL 구동기 구조^[5]가 아니기 때문에 조밀한 WL metal 간격(pitch)으로 인해 공정상의 마진이 없을 뿐만 아니라 반복되는 X-디코더에서 subthreshold 전류는 기가-비트 DRAM에서는 무시할 수 없다. 그래서 이 논문에서는 metal WL에서의 공정 마진을 확보하고 반복되는 WL 구동기에서의 subthreshold 전류를 줄이는 계층적 negative-voltage WL 구동 방식을 제안하였다. X-디코더에서의 subthreshold 전류는 OFF된 PMOS와 NMOS 트랜지스터를 통해 VDD와 VSS, VPP와 VBB로 흐른다. VDD와 VSS로 흐르는 subthreshold 전류를 줄이기 위해 부가적인 채널 주입(channel implantation)없이 triple-well 구조를 이용하여 N-well과 P-well 바이어스를 각각 VPP와 VBB에 연결한 high-VT의 MOS 트랜지스터를 사용하여 subthreshold 전류를 줄였고,

VPP와 VBB로 흐르는 전류는 self-reverse 바이어싱 방식^[6]을 사용하여 줄였다.

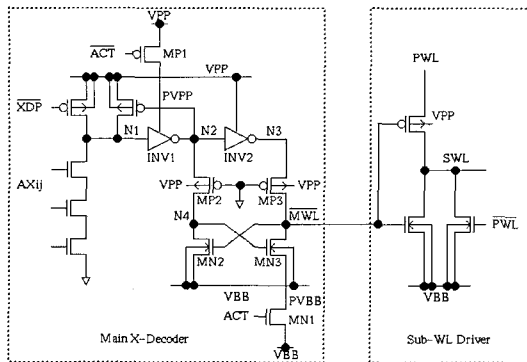


그림 2. 개선된 계층적 negative-voltage WL 구동기
Fig. 2. Improved hierarchical negative-voltage WL driver.

그림 2는 개선된 계층적 negative-voltage WL 구동기 회로도도를 보여준다. 대기(Stand-by) 모드에서 WL 전압은 negative 전압인 VBB이다. 계층적인 CMOS WL은 main X-디코더로부터 나오는 main word-line (\overline{MWL})과 CMOS sub-word-line(SWL)들로 구성되어 있다. 하나의 \overline{MWL} 는 4개 또는 8개의 SWL에 의해 공유되어 있으므로 metal layout 간격을 증가시켜 공정 마진을 확보한다. 선택되는 SWL은 \overline{MWL} 과 complementary predecoded word-line(PWL)이 모두 활성화되었을 때 ON된다. 대기 모드에서 \overline{XDF} 는 0로 N1, N2, N3, N4와 \overline{MWL} 의 전압은 각각 VPP, 0, VPP, VBB와 VPP이다. 이 경우 subthreshold 전류는 MN3, INV1의 PMOS 트랜지스터와 INV2의 NMOS 트랜지스터에서 흐른다. 이 subthreshold 전류를 줄이기 위해 self-reverse 바이어싱 방식을 도입하여 INV1의 공통 소오스 노드인 PVPP와 VPP 사이에 PMOS 트랜지스터 MP1을 삽입하였고 MN3의 공통 소오스 노드인 PVBB와 VBB 사이에 NMOS 트랜지스터 MN1을 삽입하였다. 대기 모드에서는 MP1과 MN1 모두 OFF되어 있으므로 반복적으로 배치되어 있는 main X-디코더에서 VPP와 VBB 노드로의 subthreshold 전류는 MP1과 MN1의 채널 폭에 의해 결정된다. 그리고 INV2의 NMOS 트랜지스터의 P-well은 그림 3에서와 같이 VBB에 연결되어 있어 high- V_T 를 가지므로 subthreshold 전류는 무시할 만하다. 그래서 전체적으로 main X-디코더에서의 subthreshold 전류를 줄일 수 있다. 일반적으로 triple-well 구조는 (-particle과 외부

판에서의 undershoot으로 인해 cell 트랜지스터로 유기되는 noise charge를 줄이기 위해서 사용된다.

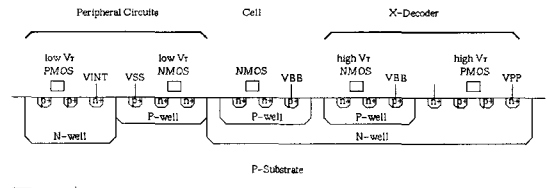


그림 3. Triple-well 구조에서 Dual-VT를 갖는 MOS 트랜지스터의 단면도
Fig. 3. Cross-sectional view of Dual-VT MOS transistor in triple-well structure.

그림 4의 predecoded word-line 구동기 회로에 subthreshold 전류는 MP12, MP14, MN11, MN13과 INV11의 PMOS 트랜지스터에서 흐른다. INV11의 PMOS 트랜지스터는 그림 3에서와 같이 N-well이 VPP에 바이어스되어 있으므로 high- V_T 를 가져 subthreshold 전류는 무시할 만하다. MP12와 MP14의 subthreshold 전류를 줄이기 위해 PMOS 트랜지스터 MP10이 VPP와 PVPP 사이에 삽입되어 subthreshold 전류를 줄인다. 그리고 MN11과 MN13에서의 subthreshold 전류를 줄이기 위해 MN10이 VBB와 PVBB 사이에 연결되어 있다. 활성(Active) 모드에서 행 어드레스(row address)에 의해 PWL이 선택되면 PWL은 VBB에서 VPP로 스위칭하여 Sub-WL driver에 의해 SWL을 활성화한다. 그림 2와 그림4에 계층적인 power line 방식^[7]을 적용하면 대기 모드와 활성 모드 모두 subthreshold 전류를 더 줄일 수 있다.

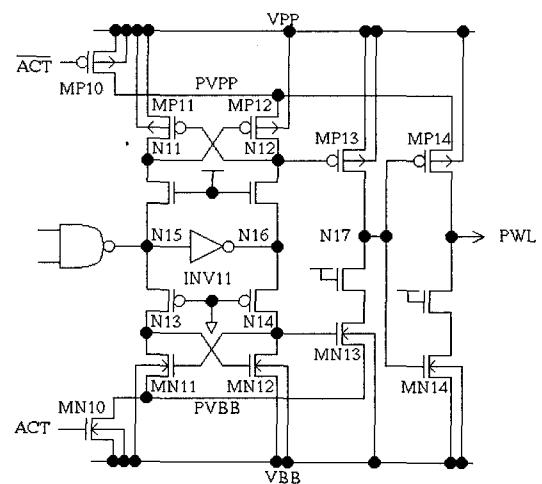


그림 4. Predecoded WL구동기
Fig. 4. Predecoded WL driver.

BL S/A(Sense Amplifier)의 센싱 속도는 저전압으로 갈수록 상당히 느려진다. 이것은 센싱 초기에 S/A의 V_{GS} 전압이 거의 $V_{DD}/2$ 이기 때문이다. 저전압 동작에서 센싱 속도를 빠르게 하기 위해 BL S/A의 V_T 를 줄이는 방식과 센싱 초기에 BL S/A의 V_{GS} 를 증가시키는 방식들이 제안되었다. 이 방식들은 BL S/A에서 구동 전류를 증가시켜 센싱 속도를 빠르게 하기 위한 것들이다.

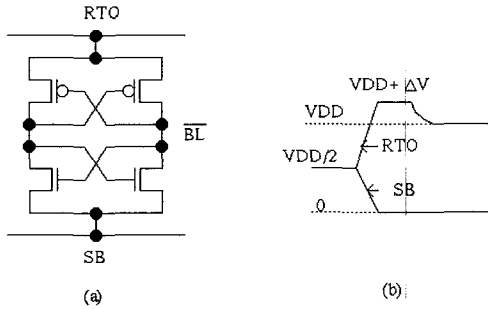


그림 5. Overdrive BL 센싱 방식
Fig. 5. Overdrive BL sensing scheme.

그림 5는 overdrive BL 센싱 방식^[8]으로 센싱 초기에 복구(restore) 신호인 RTO의 전압을 VDD보다 높은 전압($V_{DD} + \Delta V$)으로 구동하므로 PMOS cross-coupled 트랜지스터에서 V_{GS} 를 크게 하여 센싱 속도를 증가시켰다. 그리고 적당히 BL이 센싱된 후 RTO는 VDD로 구동된다.

그림 6의 triple-well 구조^[9]에서는 BL S/A, cell과 주변 회로를 위한 3가지 종류의 NMOS 트랜지스터를 만들 수 있다. 저전압에서 동작 마진을 확보하기 위해 BL S/A와 열(column) 스위치등에 사용되는 NMOS는 P-well 바이어스를 GND로 하므로 low- V_T 를 가진다^[10]. Cell 트랜지스터는 -1V의 back bias를 갖는 P-well 안에 형성된다.

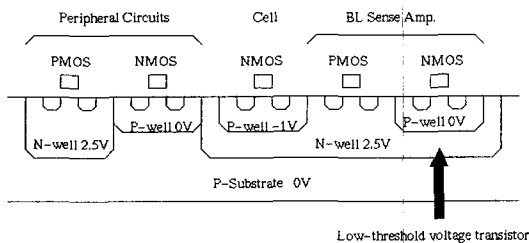


그림 6. Low- V_T NMOS cross-coupled BL S/A의 단면도
Fig. 6. Cross-sectional view of low- V_T NMOS cross-coupled BL S/A.

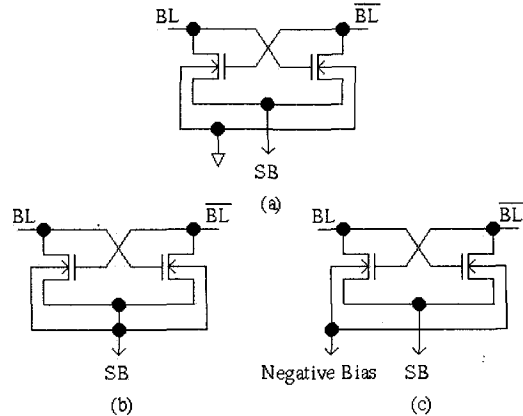


그림 7. Well-synchronized sensing/equalizing의 개념
(a) 기존의 방식 (b) sensing/equalizing 구간 동안 body effect를 피하기 위한 방법 (c) 활성화 구간동안 subthreshold 전류를 줄이는 방법
Fig. 7. Two concepts of the well-synchronized sensing and equalizing method (a) conventional scheme (b) avoiding body effect(sensing and equalizing period) (c) Avoiding leakage current(activation period).

그림 7(a)는 기존의 방식에서 BL 센싱 초기에 V_{SB} (source-to-bulk voltage)는 거의 half-VDD가 걸려 body effect에 의해 V_T 는 거의 0.2~0.3V 정도 증가하여 저전압에서 센싱 속도는 상당히 느리다. Well-driving 방식^[11]은 센싱과 equalizing동안 그림 7(b)에서 보는 바와 같이 트랜지스터의 소오스와 well 전압을 연결하므로 NMOS와 PMOS 트랜지스터에 대한 back-gate 바이어스는 제거되어 V_T 는 낮아진다. 이렇게 하므로 센싱과 equalizing 속도는 빨라진다. 그리고 활성화 구간에서 센싱이 끝난 경우는 그림 7(c)에서 보는 바와 같이 well에 back-gate 바이어스를 인가하여 문턱 전압을 증가시키므로 subthreshold 전류를 줄인다.

III. DC 전압 발생기

DC 전압 발생기에서의 저전압 회로 설계는 VBB, VPP, Vref와 Half-VDD 전압발생기에 대해 연구되고 있다. Negative 전압의 VBB는 VBB 전하 펌프(charge pump) 회로에서 p-substrate로 음 전하를 펌핑하므로 만들어진다^[12]. 그림 8(a)에서의 하이브리드 펌핑 방식을 가지는 기존의 VBB 전하 펌프 회로^[13]는 1.5V

DRAM 칩에서 사용되었다. PMOS 트랜지스터 MP1은 CLK 전압이 VDD일 때 노드 N1의 가장 높은 전압을 $|V_{TP}|$ 로 클램프하기 위해 사용되었다. CLK 전압이 0(Ground level)일 때 노드 N1의 전압은 $|V_{TP}| - V_{DD}$ 로 되고, NMOS 트랜지스터 MN1은 OFF되고 PMOS 트랜지스터 MP2는 ON되어 그림 8(b)에서 보는 바와 같이 노드 N2의 전압을 0로 precharge한다. CLK 전압이 다시 0에서 VDD로 갔을 때 N1의 전압은 $|V_{TP}|$ 가 되어 MP2는 OFF되며, 캐패시터 C1을 통한 capacitive 커플링에 의해 N2의 전압은 $-V_{DD}$ 가 되고 음 전하는 VBB 노드로 펌핑되어서 VBB 전압이 negative가 된다. 음전하 펌핑은 그림 8(b)의 정상 상태에서의 timing diagram에서 보는 바와 같이 한 사이클에 한번만 일어난다.

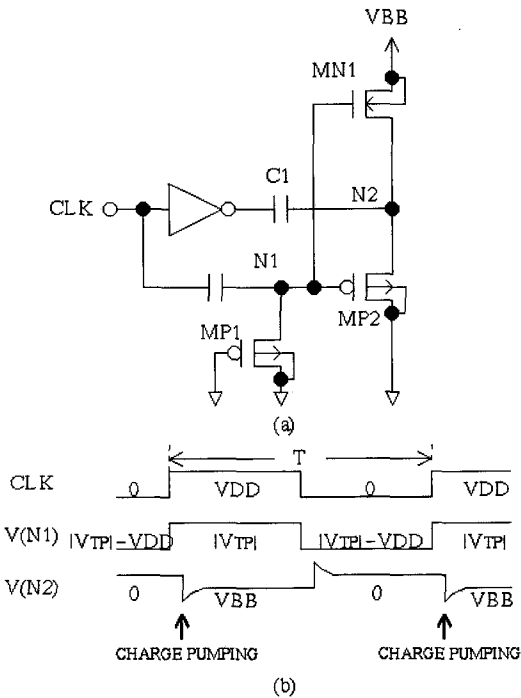


그림 8. 하이브리드 펌핑 회로를 사용한 VBB 전하 펌프 회로 (a) VBB 전하 펌프 회로 (b) 정상 상태에서의 timing diagram.

Fig. 8. Conventional VBB charge pump circuit using hybrid pumping scheme (a) conventional VBB charge pump circuit (b) steady-state timing diagram.

CLK 전압이 0일 때 N1의 전압은 그림 8(b)에서와 같이 $|V_{TP}| - V_{DD}$ 이고, 이 전압은 MP2가 ON되기 위해 $-|V_{TP}|$ 보다 작아야 한다. 그렇지 않으면 MP2는 weak

inversion이나 cut-off 영역에 있고 펌핑 효율은 저하된다. 그러므로 VDD는 다음 조건 식 (1)을 만족하기 위해 $2|V_{TP}|$ 보다 커야 한다.

$$|V_{TP}| - V_{DD} < -|V_{TP}| \quad (1)$$

하이브리드 펌핑 방식을 가지는 기존의 VBB 전하 펌프 회로는 저전압 동작에서 클램프 트랜지스터의 문턱 전압손실로부터 고생하고 VDD의 저전압 한계는 $-2 \cdot V_T$ 이다.

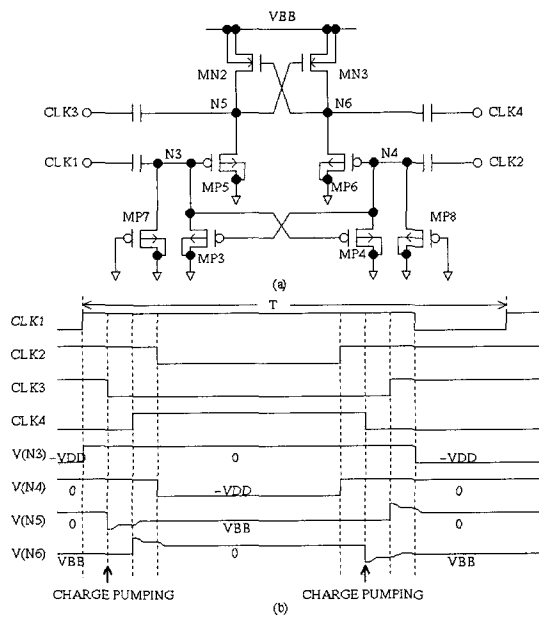


그림 9. 새롭게 제안된 2-phase VBB 전하 펌프 회로 (a) 2-phase VBB 전하 펌프 회로 (b) 정상 상태에서의 timing diagram.

Fig. 9. Newly proposed two-phase VBB charge pump circuit (a) two-phase VBB charge pump circuit (b) steady-state timing diagram.

하이브리드 펌핑 방식이 가지는 문제점을 해결하기 위해 그림 9(a)의 two-phase VBB 전하 펌프 회로^[14]가 제안되었다. Two-phase VBB 전하 펌프 회로는 4개의 클럭 펄스가 사용된다. MP7, MP8, MP3와 MP4는 그림 8(a)의 MP1과 비슷한 역할을 한다. MP5와 MP6는 그림 8(a)의 MP2와 비슷하게 동작한다. MP7과 MP8은 VDD가 인가된 후 초기 시간 구간 동안 노드 N3와 N4의 가장 높은 전압을 $|V_{TP}|$ 로 클램프하기 위해 사용되었다. Cross-coupled PMOS 트랜지스터 MP3와 MP4는

정상 상태동안 N3와 N4의 가장 높은 전압을 0로 만든다. 그러므로 N3와 N4의 정상 상태 전압은 MP3와 MP4로 인해 -VDD와 0 사이에서 스윙한다. 그림 9(a)의 각 노드에 대한 전압 파형은 그림9(b)에서 보여진다. 정상 상태에서 CLK1 전압이 0일 때 N3는 -VDD를 유지하고 PMOS 트랜지스터 MP4와 MP5는 ON되어 N4와 N5의 노드 전압을 0로 precharge한다. CLK1 전압이 0에서 VDD로 변할 때 N3의 전압은 0가 되고 MP4와 MP5는 모두 OFF된다. CLK1 전압이 VDD를 유지하면서 CLK3 전압이 VDD에서 0로 변할 때 N5의 전압은 -VDD가 된다. 다음에 CLK1과 CLK3 전압이 각각 VDD와 0를 유지하면서 CLK4의 전압이 0로부터 VDD로 변할 때 MN2가 ON되어 N5의 negative 전하는 MN2를 통해 VBB 노드로 완전히 전달된다. 또한 CLK3 전압이 0로부터 VDD로 변할 때 노드 N6의 negative 전하는 MN3를 통해 VBB 노드로 완전히 전달된다. 그래서 그림 9(b)에서 보는 것처럼 negative 전하 펌핑은 1 사이클에서 2번(two-phase pumping) 일어난다. 전하 펌프 회로의 적절한 동작을 위하여 PMOS 트랜지스터 MP5는 N3의 전압이 -VDD일 때 ON되어야 한다. 이 요구를 만족시키기 위해 VDD는 다음 조건을 만족시켜야 한다.

$$-VDD < -|V_{TP}| \quad (2)$$

그러므로 VDD는 하이브리드 펌핑을 이용한 기존의 VBB 전하 펌프 회로에 대해 $2|V_{TP}|$ 인 것에 비해 two-phase VBB 전하 펌프 회로는 $|V_{TP}|$ 보다 크면 된다.

그림 10은 부하 전류(load current)가 없는 경우를 가정한 two-phase VBB 전하 펌프 회로의 시뮬레이션과 측정된 VBB 전압을 보여준다. 측정과 시뮬레이션 사이에 좋은 일치를 보여준다. Two-phase VBB 전하 펌프 회로는 그림 9(a)의 cross-coupled PMOS 트랜지스터 MP3와 MP4를 이용하여 클램프 트랜지스터의 $|V_{TP}|$ 손실을 제거하므로 VDD가 1.0V까지 동작할 수 있다. 그림11은 VDD=1.5V에서 시뮬레이션된 VBB 펌핑 전류를 보여준다. Two-phase VBB 전하 펌프 회로는 하이브리드 펌핑 방식을 사용하는 VBB 전하 펌프 회로보다 더 큰 펌핑 능력을 가지고 있다. 그러므로 two-phase VBB 전하 펌프 회로는 하이브리드 펌핑 방식의 VBB 전하 펌프 회로보다 저전압 DRAM 설계에 더 적

합하다.

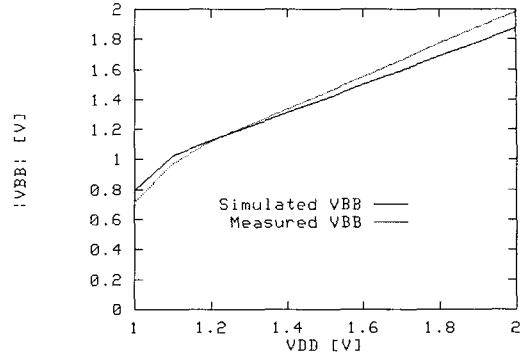


그림 10. 부하 전류가 없는 경우를 가정한 VBB 전하 펌프의 VBB 레벨.

Fig. 10. VBB level of VBB charge pump circuit without load current.

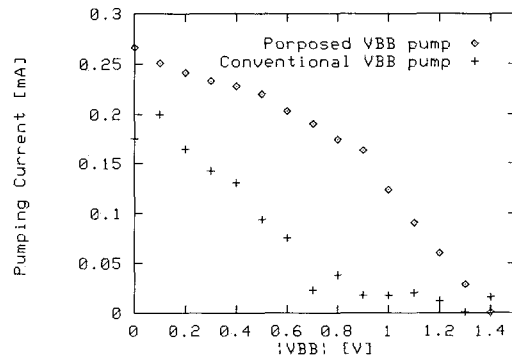


그림 11. VDD=1.5V에서 시뮬레이션된 VBB 펌핑 전류

Fig. 11. Simulated VBB pumping current at VDD=1.5V.

VPP 전압발생기는 DRAM cell과 주변 회로에서 NMOS 문턱 전압(V_{TN}) 손실을 제거하기 위해 사용한다. Cross-coupled NMOS 트랜지스터를 사용한 기존의 VPP 전하 펌프 회로^[1]는 그림 12에서 보여진다. 기존의 VPP 전하 펌프 회로는 main charge pump 회로 (CP1), pass 트랜지스터(MN18)과 control pulse generator(INV, CP2와 CP3)로 구성되어 있다. Main charge pump 회로(CP1)는 노드 N1과 N2에서 2VDD의 boost된 전압을 발생하기 위해 사용되었다. Control pulse generator(INV, CP2와 CP3)는 pass 트랜지스터 MN18의 게이트 전압을 발생하기 위해 사용되었다. 4개

의 클럭 신호(CLK1, CLK2, CLK3와 CLK4)는 non-overlapping 신호이다. CLK1과 CLK4는 non-overlap 시간을 제외하고는 기본적으로 같은 위상을 가진다. 또한 CLK2와 CLK3는 같은 위상을 가진다. 정상 상태에서 각 노드의 전압은 표 1에 표시되었다. CLK1과 CLK4가 VDD이고 CLK2와 CLK3가 0일 때 N1과 N7은 VPP와 VPP+VDD로 각각 충전된다. 그래서 노드 N1에 저장된 positive 전하는 NMOS 트랜지스터 MN18을 통하여 VPP 노드로 완전히 전달된다. 전하 펌핑이 계속됨에 따라 VPP는 2VDD를 향하여 증가한다. 그림 12(b)의 V(N7)에서 보는 것처럼 VPP 노드로의 positive 전하 펌핑은 1 사이클에 한번 일어난다.

으로 높다. 만약 VDD가 $V_{TN.MN15} + V_{TN.MN16}$ 보다 낮다면 NMOS 트랜지스터 MN16은 포화 영역에 있어 N4의 boost되는 전압은 $V_{PP} + 2V_{DD} - (V_{TN.MN15} + V_{TN.MN16})$ 이다. N4의 peak 전압이 N7에 직접 전달되기 때문에 N4의 boost되는 전압은 MN18이 ON되기 위해 $V_{PP} + V_{TN.MN18}$ 보다 커야 한다. 그렇지 않으면 NMOS 트랜지스터 MN18은 weak inversion이나 cut-off 영역에 있기 때문에 펌핑 효율은 급격히 떨어진다. 그러므로 공급 전압 VDD는 위에서 언급한 조건을 만족하기 위해 $0.5(V_{TN.MN15} + V_{TN.MN16} + V_{TN.MN18})$ 보다 더 커야 한다.

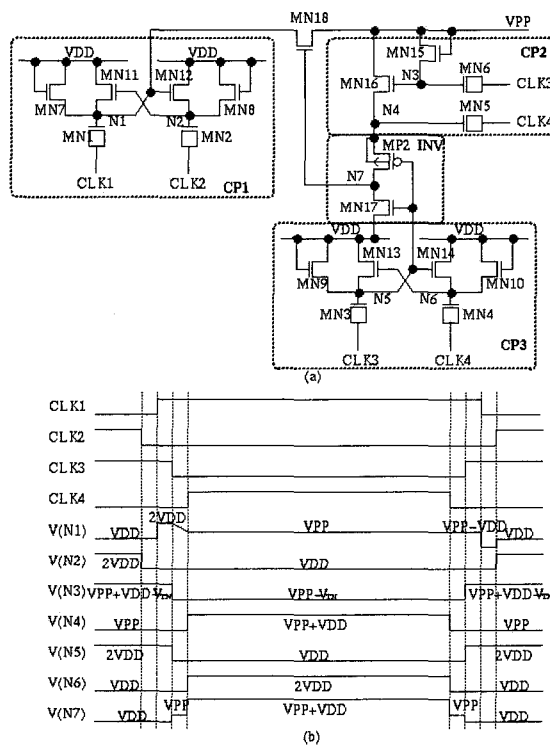


그림 12. (a) 기존의 VPP 전하 펌프 회로 (b) 정상 상태에서의 timing diagram
 Fig. 12. (a) Conventional VPP charge pump circuit (b) Steady-state timing diagram.

그림 12(a)의 전하 펌프 회로는 2가지 단점을 가지고 있다. 하나는 p-substrate에 대한 pass 트랜지스터(MN18)의 최대 게이트 전압이 $V_{PP} + V_{DD}$ ($2V_{DD}$)이기 때문에 게이트 oxide와 접합의 breakdown같은 신뢰성 문제를 가진다. 또 다른 단점은 VPP 전하 펌프 회로의 최소 동작 전압(V_{DDmin})이 $1.5V_{TN}$ 으로 상대적

표 1. 기존 VPP 회로의 노드 전압
 Table 1. Node voltages of the conventional circuit.

CLK1 and CLK4	0	VDD
CLK2 and CLK3	VDD	0
N1	VDD	VPP
N2	2VDD	VDD
N3	$V_{PP} + V_{DD} - V_{TN}$	$V_{PP} - V_{TN}$
N4	VPP	$V_{PP} + V_{DD}$
N5	2VDD	VDD
N6	VDD	2VDD
N7	VDD	$V_{PP} + V_{DD}$

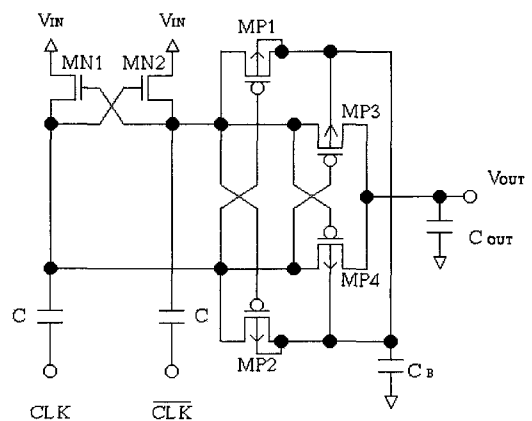


그림 13. PMOS 트랜지스터를 사용한 voltage doubler
 Fig. 13. Voltage doubler using a PMOS transistor.

NMOS 트랜지스터의 문턱 전압 손실을 제거하기 위

해 PMOS 트랜지스터를 사용한 voltage doubler^[15]가 제안되었다. 그러나 PMOS 트랜지스터는 기생하는 PNP 바이폴라 트랜지스터로 인한 전하 손실(charge loss) 문제를 야기시킨다. 기생하는 PNP 바이폴라 트랜지스터의 콜렉터, 베이스와 이미터는 PMOS 트랜지스터의 p-substrate, N-well과 소오스 노드에 각각 해당된다. 그림13의 bulk 스위칭 방식은 N-well 노드(PNP의 베이스)를 가장 높은 전위로 스위칭하므로 전하 손실 문제를 제거할 수 있다. 그러나 이 방식은 그림 13의 VOUT 전압이 $2VDD\phi_1$ 보다 작을 때 낮은 펌핑 효율로 고생한다. 여기서 ϕ_1 는 베이스-이미터 접합의 내부 전위(built-in potential)이다.

bulk-potential-bootstrapping 방식을 사용하므로 제거되었다. 그림 14(a)는 two-phase VPP 전하 펌프 회로를 보여주고 있으며, 여기서는 6개의 클럭 펄스가 사용되었다. VPP 전하 펌프는 precharging control circuit (PCC), bulk-potential-bootstrapping circuit(BPBC), 2개의 precharging 트랜지스터(MN23과 MN24), 2개의 전하 펌핑 캐패시터(MN21과MN22)와 2개의 pass 트랜지스터(MP11과 MP12)로 구성되어 있다. CLK11, CLK14와 CLK15는 non-overlap 시간을 제외하고는 기본적으로 같은 위상을 가진다. 유사하게 CLK12, CLK13과 CLK16은 기본적으로 같은 위상을 가진다. 정상 상태에서 각 노드 전압은 표2에서 나타나 있으며, 그들의 상세한 파형은 그림 14(b)에 나타나 있다. 노드 N13과 N14의 정상 상태 전압은 precharging control circuit으로 인해 VDD와 2VDD 사이에서 스윙한다. 그림 14(b)에 보이는 t_1 의 시간 구간동안 CLK11, CLK12, CLK13, CLK14, CLK15와 CLK16은 각각 VDD, 0, 0, VDD, VDD와 0이다. 그래서 N13과 N14의 전압은 각각 VDD와 2VDD가 된다. 그래서 NMOS 트랜지스터 MN24는 N12의 전압을 VDD로 precharge하고 MN23은 OFF된다. 그리고 N11과 N12의 전압은 각각 VPP와 VDD가 되고 노드 N11의 positive 펌핑 전하는 PMOS 트랜지스터 MP11을 통하여 VPP 노드로 완전히 전달된다. 그림14(b)에서 t_1 으로 표시된 시간 구간동안 N12의 positive 펌핑 전하는 PMOS 트랜지스터 MP12를 통하여 VPP 노드로 전달된다.그러므로 전하 펌핑은 한 사이클에 2번(two-phase charge pumping) 일어난다. 전하 펌핑 회로의 적절한 동작을 위하여 MN23은 그것의 게이트 전압(노드 N13)이 2VDD일 때 ON되어야 한다. MN23의 소오스 전압은 VDD이기 때문에 MN23의 V_{GS} 전압(VDD)은 MN23이 ON되기 위해 V_{TN} 보다 커야 한다. 그러므로 VDD는 two-phase VPP 전하 펌프 회로에 대해 VDD보다 커야 하는 반면, 그림12(a)의 전하 펌프 회로는 $1.5V_{TN}$ 보다 커야 한다.

그림 14(a)의 N15와 N16의 정상 상태 전압은 bulk-potential-bootstrapping 회로로 인해 VPP와 VPP+ VDD 사이에서 스윙한다. 그러므로 two-phase VPP 전하 펌프 회로에 대해 p-substrate에 대한 pass 트랜지스터(MP11, MP12)의 가장 높은 게이트 oxide 전압은 VPP(<2VDD)인 반면, 그림12(a)의 VPP 전하 펌프 회로에 대해서는 VPP+VDD ((2VDD)이다. Bulk-potential-bootstrapping 회로(그림14(a)의 BPBC)는 기

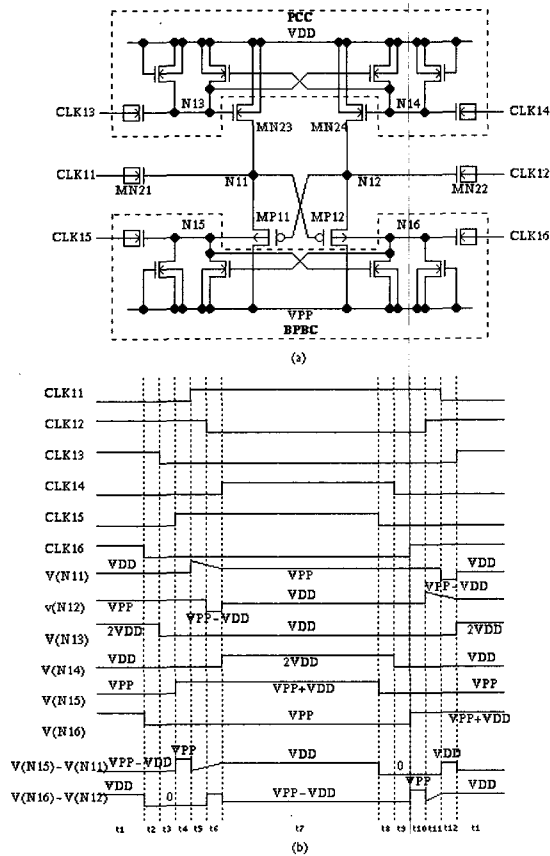


그림 14. (a) Two-phase VPP 전하 펌프 회로 (b) 정상 상태에서의 timing diagram
Fig. 14. (a) Two-phase VPP charge circuit (b) Steady-state timing diagram.

Two-phase VPP 전하 펌프 회로^[16]는 NMOS 트랜지스터의 문턱 전압 손실을 제거하기 위해 제안되었다. 기생하는 PNP 트랜지스터로 인한 전하 손실 문제는

생하는 바이폴라 트랜지스터로 인한 전하 손실을 방지하기 위해 사용되었다. PMOS 트랜지스터 MP11과 MP12는 분리된 N-well을 가지기 때문에 전하 펌프에는 2개의 기생적인 바이폴라 트랜지스터가 있다. 이들 기생하는 PNP 바이폴라 트랜지스터들은 그림 14(b)에서 보는 것처럼 베이스-이미터 접합 전압 ($V(N15)-V(N11)$, $V(N16)-V(N12)$)이 항상 0(역방향 바이어스)보다 크기 때문에 OFF되어 있다. 그래서 전하 손실 문제는 two-phase VPP 전하 펌프 회로에서 일어나지 않는다.

표 2. Two-phase VPP 전하 펌프 회로의 노드 전압

Table 2. Node voltages of the two-phase VPP charge pump circuit.

CLK11, CLK14 and CLK15	0	VDD
CLK12, CLK13 and CLK16	VDD	0
N11	VDD	VPP
N12	VPP	VDD
N13	2VDD	VDD
N14	VDD	2VDD
N15	VPP	VPP+VDD
N16	VPP+VDD	VPP

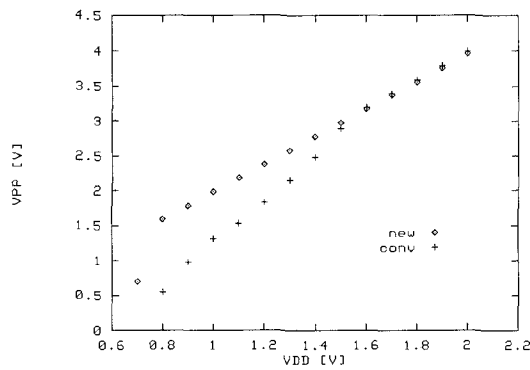


그림 15. 부하 전류가 없는 경우를 가정한 VPP 전하 펌프의 VPP 레벨.

Fig. 15. Simulated VPP level without load current.

그림 15는 부하 전류가 없는 경우를 가정하고 그림 12(a)의 회로와 two-phase VPP 전하 펌프 회로의 시뮬레이션된 VPP의 전압을 보여준다. SPICE 시뮬레이션에서의 비교를 위해 0.22(m triple-well CMOS 공

정이 사용되었다. 그림 12(a) 회로의 펌핑 능력은 $0.5(V_{TN,MN15}+V_{TN,MN16}-V_{TN,MN18})$ 에 일치하는 1.5V의 VDD 전압 이하에서 떨어진다. Two-phase VPP 전하 펌프 회로는 control pulse generator의 문턱 전압 손실을 제거하므로 VDD가 0.8V까지 동작한다. 그림 16은 VDD=1.5V에서 시뮬레이션된 VPP 펌핑 전류를 보여준다. Two-phase VPP 펌프 회로는 기존의 VPP 전하 펌프 변화에 대해 더 큰 의존성을 가지고 있다^[18].

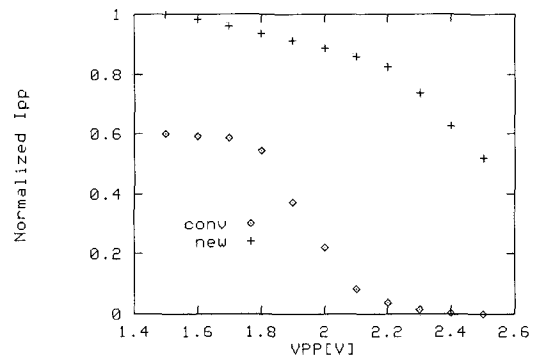


그림 16. VDD=1.5V에서 시뮬레이션된 VPP 펌핑 전류

Fig. 16. Simulated VPP pumping current at VDD=1.5V.

밴드갭 기준전압 발생기는 PTAT(Proportional To Absolute Temperature) 전압에 음의 온도 계수를 가지며 순방향으로 바이어스된 베이스-이미터 접합 전압 (V_{BE})을 더하므로 구현된다. CMOS 밴드갭 기준전압 발생기에 사용되는 바이폴라 트랜지스터는 CMOS 공정에서 부수적으로 얻어지는 substrate PNP 바이폴라 트랜지스터이다.

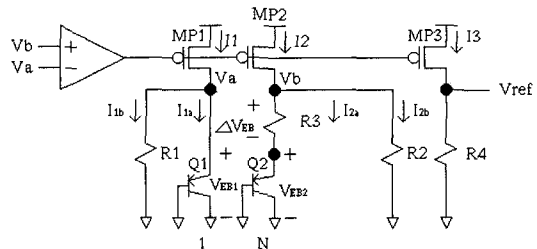


그림 17. 차동증폭기를 이용한 저전압용 밴드갭 기준 전압 발생기

Fig. 17. Conventional bandgap reference voltage generator using differential amplifier.

그림 17의 차동 증폭기 형태의 밴드갭 기준전압 발생기는 밴드갭 전압보다 작은 기준전압을 필요로 하고 낮은 전원전압(VDD) 동작을 위해 제안되었다^[9]. 차동 입력 쌍의 트랜지스터는 $-0.2V$ 의 문턱 전압을 갖는 native 트랜지스터이며, Q1 대 Q2의 이미터 면적 비는 1:N이다. 이 밴드갭 기준전압 발생기의 개념은 단지 피드백 루프에 의해 V_{EB} 와 V_T 에 비례하는 2 가지 전류를 만드는 것이다. 이들 전류는 합쳐져 저항을 통해서 출력 V_{ref} 를 만든다. 그림 18의 MP1, MP2와 MP3의 PMOS 채널 폭은 모두 같고 R1과 R2의 저항은 같다. 차동 증폭기는 V_a 와 V_b 전압이 같도록 조정된다. MP1, MP2와 MP3의 게이트 노드는 차동 증폭기의 출력 노드에 모두 연결되어 있으므로 전류 I1, I2와 I3는 모두 같다. $I1a=I2a$ 이고 $I1b=I2b$ 이므로 식 (3)이 얻어진다.

$$\Delta V_{EB} = V_{EB1} - V_{EB2} = V_T \ln(N) \quad (3)$$

I2a는 식 (4)와 같이 V_T 에 비례한다.

$$I2a = \frac{\Delta V_{EB}}{R3} \quad (4)$$

I2b는 식 (5)와 같이 V_{EB1} 에 비례한다.

$$I2b = \frac{\Delta V_{EB}}{R2} \quad (5)$$

여기서 I2는 I2a와 I2b의 합이고 I2와 I3는 같은 전류가 흐르므로 식(6)이 성립된다.

$$I3 = I2 = I2a + I2b \quad (6)$$

그러므로 출력 전압은 식 (7)과 같이 된다.

$$V_{ref} = R4 \cdot \left(\frac{V_{EB1}}{R2} + \frac{\Delta V_{EB}}{R3} \right) \quad (7)$$

3σ 분포에 대해 측정된 V_{ref} 는 $0.515V$ ($15.3mV$)이고 정규화된 분산($3/\sqrt{V_{ref}}$)는 2.9%이다. 그림17의 밴드갭 기준전압 발생기 의 최소 동작 전압은 $2.1V$ 로 측정되었다^[9].

그림 18은 새롭게 제안된 전류 거울(current-mirror) 형태의 CMOS 밴드갭 기준전압 발생기의 회로도^[20]이다. 밴드갭 기준전압 발생기는 5개의 PMOS 트랜지스터, 3개의 NMOS 트랜지스터, 3개의 저항과 2개의 substrate PNP 트랜지스터로 구성되어 있다. MP3와

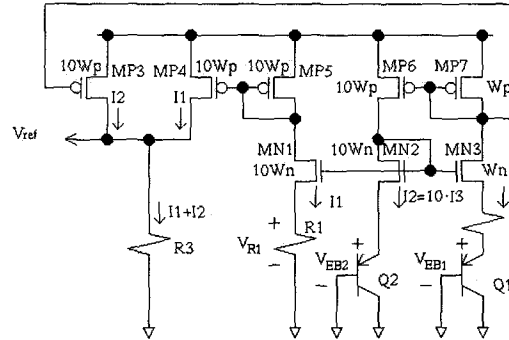


그림 18. 새롭게 제안된 전류 거울(current-mirror) 형태의 밴드갭 기준전압 발생기 (Type 1).

Fig. 18. Circuit schematic of the newly proposed bandgap reference voltage generator (Type 1).

MP6의 채널 폭은 MP7보다 10배 더 크기 때문에 MP3, MP6에 흐르는 전류 I2는 MP7을 통하여 흐르는 전류 I3보다 10배 더 크다. 두 PNP 바이폴라 트랜지스터는 같은 layout을 가지는 정합된 트랜지스터이기 때문에 같은 포화 전류(I_s)를 가진다. MN2의 채널 폭과 전류 모두 MN3보다 10배 더 크기 때문에 MN2의 V_{GS} 전압은 MN3의 그것과 같다. 그래서 V_{EB2} 는 $V_{EB1} + I3 \cdot R2$ 와 같게 되어 식 (8)의 I3 식이 나온다.

$$I_e = \frac{nV_T \cdot \ln 10}{R2} \quad (8)$$

R1, MN1, MN2와 Q2에 의해 형성되는 루프에 Kirchhoff의 전압 법칙을 적용하므로 식 (9)를 얻을 수 있다.

$$I1 = \frac{1}{R1} (V_{EB2} + V_{GS2} - V_{GS1}) \cong \frac{V_{EB2}}{R1} \quad (9)$$

여기서 MN1과 MN2는 포화 영역에서 동작한다고 가정하였다. 식(9)에서 보여지는 근사화에서 I1은 I2와 거의 같다고 가정하였다. 그래서 V_{GS2} 는 V_{GS1} 과 같다고 가정하였다. SPICE 시뮬레이션에 의하면 V_{R1} 과 V_{EB2} 에서 가장 나쁜 경우에서의 차이는 $2.25V \sim 2.75V$ 의 VDD 전압 범위와 $20^\circ C \sim 90^\circ C$ 의 온도 범위에서 6.8%이다. MP4의 채널 폭은 MP5의 채널 폭과 같기 때문에 MP4를 통하여 흐르는 전류는 MP5의 전류 I1과 같다. 그림 18에서 보여지는 모든 트랜지스터들은 포화 영역에서 동작한다. 그래서 R3에 걸리는 V_{ref} 는 식 (10)과 같이 표현된다.

$$V_{ref} = R3 \cdot (I1 + I2) = \frac{R3}{R1} \cdot V_{EB2} + \frac{R3}{R2} \cdot 10 \cdot V_T \ln 10 \quad (10)$$

식 (10)의 첫 번째 항은 V_{EB} 에 비례하고 다른 항은 V_T 에 비례한다. 식(10)에서 보는 것처럼 V_{ref} 는 $R1$, $R2$ 와 $R3$ 의 저항 비에 의해 결정되며, $R3$ 를 바꾸면 원하는 기준전압을 얻을 수 있다.

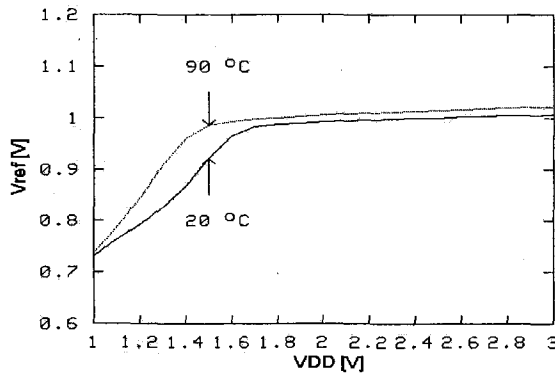


그림 19. 새롭게 제안된 전류 거울 형태의 밴드갭 기준전압 발생기의 V_{ref} 측정 전압.
Fig. 19. The measured V_{ref} voltages of the newly proposed bandgap reference voltage generator.

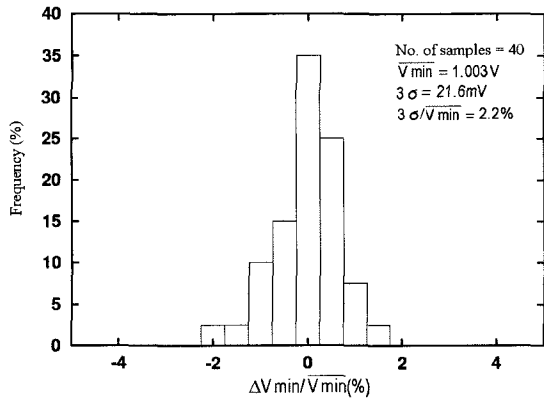


그림 20. 제안된 밴드갭 기준전압 발생기의 V_{ref} 측정 전압 분포
Fig. 20. The inter-die statistical distribution of the measured V_{ref} of the newly proposed bandgap reference voltage generator.

그림 19는 새롭게 제안된 밴드갭 기준전압 발생기의 측정된 V_{ref} 전압이다. $20^{\circ}\text{C} \sim 90^{\circ}\text{C}$ 의 온도 범위와

$2.25\text{V}(0.9(V_{DD})) \sim 2.75\text{V}(1.1(V_{DD}))$ 의 전압 범위에 대해 V_{ref} 의 변화는 2.5%이다. 온도에 대한 V_{ref} 의 변화는 주로 그림 18에서 보여지는 V_{R1} 과 V_{EB1} 사이의 전압 차로 야기된다. 그림 18의 밴드갭 기준전압 발생기의 최소 동작 전압(V_{DDmin})은 1.7V로 기존의 밴드갭 기준전압 발생기^[19]의 2.1V보다는 낮다. 밴드갭 기준전압 발생기의 저전압 VDD 동작은 기존의 밴드갭 기준전압 발생기의 negative 피드백 루프에 있는 차동 증폭기를 제거하므로 가능해졌다. 그림 20은 측정된 V_{ref} 의 통계적인 분포를 보여준다. 측정은 25°C 의 온도와 2.5V의 VDD에서 측정되었고, 측정된 샘플(sample)의 수는 40 die이다. 3σ 분포에 대해 측정된 V_{ref} 는 1.003V (21.6mV이다. 정규화된 분산($3\sigma / \overline{V_{ref}}$)은 2.2%이다.

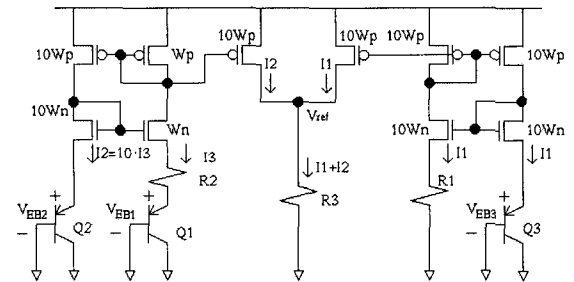


그림 21. 전류 거울 형태의 온도 특성이 개선된 밴드갭 기준전압 발생기 (Type 2)
Fig. 21. Newly proposed Temperature-Insensitive bandgap reference voltage generator (Type 2).

식 (9)에서의 근사식으로 인해 온도에 대한 V_{ref} 의 변화가 조금 크게 나타났다. 이 문제를 해결하기 위해 그림 21의 온도 특성을 개선한 기준전압 발생기를 제안하였다. 그림 21에서 보는 바와 같이 V_{EB} 에 비례하는 전류를 만드는 회로와 V_T 에 비례하는 전류를 만드는 회로를 분리하여 각각의 전류 거울을 두고 있다. 그래서 식 (9)에서 근사화 시키지 않고 V_{EB} 에 비례하는 전류를 만들어 온도 변화에 둔감한 V_{ref} 발생기를 구현할 수 있다. 그림 22는 제안된 전류 거울 형태의 밴드갭 기준전압 발생기 Type 1과 Type 2의 온도 변화에 따른 V_{ref} 변화 특성을 비교하고 있다. $V_{DD}=2.5\text{V}$ 이고 온도가 20°C 에서 90°C 의 구간에서 Type 1은 0.44%, Type 2는 0.06% 변화되었으며, Type 2가 Type 1에 비해 온도에 대한 V_{ref} 의 변화가 더 작다.

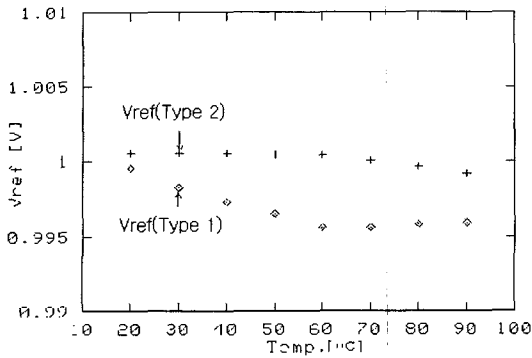


그림 22. 제안된 전류 거울 형태의 Type 1과 Type 2의 온도에 따른 Vref의 변화.

Fig. 22. The variations of simulated Vref of two types (Type 1 and Type 2) of newly proposed bandgap reference voltage generator.

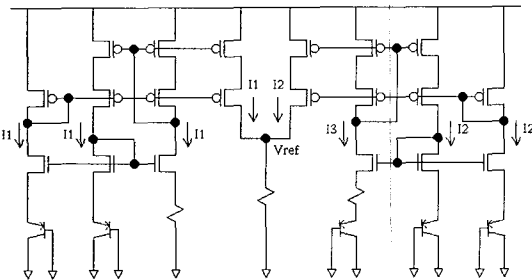


그림 23. 전류 거울 형태의 온도와 전압 특성이 개선된 밴드갭 기준전압 발생기 (Type 3)

Fig. 23. Newly proposed Temperature- and Supply-Insensitive bandgap reference voltage generator (Type 3).

그림 18과 그림 21의 밴드갭 기준전압 발생기는 전류 거울을 캐스코드 형태로 사용하지 않아 VDD 변화에 대한 Vref 전압 변화가 크다. 이상적인 전류 거울은 전류가 같아야 하지만, channel length modulation에 의해 전류가 달라져 Vref 전압이 변한다. 캐스코드 형태의 전류 거울은 출력 저항을 증가시켜 channel length modulation 현상에 상관없이 거의 같은 전류를 흘리나, 최소 동작 전압(VDDmin)은 캐스코드 전류 거울에 걸리는 $2(V_{TP} + |V_{DSATP}|)$ 로 인해 증가한다. 이 문제를 해결하기 위해 출력 저항을 크게 하면서 wide 스윙을 갖는 전류 거울을 사용하는 밴드갭 기준전압 발생기를 제안하였다. 그림 23은 VDD 변화에 대한 Vref의 변화를 줄인 밴드갭 기준전압 발생기의 회로도들을 보여준다. 그림 24는 그림 21과 그림 23에서 제안된 밴드갭 기준

전압 발생기 Type 2와 Type 3의 VDD에 따른 Vref 전압 변화를 보여준다. T=25°C이고 2.25V에서 2.75V의 VDD 구간에서 Type 2는 0.91% 변했으나, Type 3는 wide 스윙의 전류 거울을 사용하므로 0.01%로 거의 변화가 없다.

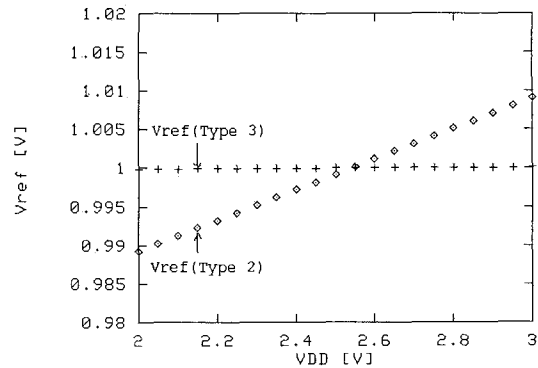
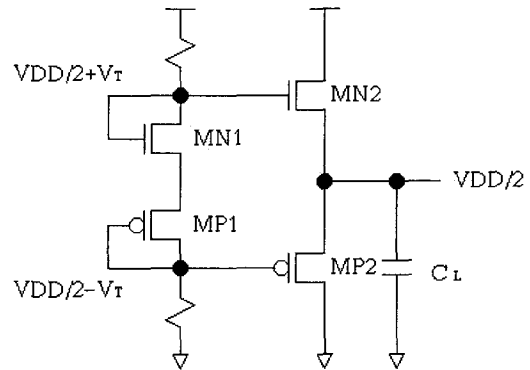


그림 24. 제안된 전류 거울 형태의 Type 2과 Type 3의 VDD에 따른 Vref의 변화

Fig. 24. The variations of simulated Vref of two types (Type 2 and Type 3) of newly proposed bandgap reference voltage generator.



Biasing Stage Push-Pull Output Driver

그림 25. 기존의 half-VDD 전압 발생기

Fig. 25. Conventional half-VDD voltage generator.

기존의 half-VDD 전압 발생기는 그림 25에서 보는 바와 같이 바이어스 단과 push-pull 출력 구동기로 구성되어 있다. 이 회로의 문제점 중의 하나는 MN1과 MP1의 문턱 전압의 변화는 half-VDD 전압 레벨에 영향을 미치는 것이다. 이 전압 오차는 V_T 가 0.1V 변화했을 때 약 13%가 된다^[1]. 그리고 기존 회로의 다른 문제는 출력 전압의 과도 응답이 느린 것이다. 이것은

MN2와 MP2의 유효 게이트 전압($V_{GS}-V_T$)이 거의 0V가 되어 구동 능력이 떨어진다. 더구나 전체 BL과 cell plate와 관련된 부하 캐패시턴스가 기억 용량이 증가함에 따라 증가하고 MOS 트랜지스터의 구동 능력은 동작 전압이 낮아지면서 감소한다. 그러므로 power-on시 응답 특성은 더 나쁘다.

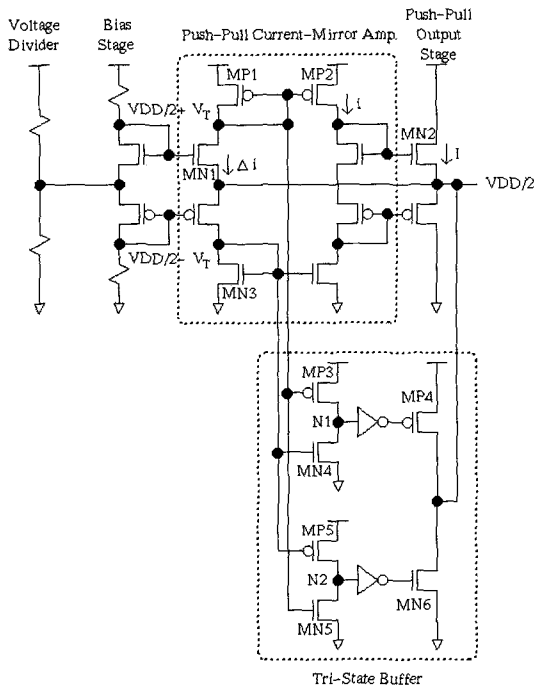


그림 26. Speed-enhanced half-VDD 전압 발생기
Fig. 26. Speed-enhanced half-VDD voltage generator.

위에서 언급된 문제점들을 개선하기 위하여 그림26의 half-VDD 전압 발생기^[1]가 제안되었다. Half-VDD 전압 발생기의 높은 정확도는 바이어스 단으로부터 전압 분배기를 분리시키므로 성취되었다. 전압 오차는 V_T 변화가 0.1V일 때 수 퍼센트 정도로 줄었다. 속도 성능을 개선하기 위해 push-pull 전류 거울 증폭기와 tri-state 버퍼가 사용되었다. 전류 거울 증폭기의 동작은 다음과 같다. 정상 상태에서 구동 트랜지스터 MN2의 게이트 전압은 기존의 회로와 같은 값을 가진다. 그러나 출력 전압이 half-VDD 전압보다 더 작았을 때 출력 노드에 연결된 NMOS 트랜지스터 MN1은 ON되고, 충전 전류 (i 가 흐른다. 동시에 mirror 전류 i 가 흘러 MN2의 게이트 전압을 full-VDD로 올린다. 이것은 출력 단의 구동 능력을 증가시키고 응답 특성은 상당

히 개선된다. 그리고 대칭적인 구조로 인해 출력 전압을 낮추는 경우도 이와 유사하다. 그림26의 tri-state 버퍼는 출력 전압이 half-VDD에서 상당히 많이 벗어났을 때 load를 구동한다. Tri-state 버퍼를 trigger하기 위해 필요한 threshold deviation의 양은 MP1, MP3과 MP5의 게이트 폭의 비(mirror ratio)와 MN3, MN4와 MN5의 비를 조절하므로 정해진다. 정상 상태에서 노드 N1과 N2의 전압은 각각 0와 VDD이고, MP4와 MP6 모두 OFF되어 있다. 만약 출력 전압에서 더 많은 전압 강하가 있었다고 가정하면 충전 전류 i 에 의해 유지되는 mirror 전류때문에 MP3는 ON되는 반면, MN4는 OFF상태에 있다. 그래서 N1은 full-VDD로 pull-up되어 MP4를 ON시켜 출력 전압을 끌어 올린다.

IV. 결론

본 논문에서는 지금까지 발표된 저전압 DRAM 회로 설계 기술에 대한 조사 결과를 기술하였고, 기가-비트 DRAM을 위해 4가지 종류의 저전압 회로 설계 기술을 새로이 제안하였다. 4가지 저전압 회로 설계 기술은 subthreshold 누설 전류를 줄인 계층적 negative-voltage word-line 구동기, two-phase VBB 발생기, two-phase VPP 발생기와 밴드갭 기준전압 발생기인데, 이에 대한 테스트 칩의 측정 결과와 SPICE 시뮬레이션 결과를 제시하였다. 향후 0.16 μm triple-well CMOS 공정을 이용하여 계층적 negative-voltage word-line 구동기, two-phase VPP 전하 펌프 회로와 밴드갭 기준전압 발생기에 대해 칩을 제작할 계획이다.

참고 문헌

- [1] Y.Nagagome et al., "An Experimental 1.5-V 64-Mb DRAM," IEEE J. Solid-State Circuits, vol. 26, pp. 465~472, April 1991.
- [2] Y.Nakagome et al., "Reviews and Prospects of DRAM Technology," IEICE Transactions, vol. E74, pp. 799~811, April 1991.
- [3] T.Yamagata et al., "Low Voltage Circuit Design Techniques for Battery-Operated and/or Giga-Scale DRAM's," IEEE J. Solid-State Circuits, vol. 30, pp. 1183~1188, Nov. 1995.

- [4] M.Asakura et al., "An Experimental 256-Mb DRAM with Boosted Sense-Ground Scheme," *IEEE J. Solid-State Circuits*, vol. 29, pp. 1303~1309, Nov. 1994.
- [5] M.Nakamura et al., "A 29-ns 64-Mb DRAM with Hierarchical Array Architecture," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1302~1306, Sep. 1996.
- [6] T.Kawahara et al., "Subthreshold Current Reduction for Decoded-Driver by Self-Reverse Biasing," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1136~1144, Nov. 1993.
- [7] T.Sakata et al., "SUBTHRESHOLD-CURRENT REDUCTION CIRCUITS FOR MULTI-GIGABIT DRAM'S," in *Symp. VLSI Technology*, Dig. Tech. Papers, pp. 45~46, May 1993.
- [8] T.Kawahara et al., "A Circuit Technology for Sub-10ns ECL 4Mb BiCMOS DRAMs," in *Symp. VLSI Technology*, Dig. Tech. Papers, pp. 131~132, May 1991.
- [9] S.Fujii et al., "A 45-ns 16-Mbit DRAM with Triple-Well Structure," *IEEE J. Solid-State Circuits*, vol. 24, pp. 1170~1175, Oct. 1989.
- [10] A.Hatakeyama et al., "A 256-Mb SDRAM Using a Register-Controlled Digital DLL," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1728~1734, Nov. 1997.
- [11] T.Ooishi et al., "A Well-Synchronized Sensing/Equalizing Method for Sub-1.0-V Operating Advanced DRAM's," *IEEE J. Solid-State Circuits*, vol. 29, pp. 432~440, April 1994.
- [12] Y.H.Kim et al., "Analysis and Prevention of DRAM Latch-Up During Power-On," *IEEE J. Solid-State Circuits*, vol. 32, pp. 79~85, Jan. 1997.
- [13] Y.Tsukikawa et al., "An Efficient Back-Bias Generator with Hybrid Pumping Circuit for 1.5-V DRAMs," *IEEE J. Solid-State Circuits*, vol. 29, pp. 534~538, April 1994.
- [14] Y.H.Kim et al., "Two-Phase Back-Bias Voltage Generator for Low-Voltage Gigabit DRAMs," *IEE Electronics Letters*, vol.34, pp. 1831~1833, Sept. 1998.
- [15] P.Favrat et al., "A High-Efficiency CMOS Voltage Doubler," *IEEE J. Solid-State Circuits*, vol. 33, pp. 410~416, March 1998.
- [16] Y.H.Kim et al., "Two-Phase Boosted Voltage Generator for Low-Voltage Giga-bit DRAMs," *IEICE Transactions on Electron.*, vol.E83-C, pp. 266~269, Feb. 2000.
- [17] Y.H.Kim et al., "Fully On-Chip Current Controlled Open-Drain Output Driver for High-Bandwidth DRAMs," *IEICE Transactions on Electron.*, vol.E82-C, pp. 2101~2104, Nov. 1999.
- [18] M.Horiguchi et al., "A Tunable CMOS DRAM Voltage Limiter with Stabilized Feedback Amplifier," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1129~1135, Oct. 1990.
- [19] H.Banba et al., "A CMOS Bandgap Reference Circuit with Sub-1V Operation," *IEEE J. Solid-State Circuits*, vol. 34, pp. 670~674, May 1999.
- [20] Y.H.Kim et al., "A Temperature-and Supply-Insensitive Fully On-Chip 1Gb/s CMOS Open-Drain Output Driver for High-Bandwidth DRAMs," submitted for possible publication in the *IEEE J. Solid-State Circuits*, May 2000.

저 자 소 개

金 榮 熙(正會員)

1968년 1월 27일생. 1989년 2월 경북대학교 전자공학과(학사). 1997년 2월 포항공과대학교 대학원 전자전기공학(석사). 2000년 8월 포항공과대학교 대학원 전자전기공학(박사). 1989년 1월~2001년 2월 현대전자 메모리개발연구소 책임연구원, 2001년 3월~현재 창원대학교 전자공학과 전임강사. 주관심 분야는 고속 DRAM I/O Interface 설계, 저전력 및 저전압 DRAM 설계, Merged Memory Logic(MML) 설계, PLL/DLL 설계 및 아날로그 IC 설계

金 光 現(學生會員)

1977년 4월 28일생. 2000년 2월 경북대학교 전자전기공학부(학사). 2000년 3월~현재 포항공과대학교 대학원 전자전기공학과(석사과정). 주관심 분야는 대역통과 시그마 델타 모듈레이터 설계, 저전력 DRAM설계

朴 鴻 濬(正會員)

1956년 10월 11일생. 1979년 2월 서울대학교 공과대학 전자공학과(학사). 1981년 2월 한국과학기술원 전기 및 전자공학과(석사). 1989년 5월 University of California, Berkeley, 전자공학(박사). 1981년 3월~1984년 7월 한국전자통신연구소 연구원. 1989년 1월~1991년 5월 INTEL사(U.S.A) Senior Engineer. 1991년 6월~현재 포항공과대학교 전자전기공학과 교수. 주관심 분야는 CMOS 고속 임출력 회로 설계, CMOS 아날로그 회로 설계, 신호 보존성 및 도선 모델링

魏 在 慶(正會員)

1966년 8월 1일생. 1988년 2월 연세대학교 물리학과(학사). 1990년 2월 서울대학교 대학원 물리학과(석사). 1998년 8월 서울대학교 대학원 전자전기공학과(박사). 1990년 5월~현재 현대전자 메모리개발연구소 책임연구원. 주관심 분야는 고속 DRAM I/O Interface 설계, PLL/DLL 설계 및 아날로그 IC설계, high speed module system, on-chip interconnect-buffer optimization 및 routing method

崔 珍 赫(正會員)

1967년 경북 포항출생. 1989년 서울대학교 전자공학과(학사). 1991년 서울대학교 전자공학과(석사). 1996년 서울대학교 전자공학과(박사). 1995년 12월~현재 현대전자 메모리개발연구소 책임연구원. 주관심 분야는 저전압SRAM설계, 고속 DRAM 설계 및 FLASH 설계