論文2001-38SD-4-5

단열회로를 이용한 8-b×8-b 파이프라인 승산기와 개선된 전원클럭 발생기의 연구

(A Study of an 8-b×8-b Adiabatic Pipelined Multiplier with Simplified Supply Clock Generator)

文 龍 *
(Yong Moon)

요 약

단열회로를 이용한 8-b×8-b 파이프라인 승산기와 4가지 위상을 가지는 전원클럭을 공급하기 위한 개선된 구조의 전원클럭 발생기를 설계하였다. 전원클럭 신호선의 전하는 복원되어 에너지 소모를 줄인다. 단열회로는 ECRL 형태를 기본으로 하였으며 0.6㎛ CMOS 공정을 사용하여 설계하였다. 개선된 전원클럭 발생기는 기존회로보다 4~11% 정도 효율이 높았다. 모의실험결과 제안하는 단열회로 승산기는 CMOS 승산기보다 2.6~3.5배 정도의 에너지를 감소시켰다.

Abstract

An 8-b×8-b adiabatic pipelined multiplier is designed. Simplified four phase clock generator is also designed to provide supply clocks for adiabatic circuits. All the clock line charge on the capacitive interconnections is recovered to save energy. Adiabatic circuits are designed based on ECRL(efficient charge recovery logic) and are integrated using 0.6㎛ CMOS technology. The efficiency of proposed supply clock generator is better than the previous one by 4~11%. Simulation results show that the power consumption of adiabatic pipelined multiplier is reduced by a factor of 2.6~3.5 compared to a conventional pipelined CMOS multiplier.

Ⅰ. 서 론

저전력 회로에 대한 필요성은 전자기기들의 이동성이 요구되고 소형화됨에 따라서 그 중요성이 점점 더 커지고 있다. 저전력 회로는 PDA등과 같이 성능보다는 동작시간이 더 중요한 시스템에서 매우 필요하며 이러한 요구를 충족시킬 수 있는 접근 방법으로 단열회로에 대한 연구가 많이 진행되어 왔다.[1~7] 대부분의 단열회로는[1~7] 에너지 복원을 위해서 AC 형태의 전원이 필요하며 단열회로가 실용성을 가지기 위해서는 효율적인 전원클럭 발생회로가 필요하고 이를 포함한 경우에도 기존의 회로에 비해서 적은 에너지를 소모해야한다. 이에 본 논문에서는 기존의 회로를 단순화시키고 효율을 개선한 전원클럭 발생기를 제안하였으며 이를 기존의 전원클럭 발생회로와 비교하였고 CMOS 회로와 에너지 소모를 비교하였다.

단열회로의 동작 및 성능을 보이기 위해선 지금까지는 대부분 인버터 체인 등을 사용하였고[7], 조금 발전된 형태로 가산기 등이 구현되어 검증이 되었다. 그러나, 단열회로가 실용성을 가지기 위해서는 일반적으로 많이 사용되는 회로에 대한 연구가 필수적이며 본 논문에서는 많은 디지털 시스템에서 필요로 하는 승산기

* 正會員, 崇實大學校 情報通信電子工學部
School of Electronic Engineering, Soongsil University
接受日字:2001年2月21日, 수정완료일:2001年3月28日

를 단열회로를 사용하여 파이프라인 형태로[8] 구현하였다. 승산기는 일반적으로 빠른 속도와 낮은 전력소모를 요구하며, 또한 승산기는 칩의 속도를 결정하는 임계경로가 되고 있어 성능향상을 위해서 커스텀 설계를 주로 하고 있다. 파이프라인 구조는 고성능의 승산기를 구현하기 위해서 일반적으로 선택되는 구조이며 이러한 경우에도 저전력 승산기는 회로의 동작시간이나 에너지절약 측면 등에서 필요하다. 승산기의 데이터 비트 수는 응용분야에 따라서 다양하고 점차 커지고 있으나 본 논문에서는 최근에 발표된 저전력 승산기와의 비교를 위해서 8-bit를 선택하였다.[9]

본 논문의 2장에서는 단열회로를 이용한 파이프라인 구조의 승산기의 설계에 대해서 설명하고, 3장에서는 개선된 전원클럭 발생기에 대해서 설명한다. 에너지의 비교 및 동작은 4장에서 설명하며, 5장에서 결론을 맺도록 한다.

Ⅱ. 단열회로를 이용한 승산기의 설계

1. 단열회로의 기본동작

여러 종류의 단열회로 중에서 본 논문에서는 ECRL[5] 형태를 사용하였으며, 이는 CVSL과[10] 동일한 구조를 가지며 전원부에는 AC형태의 전원클럭이 인가되어야하며 이를 이용하여 로직을 여러 단에 걸쳐 연결할 경우에는 90도의 위상차를 가지는 4개의 전원클럭에 의해서 연결되어야 한다. 그러나, 4개의 전원클럭들은 Ⅲ장에서 설명하는 전원클럭 발생회로에 의해서 제공되므로 복잡하지 않게 구현이 가능하다. ECRL 단열회로는 차동신호를 사용하며 인버터나 버퍼로 쓰이는 기본적인 회로를 그림 1에서 나타내었다.

그림 1에서 in은 *high*이고 inb는 *low*라고 가정을 하고, 전원클럭 S0가 0에서 V_{DD}값인 3.3V까지 올라가면 오른쪽의 NMOS는 turn-on이 되므로 out은 그대로 0을 유지한다. outb는 왼쪽 PMOS을 통해서 S0를 따라가고 S0가 V_{DD}까지 도달하면 출력들은 유효한 로직 값을 가진다. 이 값은 다음 단의 입력 값으로 사용되며, 다음 단에 연결된 게이트의 전원클럭인 S1이 0에서 V_{DD}로 올라가는 동안 유지된다. S1에 의해서 동작되는 회로가 올바른 출력 값을 가지게 되면 S0는 0으로 내려가며 outb는 자신의 전하를 S0에게 돌려주게 되어 에너지 복원이 일어나게 된다. 따라서, S0와 같은 전원클럭은 전원과 클럭의 역할을 같이하게 되며 전원클럭이 0인 구간은 4개의 클럭간의 대칭성을 위해서 필요하다.

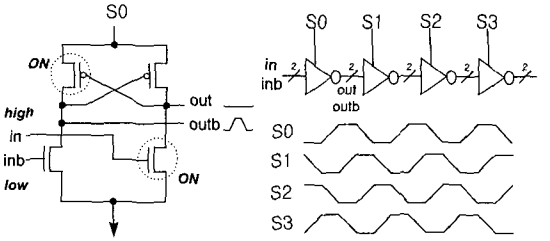

그림 1. 단열회로의 기본구조 및 동작
Fig. 1. Basic operation of adiabatic circuit.

2. 파이프라인 구조의 승산기의 설계

고속동작의 특성을 내포하고 있는 파이프라인 구조에서 저전력을 구현하기 위해서는 여러 가지 형태에 대한 연구가 필요하다. 그 중에서 carry-save array 구조의 승산기는 인코딩이 필요 없는 파이프라인 형태를 가지므로 가장 널리 사용된다.[8] Carry-save array 구조의 승산기는 전가산기, 반가산기 및 로직 게이트로 구성되며, 파이프라인을 위한 storage element인 flip-flop도 중요 구성요소이다. 여러 가지 구조의 가산기와 flip-flop을 사용하여 전력소모를 비교한 연구도 발표되었고[9], 이 연구에서는 펄스형태의 클럭을 사용하는 latch를 이용하여 TSPC(True Single Phase Clock) flip-flop을 사용한 회로보다 최대 47%의 에너지를 덜 소모하였다. 그러나, 단열회로를 사용하면 이보다 더욱 에너지를 감소시킬 수 있으며 단열회로 자체적으로 파이프라인 구조가 되므로, 별도의 flip-flop과 같은 storage element가 필요 없으므로 구조도 단순해진다. 다만, 사용한 ECRL 단열회로는 차동신호를 사용하므로 이로 인한 회로의 추가가 발생한다. 그러나, 전체적인 트랜지스터의 개수를 비교하면 단열회로를 이용한 경우가 오히려 적은 수의 트랜지스터를 사용하므로 차동신호에 의한 트랜지스터 개수 증가는 감수할만하다. 그림 2에서 설계한 파이프라인 단열회로 승산기를 나타내었다. 단열회로가 차동신호를 사용하므로 신호선이 복잡해지어 그림 2에서는 상보적인 2개의 신호를 하나의 선으로 표시하였으며, 수평으로 게이트를 가로지는 선은 전원클럭을 표시한 것이다. 그림에서 X0는 실제로 $X0$와 $\overline{X0}$가 전달되는 것으로 간주해야 한다.

그림 2에서 버퍼는 그림 1의 회로를 그대로 사용하

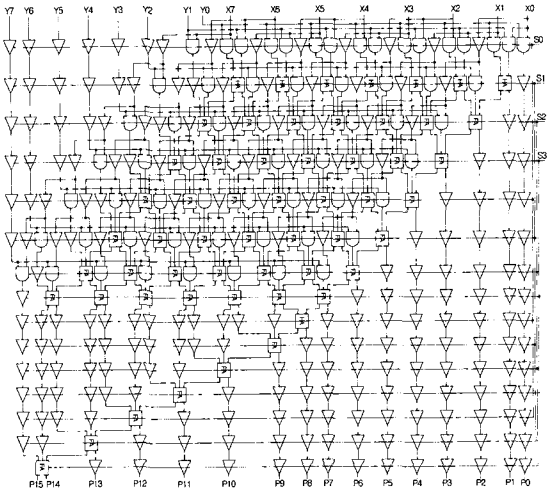

그림 2. 단열회로를 이용한 파이프라인 승산기의 구조
Fig. 2. Block diagram of pipelined adiabatic multiplier.

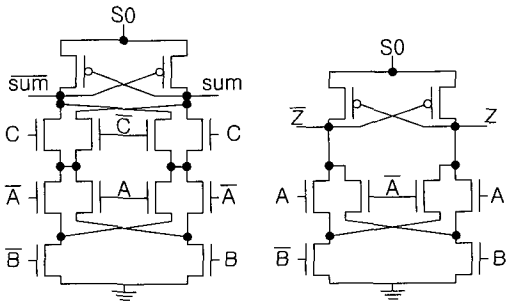

그림 3. SUM 생성회로와 XOR 게이트
Fig. 3. SUM generation circuits and 2-input exclusive-OR gate.

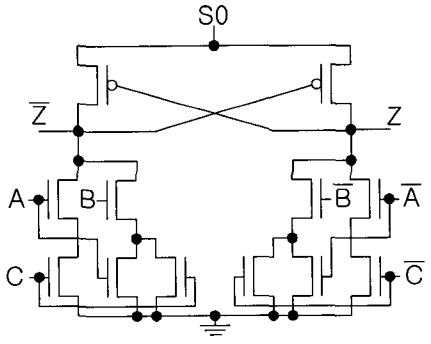

그림 4. 캐리 발생회로
Fig. 4. Carry generation circuit.

면 되며, 기타 로직 게이트도 동일한 방법으로 설계할 수 있다. 전가산기의 경우 SUM을 계산하기 위한 회로로 3-입력 XOR 게이트가 필요하다. 이 경우 차동신호의 장점을 사용하여 n-way XOR 게이트를 구현하는 방법이 연구되었으며[11], 이 방법을 사용하여 그림 3의 왼쪽에서처럼 비교적 간단하게 구현을 하였다. 반가산기를 위한 2-입력 XOR 게이트도 같은 방법으로 구현할 수가 있었으며 그림 3에서 오른쪽에서 표시하였다.

전가산기에서 CARRY를 발생하는 회로는 그림 4에서 나타내었으며 SUM회로와 CARRY 발생회로가 모여서 전가산기를 구성한다.

Ⅲ. 개선된 전원클럭 발생기

단열회로는 전원으로부터 받은 에너지를 다시 전원으로 돌려주기 위해서 AC형태의 전원을 사용한다. 기존에 사용했던 전원클럭 발생기는[5] 2개의 Colpitts LC 공진회로를 사용하여 4개의 전원클럭을 공급한다. 그런데, LC공진회로의 진폭은 내부손실로 인하여 감소되고 이를 검사하여 인덕터와 연결된 스위칭용 MOS 트랜지스터를 사용하여 부족한 에너지를 공급하여 항상 일정한 진폭을 유지하도록 동작한다. 이러한 회로를 그림 5에서 나타내었으며, 전원클럭 발생기는 전원클럭 진폭의 최대값을 검출하기 위한 RC필터 형태의 최대값 검출회로와 이를 기준값과 비교하기 위한 비교기 및 리플에 의한 잦은 스위칭을 제거하기 위한 슈미트 트리거 인버터 등의 회로가 사용된다.

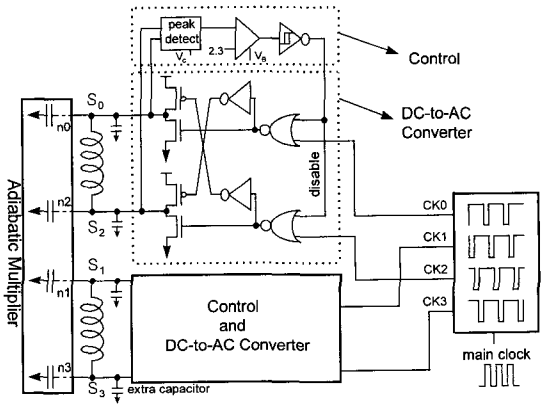

그림 5. 기존의 전원클럭 발생기
Fig. 5. Supply clock generator.

승산기의 동작속도는 단열회로의 전원클럭 노드의 캐패시터의 값과 여기에 연결되는 인덕터 값의 곱에 의해서 결정된다. 전원클럭 노드의 등가 캐패시터의 값은 전압원과 전원클럭 노드사이에 저항을 연결한 후 전압원에 step 함수를 가하고 전원클럭 노드의 충전에

걸리는 시간을 측정하여 다음의 식에서 구한다.

$$T = RC_{eq} \tag{1}$$

식(1)에서 계산된 단열회로 승산기의 전원클럭 노드의 등가 캐패시터 값은 표 1과 같다.

표 1. 전원클럭 노드의 등가 캐패시터의 값
Table 1. Supply node equivalent capacitance.

node	S0	S1	S2	S3
Ceq	1.6pF	1.44pF	1.5pF	1.08pF

표 1에서처럼 4개의 노드의 캐패시턴스가 다르므로 이를 같도록 하기 위해서 그림 5에서 처럼 캐패시터를 추가하였다.(extra capacitor) 승산기의 동작속도가 결정되면 이를 위한 인덕터의 값은 다음 식으로 구한다.

$$f = \frac{1}{2\pi\sqrt{LC_{eq}}} \tag{2}$$

본 논문에서는 그림 5의 회로와 항상 일정양의 에너지를 스위칭 트랜지스터를 통해서 공급하는 회로와의 비교를 진행하였고, 결과적으로 회로를 단순히 하여 일정양의 에너지를 상시 공급하는 회로가 에너지의 효율면이나 소모하는 에너지 면에 있어서 더 유리한 것을 검증하였다. 개선된 전원클럭 발생기는 그림 6과 같으며 최적의 효율을 위해서는 승산기로 공급되는 전원클럭의 펄스 폭이 변하도록 해주어야 하나 구현을 고려하여 동작주파수의 1/8 주기동안 스위칭을 하여 에너지를 공급하는 구조로 설계를 하였다.

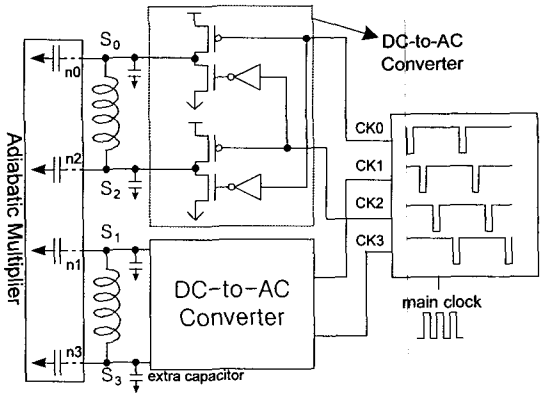

그림 6. 개선된 전원클럭 발생기
Fig. 6. Simplified supply clock generator.

2가지 전원클럭 발생기에 대한 에너지 및 효율에 대한 비교 결과는 다음 장에서 설명한다.

Ⅵ. 실험결과

단열회로를 이용한 승산기는 0.6㎛ CMOS 공정을 사용하여 설계하였으며 HSPICE를 사용하여 모의실험을 수행하였다. Static CMOS 승산기도 동일한 공정을 사용하여 설계하였다. 단열회로는 200MHz에서 신호의 진폭이 10~20%정도 감소하였으나 정상동작을 하여 최대 200MHz까지 CMOS 승산기와 비교를 진행하였다.

1. 전원클럭 발생기의 비교

기존의 전원클럭 발생회로는 전원클럭 노드에 에너지를 공급해주는 스위칭 트랜지스터의 크기에 따라서 효율이 달라진다. 본 논문에서는 최적의 조건을 구하기 위해서 여러 가지 크기의 스위칭 트랜지스터에 대해서 모의실험을 하여 최대효율이 나타나는 값을 사용하였다. 그림 7은 설계된 단열회로 승산기를 200MHz로 동작시킬 경우 스위칭 트랜지스터의 폭에 따라서 효율을 나타낸 것이다. 폭이 54㎛일 경우에 최대효율 36.8%를 얻을 수 있었다. 이 값은 그림 6의 NMOS 스위칭 트랜지스터의 폭이며 PMOS의 경우는 이 값의 2배를 사용하므로 108㎛가 된다. 다른 동작속도의 경우에도 같은 방법으로 MOS의 폭을 구했으며 주파수가 높아질수록 폭이 늘어났다. 이를 통해서 회로가 고속으로 동작하기 위해서는 전류를 많이 흘릴 수 있는 회로가 필요하다는 것을 알 수 있었다.

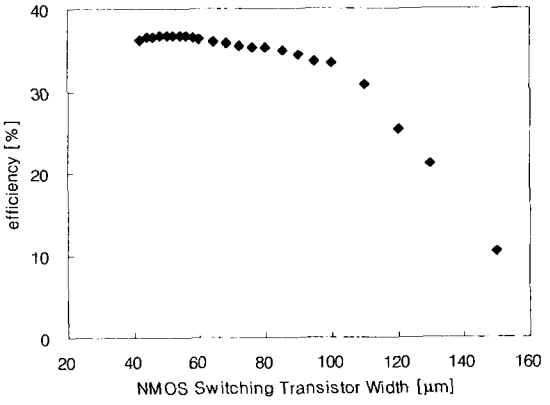

그림 7. 스위칭 트랜지스터 크기에 따른 전원클럭 발생기의 효율
Fig. 7. The efficiency of supply clock generator versus switching transistor width.

효율은 승산기로 전달된 에너지와 소모된 전체 에너지의 비로 계산하였다. 승산기의 동작속도에 따라서 최대효율을 얻을 수 있는 NMOS의 폭은 표 2와 같다.

표 2. 최대효율을 가지는 트랜지스터의 폭
Table 2. NMOS width for maximum efficiency.

동작속도[MHz]	10	20	50	100	200
width[㎛]	30	34	44	48	54

이렇게 구해진 값을 이용하여 기존의 회로에서 각 부분에 사용되는 에너지를 표 3에서 정리하였다.

표 3. 각 부분에서 소모되는 에너지 비율
Table 3. Energy dissipated in each modules.

동작 속도 [MHz]	승산기 내부 [%]	전원부 [%]	검출 회로 및 슈미트 트리거 인버터 [%]	비교기 [%]	게이트 [%]
10	31.7	40.0	0.8	22.8	4.7
20	35.0	45.2	3.7	11.2	5.0
50	37.5	47.8	1.9	5.6	7.0
100	39.0	52.2	1.1	2.2	5.4
200	36.8	55.5	0.5	1.0	6.1

표 3에서처럼 대부분의 에너지는 승산기 내부와 전원부에서 사용되며 일부가 진폭 검출회로 및 슈미트 트리거, 비교기, 기타 게이트에서 사용된다. 그리고, 검출회로, 비교기 및 게이트의 에너지도 동작속도가 올라가면 진폭을 검출하여 회로를 ON/OFF 시키는 경우가 감소하므로 그 영향도 줄어듦을 살펴볼 수 있다. 따라서, 개선된 구조에서는 이러한 회로를 제거시키고 일정 시간동안 전원부에서 항시 일정하게 에너지를 공급함으로써 부가회로에 의한 전력소모를 줄일 수 있었으며 전체적으로 전원클럭 발생회로의 에너지의 효율을 증가시킴을 살펴볼 수 있었다.

그림 8에서는 기존의 전원클럭 발생기와 제안한 구조와의 효율을 주파수에 따라서 표시하였으며 4~11% 정도의 효율이 증가하였다.

전원클럭 발생기의 효율과 에너지 감소가 정비례하지는 않으므로 에너지 소모도 별도로 측정하여 비교를 하였다. 그림 9에서 에너지 소모를 주파수에 따라서 비교했으며 에너지 소모도 새로이 제안한 구조가 20MHz로 동작 시 최고 25.9%의 에너지를 덜 소모했으며 평균적으로는 12.4%의 에너지 감소가 있었다.

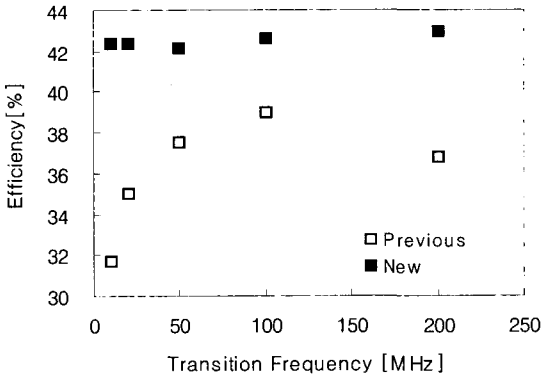

그림 8. 전원클럭 발생기의 효율비교
Fig. 8. Efficiency versus transition frequency for supply clock generators.

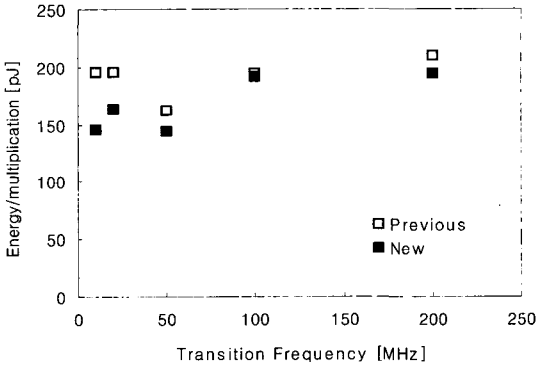

그림 9. 전원클럭 발생기의 에너지소모 비교
Fig. 9. Energy versus transition frequency for supply clock generators.

2. Static CMOS 승산기와 단열회로 승산기의 비교

본 논문에서 제안한 승산기와 CMOS 승산기의 에너지 소모를 그림 10에서 비교하였다. 여기에 사용된 단열회로 승산기는 전원클럭 발생기에서 소모하는 에너지를 포함한 것이므로 실제적인 비교라고 할 수 있다. 비교에 사용한 CMOS 파이프라인 승산기는 차동신호 대신에 single-ended 신호를 사용하여 구조를 단순화했으며, carry-save array 형태는 동일하나 CMOS 게이트만으로는 파이프라이닝이 불가능하므로 게이트와 게이트 사이에 TSPC flip-flop을 storage element로 사용하여 구성을 하였다. 가산기는 static CMOS 형태와 static pseudo-NMOS 구조[9] 2가지를 설계하여 특성을 비교하였으며, static pseudo-NMOS 가산기의 경우 누설전류로 인한 에너지소모가 많아서 비교에서 제외하

였다. 여러 주파수에 걸쳐 CMOS는 별 차이가 없는 것을 알 수 있으며, 단열회로 승산기는 CMOS 승산기 에너지의 28~38%로 동작함을 확인하였다. CMOS 승산기는 flip-flop을 위한 클럭 구동회로의 트랜지스터 크기에 따라서 전력소모가 달라지므로, 본 논문에서는 클럭 구동회로의 트랜지스터의 폭을 변화시키면서 최소 에너지를 사용하는 트랜지스터의 폭을 선택하였으며 주파수에 따른 트랜지스터 폭의 변화가 10%정도였다.

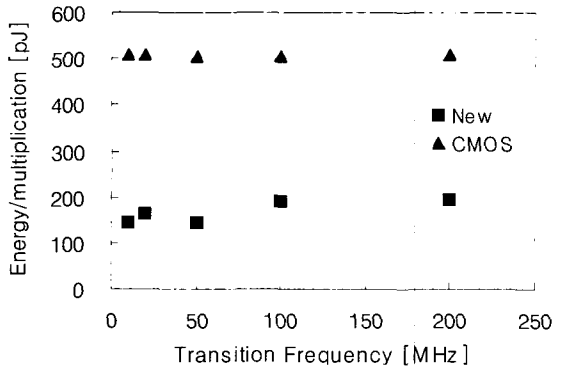

그림 10. 파이프라인 승산기의 에너지 비교
Fig. 10. Energy versus transition frequency for pipelined multiplier.

동작속도는 CMOS 승산기의 경우 250MHz일 경우 전원전압의 약 70%정도의 신호진폭을 가지며 동작함을 확인하였고, 단열회로 승산기는 200MHz에서 10~20% 신호진폭이 감소하나 올바른 동작을 하였다. 동일한 신호진폭 조건에서는 CMOS가 약 20%정도 높은 동작속도를 보였다. 동작속도는 단열회로 승산기가 약간 낮으나 응용 분야를 고려할 경우는 충분히 사용이 가능하리라 생각한다. 면적에서는 layout이 끝나지 않아 정확한 비교는 불가능하나 트랜지스터의 수를 비교할 경우 단열회로 승산기가 CMOS 승산기의 2/3 정도이므로 더 적은 면적을 필요할 것으로 예상된다.

V. 결론 및 추후 연구

본 논문에서는 단열회로를 사용하여 파이프라인 구조의 고속의 승산기를 제안하였으며 이를 0.6㎛ CMOS 공정을 이용하여 설계하고 모의실험을 진행하였다. 3.3V 전원을 사용하여 실험한 결과 기존의 CMOS 회로와 에너지 소모를 비교하여 2.6~3.5배 정도의 이득이 있음을 살펴보았다. 또한, 단열회로에 필수적인 AC 형태의 전원클럭 발생기를 함께 설계하여 그 영향을 포함시키었으며, 기존의 전원클럭 발생기를 개선하고 단순화시키어 에너지 소모 및 효율에서도 더 나은 결과를 얻었다.

이러한 설계 방법은 저전력회로 및 기타 디지털 회로에 응용할 수 있으며, 이러한 접근 방법으로 단열회로가 실제적으로 사용 가능함을 보여주었다. 추후 단열회로를 이용한 매크로블록 및 시스템의 설계가 연구되면 저전력 회로의 구현에 좋은 접근방법이 되리라 생각한다. 본 논문에서는 CAD tool들로 IDEC에서 지원한 HSPICE, Cadence tool을 사용하였다.

참 고 문 헌

[1] J. S. Denker, "A review of adiabatic computing," IEEE Symposium on Low Power Electronics, Digest of Technical Papers, pp. 94~97, 1994.

[2] A. Kramer, J. S. Denker, S. C. Avery, A. G. Dickinson and T. R. Wik, "Adiabatic computing with the 2N-2N2D logic family," in *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 25~26, 1994.

[3] R. T. Hinman and M. F. Schlecht, "Power dissipation measurements on recovered energy logic," in *Symp. on VLSI Circuits Dig. of Tech.* Papers, pp. 19~20, 1994.

[4] A. G. Dickinson and J. S. Denker, "Adiabatic Dynamic Logic," *IEEE JSSC*, vol. 30, pp. 311~315, March 1995.

[5] Y. Moon and D. K. Jeong, "A 32 x 32-b Adiabatic Register File with Supply Clock Generator," *IEEE JSSC*, vol. 33, No. 5, pp. 696~701, May 1998.

[6] D. Suvakovic and C. Salama, "Two Phase Non-Overlapping Clock Adiabatic Differential Cascode Voltage Switch Logic(ADCVSL)," *IEEE ISSCC, Digest of Technical Papers*, Vol. 43, pp. 364~365, 2000.

[7] D. Maksimovic, V. G. Oklobdzija, B. Nikolic and K. W. Current, "Clocked CMOS adiabatic logic with integrated single-phase power-clock

supply," *IEEE Transactions on VLSI systems*, Vol. 8, pp. 460~463, Aug. 2000.

[8] M. Hatamian and G. L. Cash, "A 70-MHz 8-bit x 8-bit Parallel Pipelined Multiplier in 2.5-μm CMOS," *IEEE JSSC*, vol. 21, No. 4, pp. 505~513, Aug. 1986.

[9] J. Wang, P. Yang and D. Sheng, "Design of a 3-V 300MHz Low-Power 8-b x 8-b Pipelined Multiplier Using Pulse-Triggered TSPC Flip-Flops," *IEEE JSSC*, vol. 35, No. 4, pp. 583~592, April 2000.

[10] L. G. Heller and W. R. Griffin, "Cascode Voltage Switch Logic: A Differential CMOS Logic Family," *ISSCC digest of Technical Papers*, pp. 16~17, 1984.

[11] K. M. Chu and D. I. Pulfrey, "Design Procedures for Differential Cascode Voltage Switch Circuits," *IEEE JSSC*, vol. 21, No. 6, pp. 1082~1087, Dec. 1986.

저 자 소 개

文 龍(正會員)

1968년생. 1990년 서울대학교 전자공학과 학사. 1992년 서울대학교 전자공학과 석사. 1997년 서울대학교 전자공학과 박사. 1997년~1999년 LG 반도체 선임연구원. 1999년 9월~현재 숭실대학교 정보통신전자공학부 전임강사. 관심분야는 저전력회로설계, 혼성신호 IC 및 고속통신시스템 등임