

論文2001-38TC-4-7

P/N-CTR 코드를 사용한 SSN과 누화 잡음 감소 I/O 인터페이스 방식

(The SSN and Crosstalk Noise Reduction I/O Interface Scheme Using the P/N-CTR Code)

金俊倍 * 權五敬 *

(Jun-Bae Kim and Oh-Kyong Kwon)

요 약

칩과 칩 사이의 전송 속도가 증가함에 따라, 누화 및 스위칭 잡음에 의한 시스템의 성능 저하가 심각해지고 있다. 본 논문에서 제안하는 인터페이스는 한 심벌 펄스의 상승/하강 에지 위치에 데이터를 인코딩하고, 전이 방향이 반대인 P-CTR과 N-CTR (Positive/Negative Constant Transition Rate)을 사용하며, P-CTR 드라이버 2개 묶음과 N-CTR 드라이버 2개 묶음을 교대로 배치하여 버스를 구성한다. 제안하는 P/N-CTR 코드 인터페이스에서는 임의의 한 배선에 대해서 양 옆의 이웃한 배선 신호가 동시에 같은 방향으로 스위칭하는 경우가 발생하지 않기 때문에 최대 누화 잡음과 최대 스위칭 잡음을 기존의 I/O 인터페이스보다 감소시킬 수 있다. 제안하는 인터페이스 방식의 잡음 감소 특성을 검증하기 위하여 다양한 배선 구조와 여러 비트 폭의 버스 구조에 적용하고, 0.35 μm SPICE 파라미터를 이용한 HSPICE 시뮬레이션을 수행하였다. 제안한 인터페이스는 기존의 인터페이스와 비교하여 32 비트 미만의 버스에서는 최대 누화 잡음이 최소 26.78 % 감소하고, 누화는 50 % 감소한다.

Abstract

As the data transfer rate between chips gets higher, both crosstalk and SSN (Simultaneous Switching Noise) deteriorate seriously the performance of a system. The proposed interface scheme uses P-CTR and N-CTR (Positive/Negative Constant Transition Rate) which encodes data at both falling and rising edges, where the transition directions of N-CTR and P-CTR are opposite. And the proposed bus system places two P-CTR drivers and two N-CTR drivers alternatively. In the proposed P/N-CTR interface scheme, the signals of neighboring interconnection lines at both sides of a bus will not switch simultaneously in the same direction, which leads to reduction in the maximum crosstalk and SSN compared to conventional interfaces. For verification of noise reduction of the proposed interface scheme, the scheme is applied to several kinds of bit-wide buses with various interconnection structures, and HSPICE simulation was performed with 0.35 μm SPICE parameters. The simulation results show that in the 32-bit or less wide bus, the maximum SSN and crosstalk are reduced to at least 26.78% and 50 %, respectively in comparison with the conventional interface scheme.

* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Eng., Hanyang University)

接受日字:2000年8月29日, 수정완료일:2001年3月27日

I. 서 론

반도체 제조 기술의 지속적인 발달로 인하여 반도체 칩의 집적도와 동작 주파수가 증가하고 있으나, 칩과

칩 사이 전송 속도 제한으로 인하여 시스템의 동작 주파수는 칩의 동작 주파수의 증가에 비하여 매우 낮은 증가를 보이고 있다. 시스템의 동작 주파수를 증가시키기 위하여 출력 드라이버의 전류량을 증가시키고 출력 신호의 상승/하강 시간을 감소시키는 방법이 시도되고 있다^[1,2]. 그런데 이러한 방법은 회로의 동시 스위칭 잡음을 크게 하여, 클락 생성부와 같은 아날로그 회로의 전기적 특성을 악화시킬 뿐만 아니라 구동하는 드라이버의 개수 즉, 데이터 패턴에 따른 스퀴어를 크게 하여 타이밍 마진을 감소시킨다^[3,4]. 또한 데이터 패턴에 따른 누화 잡음(Crosstalk Noise)은 로직의 오 동작을 유발할 수 있을 뿐만 아니라 데이터에 따른 신호 지연을 발생시켜 시스템의 성능을 저하시킨다. 따라서, 고속으로 동작하면서 SSN(Simultaneous Switching Noise 혹은 I Noise)과 누화 잡음이 작은 I/O 인터페이스가 필요하다.

SSN을 감소시키는 방법으로는 유효 인덕턴스의 값을 감소시키는 방법이 있으나, 이 방법은 기생성분이 작은 새로운 패키지를 도입하거나 접지 핀의 수를 증가시켜야 하는 어려움이 있다. 순간적으로 흐르는 전류량을 조절하여 SSN을 감소시키는 회로적인 방법이 제안되었으나, 이 방법은 전류 구동 능력이 감소되어 시스템의 동작 속도를 감소시킨다^[5]. 또 다른 방법으로 n비트 버스에 50% 이상의 천이가 발생하는 경우에 반전된 출력 신호를 생성하고, 50% 미만의 천이가 발생하는 경우에 비 반전 출력 신호를 생성함으로써 최대 천이 수를 50% 감소시키는 회로가 제안되었다^[6,7]. 추가 1비트를 이용하여 반전/비반전 여부를 나타내는데, 버스 폭이 커지게 되면, 반전/비반전 여부를 판단하는 회로의 복잡도가 증가하여 I/O 인터페이스 회로의 속도를 저하시키는 요인이 된다^[7].

누화 잡음을 감소시키기 위해서 배선 간의 간격을 넓게 하고 유전체 두께를 줄이는 방법과 신호선 주위에 접지 배선을 사용하는 차폐(shielding) 배선을 사용하는 것이 일반적으로 사용되고 있으나, 배선의 간격을 넓히는 방법은 배선이 차지하는 면적을 증가시키는 단점을 가지고 있다.

본 논문에서는 회로적인 면에서 SSN과 누화 잡음을 동시에 감소시켜 고속 동작에 유리한 I/O 인터페이스 방식을 제안한다. II절에서는 CTR 코드의 기본 개념을 설명하고, 제안한 방식을 적용하였을 때의 SSN 감소 특성을 III절에서 해석 하고, 누화 감소 특성을 IV 절에서 분석한다. V절에서는 SSN과 최대 누화를 동시에

감소시키는 P/N-CTR 드라이버의 배치에 대해서 고찰한다.

II. PCTR과 N-CTR 코드의 개념

P-CTR 코드의 심벌은 입력되는 데이터에 따라서 상승/하강 하는 위치가 변하는 펄스 그림 1(a)에서 보는 것처럼 심벌의 반주기 내에서 첫 번째 구간 즉, 위치 a에서 상승 하면 0을 나타내고, 두 번째 구간 즉, 위치 b에서 상승하면 1을 의미하도록 하였다. 또한, 나머지 반주기에서 첫 번째 구간 즉, 위치 c에서 하강 하면 0을 두 번째 구간 즉, d에서 하강 하면 1을 의미하도록 하였다. 이 방식은 하나의 심벌에 천이가 항상 반 주기가 마다 한 번씩 발생하는 특징을 지닌다.

N-CTR 코드의 심벌은 P-CTR 코드와 반대로 심벌의 처음 반주기 동안에 하강 위치에 데이터를 인코딩하고 다음 반주기 동안에 상승 위치에 데이터를 인코딩하는 차이점만 있다. N-CTR 코드의 심벌과 인코딩된 예를 그림 2에 나타내었으며, P-CTR 코드를 사용한 예인 그림 1(b)와 비교하면 인코딩 신호들이 반전관계에 있음을 알 수 있다.

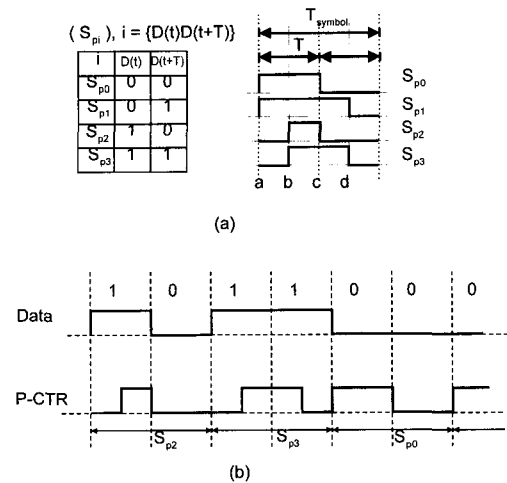


그림 1. (a) P-CTR코드 인코딩 심벌, S_{p0} 는 순차적으로 00 이 입력되었을 때의 인코딩 심벌을 나타내고, S_{p1} 은 01, S_{p2} 는 10, 그리고 S_{p3} 는 11이 입력되었을 때의 인코딩 심벌을 나타낸다 (b) P-CTR 코드를 이용한 인코딩 예

Fig. 1. (a) Encoded symbols of P-CTR. The S_{p0} represents 00 of series input data, S_{p1} represents 01, S_{p2} represents 10 and S_{p3} represents 11, (b) the example using P-CTR code.

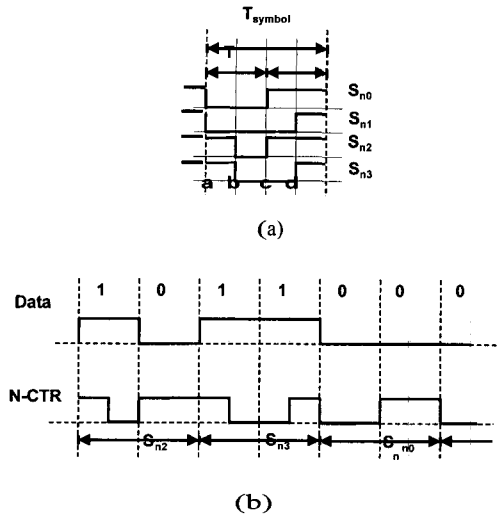


그림 2. (a) N-CTR코드 엔코딩 심벌, s_{n0} 는 순차적으로 00 이 입력되었을 때의 엔코딩 심벌을 나타내고, s_{n1} 은 01, s_{n2} 는 10, 그리고 s_{n3} 는 11이 입력되었을 때의 엔코딩 심벌을 나타낸다 (b) N-CTR 코드를 이용한 엔코딩 예

Fig. 2. (a) Encoded symbols of N-CTR. The s_{n0} represents 00 of series input data, s_{n1} represents 01, s_{n2} represents 10 and s_{n3} represents 11, (b) the example using N-CTR code.

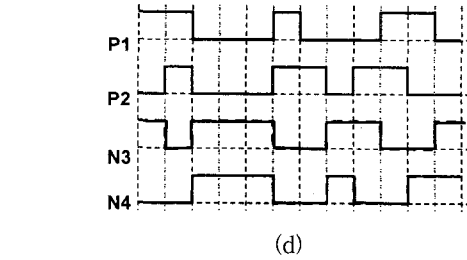
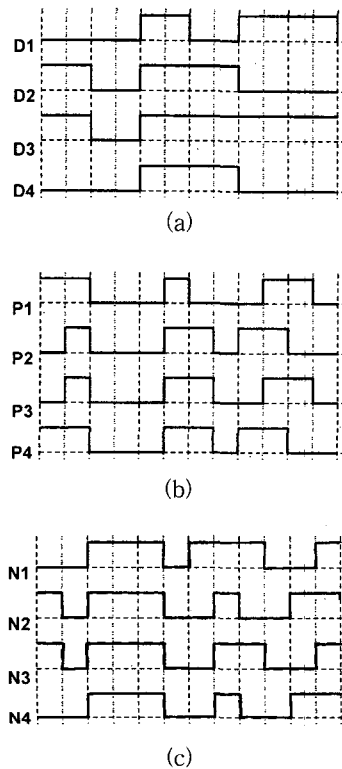


Fig. 3. 4 비트 버스에서의 (a) 입력 데이터 파형, (b) P-CTR 엔코딩 파형, (c) N-CTR 엔코딩 파형, (d) P/N-CTR 엔코딩 파형.

Fig. 3. Waveforms at 4 bits bus of (a) input data, (b) P-CTR code, (c) N-CTR code and (d) P/N-CTR code.

P-CTR 코드와 N-CTR 코드를 사용하여 구성된 I/O 인터페이스 회로의 파형을 그림 3에 나타내었다. 입력 데이터가 그림 3(a)와 같이 4 비트 데이터가 병렬로 입력 되었을 때 P-CTR, N-CTR 그리고 P/N-CTR 코드를 사용하여 엔코딩한 경우를 그림 3(b), (c), 그리고 (d) 에 각각 나타내었다. 그림 3(a)에서 보는 바와 같이 동시에 하강 천이하는 최대 드라이버 수는 4개 이다. P-CTR코드를 사용한 그림 3(b)와 N-CTR 코드를 사용한 그림 3(c) 또한 동시에 하강 천이하는 최대 드라이버 수는 4개이다. 그러나 P/N-CTR를 사용한 경우에는 그림 3(d)에서 보는 바와 같이 동시에 하강 천이하는 최대 드라이버 수는 2개이다.

엔코딩하지 않고 전송하거나, P-CTR 코드 혹은 N-CTR 코드만을 이용하여 데이터를 전송하는 인터페이스 회로는 출력 회로가 모두 한 방향으로 동시에 스위칭할 때 최대 SSN 잡음이 발생한다. P-CTR 코드와 N-CTR 코드의 천이 특성은 상승 구간과 하강 구간이 구분되어 있으며, 각 코드의 천이 방향이 반대이다. 따라서 이와 같은 천이 특성을 이용하여 동시에 같은 방향으로 스위칭하는 드라이버의 수를 조절할 수 있다.

III. CTR 코드를 사용하는 I/O 인터페이스 회로의 SSN 특성

n 비트 버스에서 n 개의 드라이버가 동시에 하강 천이하는 경우에 발생하는 최대 SSN잡음은 식 (3-1)과 같다^[8].

$$V_{n, \max} = s_n k_{sn} L_{eff} \left(1 - e^{-\frac{(t_r - t_n)}{nk_n L_{eff}}} \right) \quad (3-1)$$

여기서,

n = 동시에 하강 천이하는 최대 드라이버의 수

$$s_r = \frac{dV_{in}}{dt} = \frac{V_{DD}}{t_r}$$

$$t_n = \frac{V_{TN}}{s_r}$$

$$k_{sn} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)$$

이다. 식 (3-1)에서 보는 바와 같이 드라이버의 최대 천이 개수를 감소시킴으로써 최대 SSN을 감소시킬 수 있다.

P-CTR 혹은 N-CTR 코드를 사용함으로써 천이 패턴이 변화되고 이를 이용하여 최대 천이 개수를 감소시킬 수 있다. 인코딩된 신호의 특성을 분석하기 위해서 천이 상태(transition state)를 정의하고 심벌 표를 이용하여 천이 상태도(transition state diagram)를 만든다.

천이 상태를

- W_0 는 $t=0$ 에서 하강 천이,
- W_1 는 $t=0.5T$ 에서 상승 천이,
- W_2 는 $t=0.5T$ 에서 하강 천이, 그리고
- W_3 는 $t=T$ 에서 상승 천이,

로 정의할 수 있다. 이들 천이 상태를 그림 4(a)에 나타내었으며, 그림 4(a)에 나타낸 천이 상태와 그림 1(a)에 나타낸 심벌 표를 이용하여 천이 상태도를 그림 4(b)에 나타내었다. 천이 상태도에서 0/1이 의미하는 것은 입력 데이터를 나타내며, 화살표는 천이 상태의 변화를 나타낸다. 상승 천이 상태를 나타내는 집합 W_U 와 하강 천이 상태를 나타내는 집합 W_L 로 구분할 수 있으며, 이를 다음과 같이 식 (3-2)와 (3-3)으로 나타낼 수 있다.

$$W_U = \{W_1, W_3\} \tag{3-2}$$

$$W_L = \{W_0, W_2\} \tag{3-3}$$

천이 상태도로부터 P-CTR 코드의 특징을 살펴 보면 W_U 중의 한 상태에서 데이터가 입력되면, 천이 상태를 나타내는 부분 집합 W_L 중의 하나의 상태로 이동하게 된다. 즉, 천이 상태도에서 보는 바와 같이, 출력의 천이 상태는 T 를 주기로 W_U 와 W_L 사이를 반복적으로 이동하게 되며, 입력 되는 데이터에 따라서 각 부분 집합내의 한 천이 상태를 선택하게 된다.

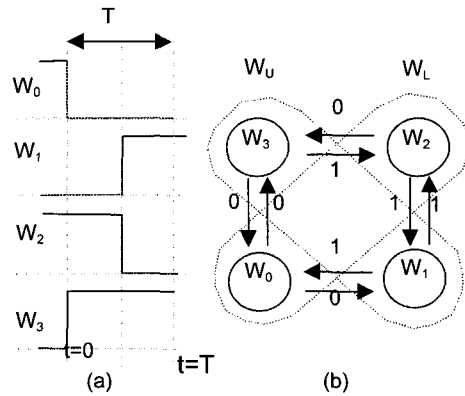


그림. 4. (a) 천이 상태와 각 파형, (b) 천이 상태도
Fig. 4. (a) Transition states and each waveform, (b) transition state diagram.

N-CTR을 사용하는 코드의 특성을 그림 2(a)와 그림 4(a)의 천이 상태를 이용하여 천이 상태도를 구하면 그림 4(b)의 상태도를 얻을 수 있다. 이것은 두 인코딩 방식이 기본적으로 동일함을 나타낸다. 그러나, 시간적으로는 천이 상태를 관찰하면, P-CTR 코드가 0과 T 시간에 W_U 중의 하나를 선택하고 T와 2T시간에는 W_L 중에 한 상태를 선택하는데, N-CTR 코드는 0과 T 시간에 W_L 중의 하나를 선택하고 T와 2T시간에는 W_U 중에 한 상태를 선택한다. 즉, N-CTR 코드와 P-CTR 코드는 동일한 천이 상태도를 사용하지만 각 P-CTR과 N-CTR 인코딩 신호의 천이 상태는 동일한 시간에 같은 천이 상태를 갖지 않는다.

n비트 버스에서 천이 상태(transition state)를 이용하여 최대 하강 천이 개수를 정의하면, 이것은 동일한 시간에 하강 천이 상태를 갖는 드라이버의 최대 수이다. 위의 결과들로부터 P-CTR 코드와 N-CTR 코드를 함께 사용하면 P-CTR 드라이버와 N-CTR 드라이버는 동일한 시간에 두 종류의 드라이버가 W_L 상태로 천이하지 않기 때문에 최대 하강 천이 수를 감소시킬 수 있다. m개의 배선에 P-CTR 코드를 사용하고 (n-m)개의 배선에 N-CTR 코드를 사용하면, m개의 P-CTR 드라이버가 W_L 집합 중의 한 천이 상태만 모두 선택한다고 하더라도, N-CTR 드라이버는 W_U 집합 중의 한 천이를 선택하여야 하므로 최대 하강 천이 수는 m이 되며, (n-m) 개의 N-CTR 드라이버가 모두 W_L 집합 중에 한 상태만을 동시에 선택한다고 하더라도 P-CTR 드라이버는 W_U 중의 한 상태를 선택하여야

하기 때문에 최대 하강 천이 수는 $(n-m)$ 개이다. 따라서 이들 n 과 $(n-m)$ 을 최소로 하기 위해서는 m 을 $n/2$ 로 선택하여야 한다. 입력되는 데이터와 참조하는 심벌 표에 의해서 N-CTR 인코딩 신호와 P-CTR 인코딩 신호가 생성되며, 이웃한 신호들 사이의 의존 관계가 없기 때문에 P/N-CTR 인코딩 방식을 비트 수가 큰 버스에서 적용하더라도 인코딩 신호를 생성하는데 추가적인 지연이 발생하지 않는다.

n 개의 배선에서 코딩을 하지 않거나, P-CTR 코드 혹은, N-CTR 코드를 사용하는 인터페이스에서는 최대 잡음이 발생하는 경우의 천이 수는 n 이다. 그러나 P-CTR 코드와 N-CTR 코드를 각각 $n/2$ 개씩 사용하는 P/N-CTR 코드 인터페이스인 경우에는 최대 천이 개수가 $n/2$ 이다. 이 경우에는 드라이버의 배치 방법은 ${}^nC_{n/2}$ 개가 존재한다.

P/N-CTR 코드 회로를 사용하였을 때 SSN의 감소는 식 (3-1)에서 n 을 $n/2$ 로 대치한 것이며 감소 정도는 식 (3-4)와 같다.

$$\% \text{ Reduction Ratio} = 100 \times \left[\frac{1}{2} \left\{ 1 - e^{-\frac{(t_r - t_f)}{nk_n L_{eff}}} \right\} \right] \quad (3-4)$$

SSN을 HSPICE^[9]로 시뮬레이션하기 위하여 $0.35 \mu\text{m}$ N-well CMOS SPICE 파라미터를 사용하여 출력 드라이버를 구성하였으며, 입력 신호의 상승 시간은 1 nsec , 부하(load)는 10 pF 그리고 접지의 유효 인덕턴스는 0.5 nH 로 가정 하였다. 식 (3-4)를 이용하여 계산한 SSN의 감소 비와 HSPICE를 이용한 시뮬레이션 결과로 도출한 SSN 감소 비를 그림 5에 나타내었다. 그림 5에서 보는 바와 같이 배선의 수가 증가할 수록 SSN 감소 비율이 감소함을 확인 할 수 있다. 즉, 제안한 P/N-CTR 인터페이스 방식은 배선의 비트 수를 32보다 작게 하였을 때 최대 SSN 잡음이 최소 26.78% 이상 감소함을 알 수 있다.

IV. CTR 코드를 사용하는 I/O 인터페이스 회로의 누화 특성

누화 잡음은 드라이버 출력에서 나타나는 near-end 누화 잡음과 부하에서 나타나는 far-end 누화로 구분할 수 있으며, 잡음의 정도는 배선의 전기적 결합 성분에 의해서 결정된다. 일반적으로 비활동선 주위의 이웃한

배선들이 같은 방향으로 천이할 때 near/far-end 누화 잡음이 최대이다^[10,11].

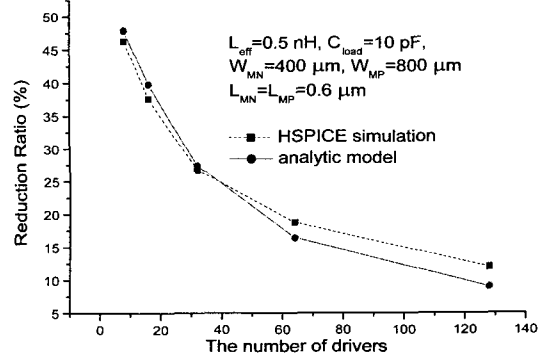


그림 5. P/N-CTR 코드 인터페이스를 사용하였을 때 스위칭 드라이버 개수에 대한 SSN 감소 비율
Fig. 5. SSN reduction ratio vs. the number of switching drivers using P/N-CTR code interface.

천이하는 배선 시스템의 누화 특성을 고찰하기 위해서 그림 6의 상호 결합 배선 시스템을, 천이 벡터와 단위 스위칭 함수를 이용하여 배선 시스템을 표현하였다^[10]. 배선 출력 신호 $V_o(t)$ 는 식(4-1)로 표현할 수 있다.

$$V_o(t) = s_i \Delta V_s u(t) \quad (4-1)$$

여기서 ΔV_s 는 출력 회로의 전압 스윙 폭이고, 천이 상수(transition constant) s_i 는 다음과 같이 정의 한다.

$$S_i = \begin{cases} 0 & : \text{no transtion} \\ 1 & : \text{transtion at ground toward } V_{DD} \\ -1 & : \text{transtion at } V_{DD} \text{ toward ground} \end{cases}$$

그리고 $u(t)$ 는 상승 시간이 t_r 인 단위 스위칭 함수(unit switching function)이다. 즉, (4-2)와 같다.

$$u(t) = \begin{cases} 0, & t < 0 \\ \frac{t}{t_r}, & 0 \leq t \leq t_r \\ 1, & t \geq t_r \end{cases} \quad (4-2)$$

배선에 인가되는 전압들은 천이 벡터 s 를 사용하여 식(4-3)와 같이 n 차원 벡터로 표시할 수 있다.

$$V(t) = s \Delta V_s u(t) \quad (4-3)$$

누화는 배선의 구조, 드라이버 회로의 출력 저항 행렬 (R_S), 중단 저항 행렬 (R_T), 배선의 특성 임피던스 행렬 (Z_0), 입력 데이터의 형태 그리고 파형의 상승 시간에 따라서 달라짐을 알 수 있다^[10]. 그런데 본 논문에서는 코딩 방식에 따른 누화 특성이 관심의 대상이므로 누화에 영향을 주는 다른 요소들은 고정되었다고 가정하고 천이에 따른 누화 특성을 조사하고, 다양한 배선 구조에 대한 누화 시뮬레이션을 수행하고 그 결과를 분석한다.

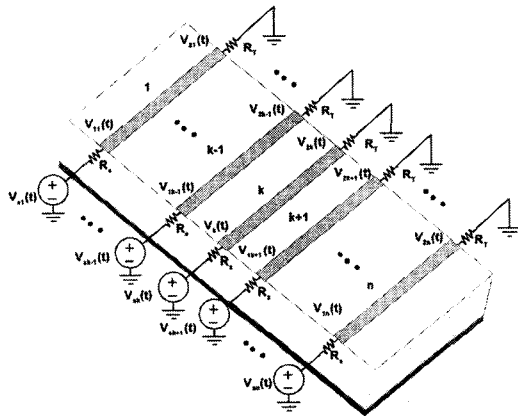


그림 6. 상호 결합 배선 시스템
Fig. 6. the coupled transmission line system.

다중 배선에서의 최대 near/far-end 누화는 천이 벡터가 식(4-4)일 때 발생하고, 누화의 영향을 받는 배선은 중앙에 위치한 것이다.

$$s=(1 \dots 101 \dots 1) \tag{4-4}$$

코딩하지 않거나, P-CTR 코드 혹은 N-CTR 코드를 이용하여 데이터를 전송하는 경우에는 천이 벡터 식(4-4)을 포함한다. n비트 버스에서 near/far-end 최대 잡음 생성 천이 벡터를 s_{max} 라고 하였을 때, P/N-CTR 드라이버를 함께 사용하고 적절히 배치함으로써 인터페이스에서 발생하는 천이 벡터를 제한하여, 벡터 s_{max} 가 생성되지 않게 할 수 있다.

Near/far-end 최대 누화 특성을 검증하기 위해서는 전송하는 모든 데이터에 따른 잡음 특성을 분석하여야 한다. 그러나, 대부분의 일반 배선은 바로 이웃한 배선의 천이만이 비활동 배선에 주된 영향을 주기 때문에, 비활동 배선을 포함한 3개의 배선에 대해서 누화 잡음 특성을 고찰한다. 비활동선 주위의 천이 상태를 천이

상수를 이용하여 천이 벡터로 나타내면 $s_{null}=(000)$, $s_0=(10-1)$, $s_1=(100)$, $s_2=(001)$ 그리고 $s_3=(101)$ 이다. 여기서, (1 0 1) 과 (-1 0 -1), (0 0 1) 과 (0 0 -1), (1 0 -1) 과 (-1 0 1), 그리고 (1 0 0) 과 (-1 0 0) 의 천이 벡터들은 천이 방향이 반대이지만 누화 잡음의 절대값은 동일하기 때문에 네 가지 천이 벡터로 이웃한 배선의 천이 상태를 나타낸다.

엔코딩 하지 않은 즉, NRZ를 사용하는 인터페이스의 천이 벡터로 이루어진 집합 UNRZ 는 모든 천이 벡터를 포함하며, 식 (4-5)과 같다.

$$UNRZ = \{s_{null}, s_0, s_1, s_2, s_3\} \tag{4-5}$$

이웃한 배선들이 P-CTR 코드로 구성된 인터페이스의 천이 벡터로 이루어진 UP-CTR는 식(4-6)과 같다.

$$UP-CTR = \{s_{null}, s_1, s_2, s_3\} \tag{4-6}$$

N-CTR 인터페이스의 천이 벡터로 이루어진 집합 UN-CTR은 식(4-7)과 같다.

$$UN-CTR = \{s_{null}, s_1, s_2, s_3\} \tag{4-7}$$

P-CTR과 N-CTR 코드는 동일 시간에서 천이 상태는 반대이지만 천이 벡터면에서 보면 동일하다. 따라서 천이 특성도 P-CTR와 N-CTR 코드만을 사용한 경우에는 동일하다. 위의 세 개 배선에서의 천이 특성 비교로부터 UN-CTR과 UP-CTR가 s_3 즉 (1 0 1) 혹은 (-1 0 1) 벡터를 가지고 있기 때문에 엔코딩 되지 않은 경우와 비교하여 최대 누화 잡음면에서 개선이 없다. 그런데, 그림 4(b)에 나타낸 천이 상태도로부터 P-CTR과 N-CTR 코드의 천이 상태는 동일하지 않으며, 천이 집합도 W_L 과 W_U 로 분리 되기 때문에 같은 시간에 같은 방향으로 동시에 천이 되는 경우는 존재하지 않는다. 따라서, 비활동선 좌우에 P-CTR 과 N-CTR 드라이버를 배치한 3배선의 천이 상태를 나타내면 식 (4-8)과 같다.

$$UPN-CTR = \{s_{null}, s_0, s_1, s_2\} \tag{4-8}$$

UPN-CTR은 s_3 즉 (1 0 1) 혹은 (-1 0 -1) 벡터를 포함하지 않는다. 따라서 천이에 따른 최대 누화 잡음을 감소시킬 수 있다.

엔코딩된 병렬 신호에 의한 누화 특성을 평가하기 위하여 그림 7(a)와 같이 3개 배선이 있을 때 가운데

배선에서의 누화 특성을 HSPICE^[9] 시뮬레이션을 통하여 조사하였다. 누화 잡음을 시뮬레이션하기 위해서 기판의 재질은 FR4-epoxy를 사용하였으며, 배선의 구조는 다음과 같이 변화 시켜가면서 Ansoft사의 Maxwell^[12]을 이용하여 배선에서의 파라미터 값을 추출하였다. 기판의 두께(H)가 200 μ m에서 800 μ m까지, 배선 폭(W)은 150 μ m에서 350 μ m까지, 배선 간격(S)이 200 μ m에서 600 μ m까지 변화시켜 가며 배선 구조를 설정하고, 배선 길이는 20cm로 가정하였다. 반사(reflection)를 배제하고 누화 특성만을 보기 위해서 특성 임피던스와 동일한 저항 값을 종단 저항으로 하였으며, 비활동선(혹은 영향을 받는 선)의 입력부와 종단부도 특성 임피던스와 동일한 저항 값을 사용하였다. 그림 7(a)의 배선에 입력 전압은 5V를 인가하였으며, 입력

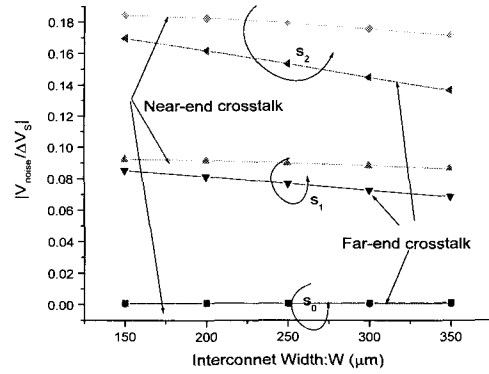
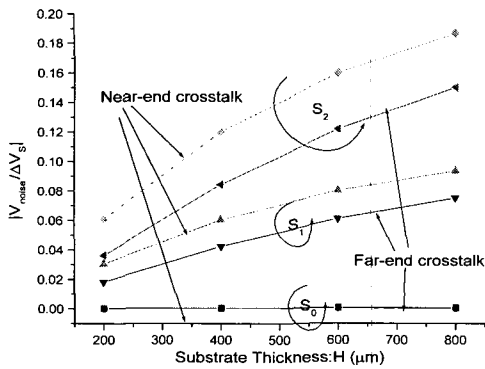
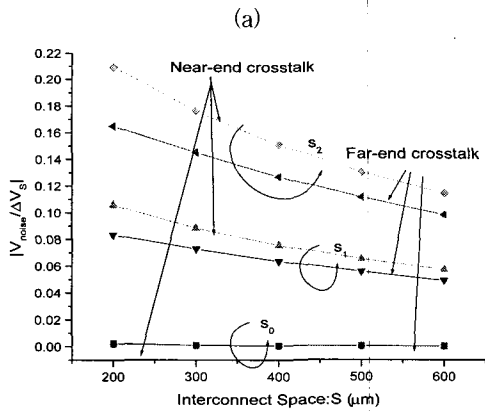
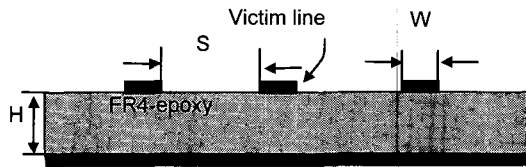


그림 7. 천이 벡터가 $s_0=(10-1)$ $s_1=(100)$ 과 $s_2=(101)$ 일 때 near-end의 누화 잡음과 far-end의 누화 잡음 (a) 배선의 단면도, (b)기판의 space 변화에 따른 잡음, (c) 유전체 두께에 변화에 따른 잡음, (d) 배선의 폭에 따른 잡음.

Fig. 7. Near-end crosstalk noise and far-end crosstalk noise at $s_0=(10-1)$ $s_1=(100)$ and $s_2=(101)$ (a) cross-section of interconnection, (b) according to space(S) variation, (c) according to thickness (H), (d) according to width (W).

할 때 인가되는 전류량은 5V를 두 배의 특성 임피던스로 나눈 값이다. 상승 시간과 하강시간은 각각 2nsec로 하였다.

그림 7(b)에서는 배선의 간격(S)을 변화시켜 가면서, 그림 7(c)에서는 기판의 두께를 그리고, 그림 7(d)에서는 배선의 폭을 변화 시켜 가면서 천이 벡터 s_0 s_1 과 s_2 에 대한 near-end 와 far-end 누화 잡음을 관찰하였다. 그림 7(b)로부터 배선의 간격이 증가함에 따라서 누화가 감소하며, s_2 에서 최대 누화가 발생한다. 그림 7(c)에서는 기판의 두께를 증가 함에 따라 누화 잡음이 증가하며 또한 s_2 에서 최대 잡음이 발생하고 다음으로 s_1 의 잡음이 크다. 그림 7(d)에서는 배선의 폭이 증가 함에 따라서 누화 잡음이 감소하며 s_2 에서 최대 잡음이 발생한다. 그림 7의 결과로부터 시뮬레이션한 모든 구조는 동시에 같은 방향으로 천이 하는 경우에 최대 잡음이 발생하는 것을 확인할 수 있다. s_0 에서는 이웃한 배선의 스위칭 방향이 반대이기 때문에 잡음이 상쇄되어 거의 잡음이 없으며, s_2 와 s_1 경우의 잡음의 크기를 비교해 보면 s_1 에서의 잡음이 s_2 에서의 잡음보다 50% 작음을 알 수 있다. 즉 한 배선이 천이 하는 경우의 두 배 잡음이 s_2 경우에 발생한다.

식 (4-6)과 (4-7)로부터 알 수 있듯이 P-CTR 혹은 N-CTR 만을 사용하는 방식은 천이 벡터 s_0 의 발생을 제거 할 수 있으며, 식 (4-8)로부터 알 수 있듯이 P/N-CTR을 좌우에 배치하는 방식은 천이 벡터 s_2 의 발생을 제거할 수 있다. 이와 같이 인코딩 방식과 배치 방식에 따라서 배선의 천이 특성을 제한함을 알 수 있으며, 특히, P-CTR/N-CTR 드라이버를 좌우에 배치하였을 때에는 천이 벡터 s_2 의 발생을 제거할 수 있기 때문에 그림 7에 나타난 것과 같이 천이에 따른 최대 누화는 s_1 일 때 발생하며, 기존의 인터페이스와 비교하여 최대 누화 잡음을 50 % 감소시킬 수 있다.

임의의 배선에서 최소의 누화 잡음 특성을 갖도록 하기 위해서는 반복되는 형태의 드라이버 배선 구조를 선택하여야 한다. 그림 3(d)에서와 같이, 같은 종류의 코드를 사용하는 드라이버 두 개를 한 묶음으로 하여 교대로 P-CTR 코드 드라이버 묶음과 N-CTR 코드 드라이버 묶음을 배치하면 이웃한 두 배선에서 천이 방향이 반대가 되어 누화 전압의 극성이 반대가 된다. 즉, 배선의 구조가 동일하다고 가정하였을 때 이웃한 드라이버가 동시에 반대 방향으로 스위칭 하면 누화가 상쇄된다. 이와 같은 드라이버의 배치는 배선 내 임의의 위치에서 식 (4-8)에 나타나는 천이 특성을 만족한다. 따라서 P/N-CTR 코드를 사용하여 최대 누화를 감소시키는 일반적인 배치 형태를 그림 8에 나타내었다.

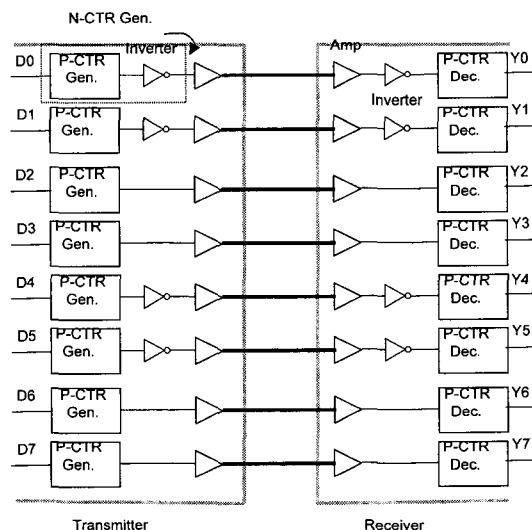


그림 8. 누화를 최소화하기 위한 P/N-CTR 송신 회로와 수신 회로

Fig. 8. P/N-CTR transmitter and receiver to minimize crosstalk.

V. 최대 누화와 SSN을 감소시키는 P/N-CTR 인터페이스

III절과 IV절에서 SSN과 최대 누화를 감소시키는 방법에 대해서 각각 고찰하였으며, 이들 결과를 이용하여 n 비트 배선에서 두 가지 잡음을 동시에 감소시키는 방법을 찾을 수 있다. 첫 번째로 SSN을 감소시키기 위하여 배선의 절반 즉, $n/2$ 개의 배선에 P-CTR 코드를 사용하고 나머지 $n/2$ 개의 배선에는 N-CTR코드를 사용한다. 이렇게 함으로써 최대 천이 수를 n 에서 $n/2$ 로 감소시킬 수 있다. 두 번째로 누화를 감소시키기 위해서 $n/2$ 개의 P-CTR코드 드라이버를 두 개씩 한 묶음으로 하고, 또한 $n/2$ 개의 N-CTR 코드 드라이버들을 두 개씩 한 묶음으로 한 다음, 이들 P-CTR 드라이버와 N-CTR 드라이버 묶음을 교대로 배치한다. 이렇게 함으로써 임의의 배선을 선택하더라도 이웃한 배선이 동시에 같은 방향으로 천이하는 경우를 제거시킬 수 있어 천이 형태에 따른 최대 누화를 감소시킬 수 있다. 두 가지 조건을 만족하는 P/N-CTR 코드 인터페이스 구조는 그림 8에 나타난 것과 같다. 즉 최대 누화를 감소시키는 그림 8의 드라이버 배치가 SSN도 최소로 하는 배치임을 알 수 있다. 예를 들어 32비트 버스인 경우에, 기존 방식의 최대 천이 개수는 드라이버가 모두 한 방향으로 천이하는 경우인 32개인 반면에, P/N-CTR 인코딩하는 경우에는 모든 입력이 한 방향으로 스위칭하여도, 인코딩 후에는 16개 상승 천이가 발생하고 16개 하강 천이가 발생하여 최대 천이수가 기존의 방식에 비하여 절반인 16개로 감소된다.

P/N-CTR로 인코딩하는 경우에는 심벌의 천이 구간을 더욱 작게 나눔으로써 심벌 당 인코딩 되는 비트 수를 증가시킬 수 있으며, 이와 같은 방법은 인코딩 비트가 증가하더라도 한 심벌의 천이 수는 항상 2번이다. 그러나 인코딩 비트를 증가시켜, 심벌의 천이 구간을 너무 작게 하는 것은 타이밍 마진을 감소시켜 시스템의 오동작을 유발하기 때문에 인터페이스의 최대 전송 속도와 배선의 특성에 맞추어 인코딩 비트 수를 선택하여야 한다. 즉, 적용하는 인터페이스의 타이밍 마진을 고려하여 천이 구간의 최적 간격을 결정하여야 하며, 일반적으로 한 핀당 2비트 혹은 3비트 정도를 인코딩하는 것이 적절하다^[13].

그림 8에서 보는 바와 같이 N-CTR 엔코딩 신호를 생성하기 위해서는 P-CTR 엔코딩 신호의 출력을 반전 시킴으로써 가능하다. 고속 인터페이스 회로에 적용하기 위해서 PLL과 멀티플렉서를 이용하여 상승 에지와 하강 에지에서 각각 2 비트 엔코딩하는 CTR 엔코딩하는 회로를 그림 9, 엔코딩하는 과정을 그림 10 그리고, CTR 신호를 디코딩하는 디코더를 그림 11에 나타내었다. 그림 9에서 T_CP1, T_CP2, T_CP3, T_CP4 그리고, T_CP4DELAY 는 송신회로의 PLL에서 발생하는 멀티페이즈 신호를 나타내고 있으며, X_{ki}와 X_{kj}는 2 비트 입력 데이터를 나타낸다. 즉 2 비트 입력을 받아 상승/하강 에지를 선택함으로써 엔코딩 심벌을 생성하는 것이다. 10_(a)과 11_(a)이 입력 되었을 때의 출력 파형의 생성과정을 그림 10에 나타내었다. 그림 11은 그림 10에서와 같이 엔코딩한 신호를 수신회로의 PLL로부터 생성되는 멀티페이즈 신호 R_CP1, R_CP2, R_CP3와 상승 에지에서 동작하는 센스 앰프와 하강 에지에서 동작하는 센스 앰프를 이용하여 원래 데이터로 복원을 한다. CTR 엔코딩/디코딩하는 회로에 대한 내용은 참고 문헌^[14]에 자세히 기술되었다.

중단 저항을 사용하는 배선 구조에 P/N-CTR 드라이버를 사용하였을 때의 전력 소모는 일반 중단 저항을 사용하는 경우와 비교하여 동일하다. 예를 들어 push-pull 드라이버를 사용하면 드라이버의 입력 데이터에 상관없이 일정한 전류가 배선에 흐르기 때문에 엔코딩 하지 않은 인터페이스와 비교하여 평균 전력면에서는 동일하다. 또한, 제안하는 회로는 멀티페이즈 신호를 이용하여 P/N-CTR 엔코딩 신호를 생성하기 때문에, 칩 내의 클락과 시스템의 클락을 일치시키기 위해서 사용하는 DLL 혹은 PLL 회로를 같이 사용하면 별도의 DLL 또는 PLL 회로가 필요하지 않아 면적의 증가를 최소화 할 수 있다.

VI. 결 론

기존의 칩과 칩 (chip-to-chip) 인터페이스에 비하여 동시에 같은 방향으로 스위칭하는 드라이버의 수를 절반으로 줄임으로써 SSN을 감소시키고, 이웃한 배선이 같은 방향으로 동시에 스위칭 하는 것을 방지하여 누화 잡음을 감소시키는 인터페이스 회로 설계 방법을 제안하였다. 제안한 P/N-CTR 인터페이스 방식의 SSN 및 누화 감소 효과는 인터커넥션 라인의 구조, 버스 폭,

공정 조건 등에 따라 다르게 나타난다. 본 논문에서는, 일례로서, 그림 5와 같은 조건 하에서 32비트 이하의 버스에 적용하면, 최대 SSN 잡음을 적어도 26.78 % 만큼 감소시킬 수 있음을 HSPICE 시뮬레이션을 통하여 확인하였다. 또한, 다양한 배선 구조에 대하여 누화 잡음 시뮬레이션 결과를 수행함으로써 제안한 인터페이스의 최대 누화 잡음이 기존의 인터페이스에 비해 50% 감소시킬 수 있음을 나타낸다. 그리고, P/N-CTR 코드 인터페이스 방식은 종래의 방식과 달리, 배선 수 증가에 따라서 엔코딩 신호를 생성하는데 추가 지연 시간이 발생하지 않기 때문에, 고속 버스에 적합하다.

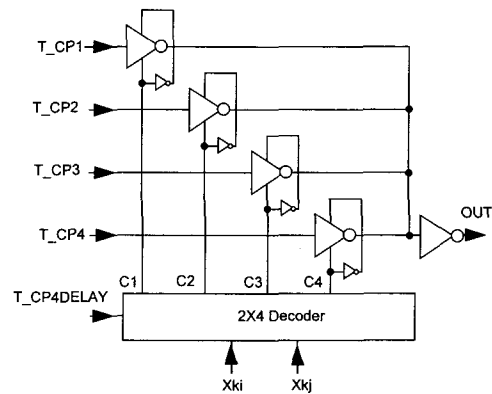


그림 9. 채널 엔코더의 구성도[14]

Fig. 9. The schematic diagram of channel encoder [14].

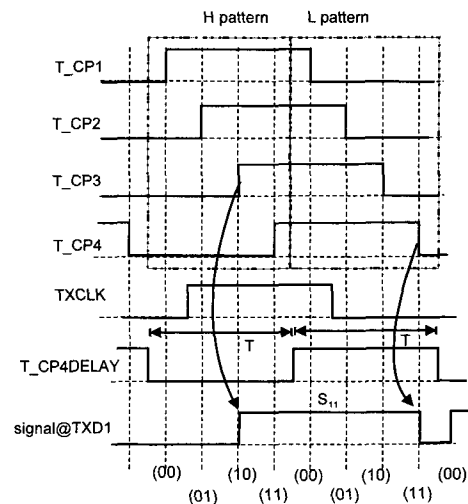


그림 10. 송신부 T-PLL의 출력 파형 및 CTR 심벌의 생성 과정[14]

Fig. 10. The output signal of T-PLL and the CTR symbol generation procedure [14].

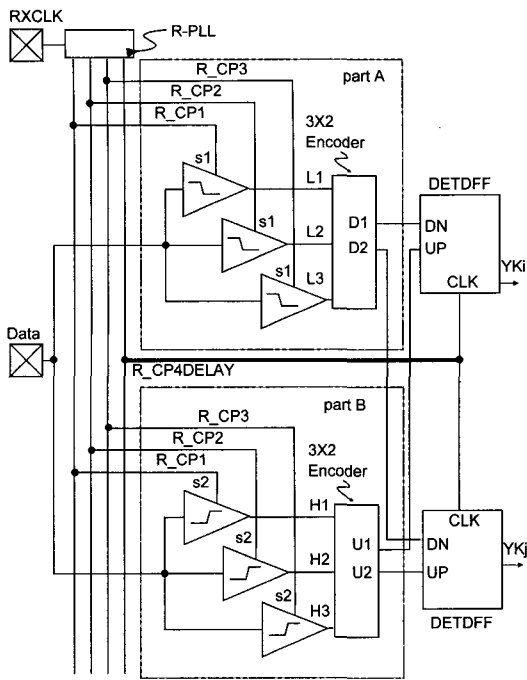


그림 11. 채널 디코더의 구성도[14].
Fig. 11. The schematic diagram of channel decoder[14].

참 고 문 헌

[1] A. X. Widmer et al., "Single-Chip 4 500-MB CMOS Transceiver," *IEEE J. Solid-State Circuits*, vol. 31, no. 12 pp. 2004~2013, Dec. 1996.
[2] S. Kim et al., "An 800Mbps Multi-Channel CMOS Serial Link with 3x Oversampling," *IEEE Custom Integrated Circuits Conference*, 22.7.1, pp. 451~454, 1995.
[3] I. A. Young et al., "A PLL Clock Generator with 5 to 100 MHz of Lock Range for Microprocessors," *IEEE Journal of Solid-State Circuits*, vol. SC-27, pp. 1599~1607, Nov. 1992.

[4] C. Kim et al., "A 640MB/s Bi-Directional Data Strobed, Double-Data-Rate SDRAM with a 40mW DLL Circuit for a 256MB Memory System," *ISSCC Digest of Technical Papers*, pp.158~159, 1998.
[5] R. Senthinatha et al., "Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 12, pp. 1383~1388, Dec. 1993.
[6] M. R. Stan et al., "Bus-Invert Coding for Low-Power I/O," *IEEE Trans. VLSI system*, vol. 3. no.1, pp. 39~48, Mar. 1995.
[7] K. Nakamura et al., "A 50% Noise Reduction Interface Using Low-Weight Coding," *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 144~145, 1996.
[8] S. R. Vemuru, "Accurate Simultaneous Switching Noise Estimation Including Velocity-saturation Effect," *IEEE Trans. CPMT-PART B*, vol. 19, pp. 344~349, May 1996.
[9] Avant!, *HSPICE User's Manual*, 1996.
[10] C. Gordon and K. M. Roselle, "Estimating Crosstalk in Multiconductor Transmission Lines," *IEEE Trans. CPMT.*, vol. 19, no.2, pp. 274~277, May 1996.
[11] H.B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley, 1990.
[12] Ansoft Corp., *Maxwell 2D Parameter Extractor User's Reference*, 1994.
[13] Kazutaka Nogami et al., "A CMOS 160Mb/s Phase Modulation I/O Interface Circuit," *ISSCC Digest of Technical Papers*, pp. 108~109, Feb.1994.
[14] 김준배, 권오경, "CTR 코드를 사용한 I/O 핀 수를 감소 시킬 수 있는 인터페이스 회로," 전자공학회논문집, 제36권 D편, 제1호, pp. 47~55, 1999년 1월

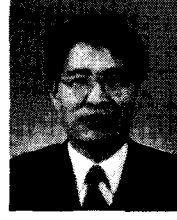
저 자 소 개



金俊倍(正會員)

1969년생. 1993년 2월 한양대학교 전자공학과 졸업 공학사. 1995년 2월 한양대학교 전자공학과 졸업 공학석사. 현재 한양대학교 대학원 전자공학과 박사 과정 재학 중. 주관

심 분야는 고속 I/O 회로 설계 등임



權五敬(正會員)

1955년생. 1978년 2월 한양대학교 공과대학 전자공학과 공학사. 1986년 6월 Stanford University, Dept. of Electrical Engineering, 공학석사. 1988년 3월 Stanford University,

Dept. of Electrical Engineering, 공학박사. 1980년 1월~1983년 5월, 금성 전기(주) 기술 연구소, 연구원. 1983년 5월~1987년 12월, Stanford University, Stanford Electronics Laboratories, 연구조교 1987년 12월~1992년 8월, Texas Instruments, Semiconductor Process & Design Center, 책임연구원. 1992년 9월~현재, 한양대학교 공과대학 전자전기컴퓨터공학부, 교수. 주관심 연구분야는 Smart Power Intergrated Circuits 설계 및 제조 공정, 전자패키징 및 Interconnection 설계, 제조 공정 및 테스트 및 Flat Panel Display 기술 및 구동회로 설계임