

論文2001-38SD-5-2

# 지연시간 없는 시간-디지털 신호 변환기의 설계

## (Design of a Time-to-Digital Converter without Delay Time)

崔 晉 鎬 \*

(Jin Ho Choi)

## 요 약

본 논문에서는 카운터와 커패시터를 사용하여 시간 정보로부터 디지털 출력 값을 얻을 수 있는 새로운 시간-디지털 변환기를 제안하였다. 기존의 시간-디지털 변환회로의 경우 디지털 출력 값을 얻기 위해서는 입력 신호가 인가된 후 입력 시간보다 더 긴 공정시간이 필요하였다. 또한 입력 신호의 시간 간격에 무관하게 카운터의 클럭 주파수가 일정하여 변환된 디지털 값의 분해도는 항상 일정하였다. 그러나 본 논문에서 제안한 시간-디지털 변환 회로는 입력 신호가 인가됨과 동시에 지연시간 없이 디지털 출력 신호를 얻을 수 있으며, 또한 수동소자의 값을 변화시킴으로써 원하는 입력 시간 영역과 분해도를 쉽게 구현할 수 있다.

## Abstract

A new time-to-digital converter is proposed which is based on a capacitor and a counter. The conventional time-to-digital converter requires rather longer processing time than the input time interval to obtain an accurate digital output. The resolution of the converted digital output is constant independent on the input time interval. However this study proposes the circuit in which the converted digital output can be obtained without delay time, and both the input time interval and the resolution can be easily improved through controlling passive device parameters.

## 1. 서론

시간에 대한 정보를 디지털 신호로의 변환은 거리 측정용 회로에서 응용되어지는 주요한 회로이다. 거리 측정 방법은 빛을 목표 물체에 발사한 다음, 빛이 반사되어 돌아오는 시간을 측정하고 빛의 속도와 측정되어진 시간으로부터 물체의 거리를 계산하는 것이다<sup>[1]</sup>. 시간-디지털 변환기는 빛이 발사되는 시작(start)신호와 빛이 반사되어 돌아오는 멈춤(stop) 신호 사이의 시간을 측정하여 시간 신호를 디지털 신호로 만드는 것이

다. 이러한 동작을 위한 일반적인 방법은 시작 신호가 발생하면 전류원을 이용하여 일정한 전류로 커패시터를 충전하고, 멈춤 신호가 발생하면 커패시터의 충전은 멈추게 된다. 그러면 커패시터에는 시작과 멈춤 사이의 시간에 비례하는 전하가 충전된다. 이때 커패시터에 충전된 전압을 아날로그-디지털 변환회로를 이용하여 디지털 값으로 변환하면, 시간에 대한 신호를 디지털 값으로 변환할 수 있다<sup>[2]</sup>. 그리고 또 다른 방법은 커패시터에 충전된 전하를 방전시키면서, 방전 시간동안 카운터를 이용하여 시간 신호를 디지털 신호로 변환하는 것이다. 이때 방전 시간은 보통 충전 시간의 N배가 되도록 조절한다. 즉, 방전 전류를 충전 전류의  $1/N$ 이 되도록 조절하여 방전 시간을 증가시킨다. 이와 같이 하는 이유는 디지털 출력 값의 분해도(resolution)를 향상시키기 위해서이다<sup>[1]</sup>.

\* 正會員, 釜山 外國語大學校 컴퓨터·電子工學部  
(Division of Computer and Electronics Engineering  
Pusan University of Foreign Studies)  
接受日字:2000年8月3日, 수정완료일:2001年4月20日

기존의 이러한 방법들은 시작과 멈춤의 입력 신호가 발생한 후, 디지털 출력 값을 얻기까지는 지연시간이 필요하며 방법에 따라서는 변환하고자하는 입력 시간 보다 더 긴 시간이 소요되는 단점이 있다. 그러나 본 논문에서는 시작과 멈춤 신호가 입력되면 지연시간 없이 디지털 출력 신호를 얻을 수 있는 시간-디지털 변환기를 제안하였다.

II. 시간-디지털 변환기의 구성

본 논문에서 제안하는 시간-디지털 변환기의 개략도는 그림 1과 같으며, 입력 신호 및 회로 각 블록의 출력 신호는 그림 2와 같다. 입력 신호 중 시작 신호는 RS latch의 S 단자에 그리고 멈춤 신호는 R 단자에 인가한다. 그러면 시작 신호가 low에서 high로 변화할 때 RS latch의 출력은 high가 된다. 그리고 시작 신호가 low로 변화하더라도 RS latch의 출력 Q는 계속해서 high의 값을 유지한다. 그러다가 멈춤 신호의 값이 low에서 high로 변화하면 RS latch의 출력은 high에서 low로 변화한다. 즉, RS latch의 출력은 시작과 멈춤 신호 사이에서 high 값을 가지는 펄스 신호이며, RS latch의 출력 신호는 그림 2(a)와 같다.

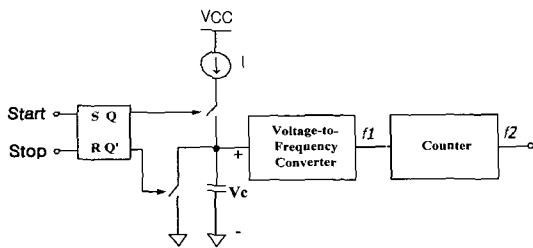
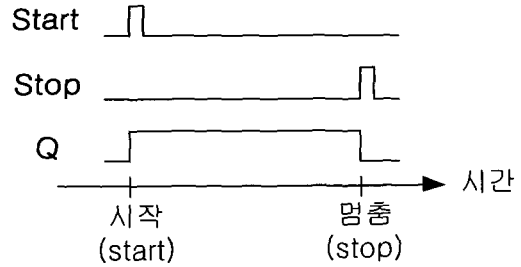
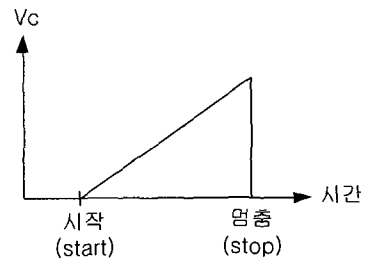


그림 1. 시간-디지털 변환기의 개략도  
Fig. 1. Block diagram of a time-to-digital converter.

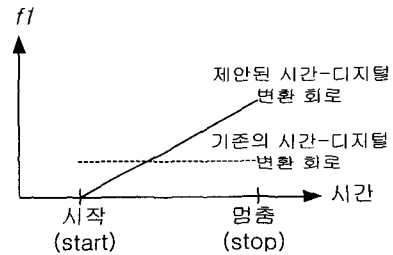
그리고 이와 같은 RS latch의 출력은 시간 신호를 전압 신호로 변환하기 위해 커패시터를 충·방전하기 위한 스위치 제어 신호로 사용된다. RS latch의 출력이 high인 경우 커패시터는 전류원을 통하여 일정한 전하를 충전한다. 그리고 RS latch의 출력이 low이면 커패시터는 방전을 한다. 그러므로 RS latch의 출력이 high인 동안 커패시터의 전압 Vc는 수식 (1)과 같이 표현된다.



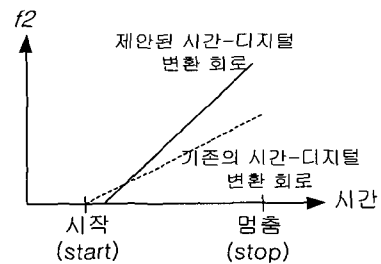
(a)



(b)



(c)



(d)

그림 2. 시간-디지털 변환 회로의 출력 신호  
(a) 입력 신호 및 RS latch 출력 신호  
(b) 커패시터 충전전압  
(c) 전압-주파수 변환회로의 출력주파수  
(d) 카운터의 출력

Fig. 2. Output signals of time-to-digital converter  
(a) Input signals and RS latch output signal  
(b) Charge voltage in capacitor  
(c) Output frequency of voltage-to-frequency converter  
(d) Counter output

$$V_c = A_1 \cdot (T_2 - T_1) \tag{1}$$

여기서  $A_1$ 은 커패시터를 충전시키기 위해 흐르는 전류와 커패시터 값의 비로 표현되어지는 비례 상수이고,  $T_2$ 는 멈춤 신호가 low에서 high로 변화할 때의 시간이며  $T_1$ 은 시작 신호가 low에서 high로 변화할 때의 시간이다. 즉, 커패시터  $C_1$ 의 충전 전압  $V_c$ 는 그림 2(b)와 같이 시작과 멈춤 신호 사이의 시간에 비례하는 전압 신호이다.

시간 신호에 비례하는 전압  $V_c$ 를 전압-주파수 변환 회로의 입력 신호로 인가하면, 전압-주파수 변환 회로의 출력 주파수는 수식 (2)와 같이  $V_c$ 에 비례하는 주파수 신호가 된다<sup>[4]</sup>.

$$f_1 = A_2 \cdot V_c \tag{2}$$

여기서  $A_2$ 는 전압-주파수 변환회로의 비례 상수 값이다. 그러므로 수식 (1)과 수식 (2)로부터 최종 출력 신호는 시작 신호와 멈춤 신호 사이의 시간에 비례하는 주파수 신호가 된다. 주파수  $f_1$ 은 그림 2(c)와 같이 시간이 증가함에 따라 선형적으로 증가하고,  $f_1$  신호를 카운터의 클럭 신호로 사용하면 카운터의 출력은 시간에 비례하는 디지털 신호가 될 것이다.

기존의 연구에 사용된 클럭 주파수는 입력 시간에 무관하게 항상 일정한 값을 가지나, 본 논문에서 제안한 회로의 클럭 주파수는 그림 2(c)에서 보듯이 입력 시간이 증가함에 따라 수식 (1)과 수식 (2)의 관계에 따라 선형적으로 증가하게 된다. 그러므로 기존의 회로와 본 논문에서 제안하는 회로의 최종 카운터의 디지털 출력 값은 그림 2(d)와 같을 것이다.

### III. CMOS로 구성된 시간-디지털 변환 회로

그림 3은 CMOS를 이용하여 설계한 시간-디지털 변환 회로이다. 회로의 각 구성을 살펴보면, 트랜지스터 MP1에서 MP4 그리고 MN1에서 MN4는 RS latch 회로이다. 그리고 MP5, MP6, MN5,  $C_1$ 으로 구성된 회로는 시작과 멈춤 신호에 따라 시간을 전압으로 변환하는 회로로서 커패시터  $C_1$ 의 전압  $V_c$ 는 시간에 비례하

여 증가하는 전압이다. 즉, 수식 (1)을 다시 표현하면 수식 (3)과 같다.

$$V_c = \frac{I \cdot (T_2 - T_1)}{C_1} \tag{3}$$

여기서  $I$ 는  $C_1$ 을 충전하기 위한 전류로서 전류원 MP5를 통하여 흐르는 전류이다. 그리고  $C_1$ 에 충전되는 전압  $V_c$ 는 MP15에서 MP19 그리고 MN12에서 MN15로 구성된 source follower를 통하여 저항  $R_6$ 에 인가된다.  $R_6$  저항을 통해서 흐르는 전류  $V_c/R_6$ 는 전류원 MP19, MP21, MP22를 통하여 흐르게 되고, 이 전류는  $V_c$ 의 전압이 증가함에 따라 선형적으로 증가하게 되므로 MP19, MP21, MP22는 시작과 멈춤 신호에 따라 선형적으로 증가하는 전류원으로 동작하게 된다. 이 전류는 스위치 MP23과 MN17을 통하여  $C_2$ 를 충·방전하게 된다. 충·방전시 최대 전압과 최소 전압은 저항  $R_1$ ,  $R_2$ ,  $R_3$  그리고 트랜지스터 MP10에서 MP14, MN8에서 MN11로 구성된 비교기 회로에 의해서 스위치 MP23과 MN17을 on/off함으로써 결정되어진다. 그러므로 커패

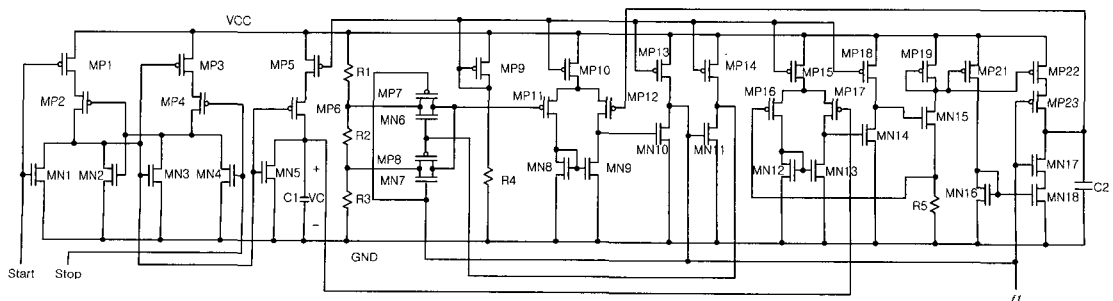


그림 3. 시간-디지털 변환 회로도  
Fig. 3. Time-to-digital converter.

서터  $C_2$ 의 전압 파형은 전류원 MP22와 MN18을 통하여 충·방전하는 삼각파가 된다. 그리고 삼각파의 주파수  $f_1$ 은 수식 (4)와 같이 표현된다.

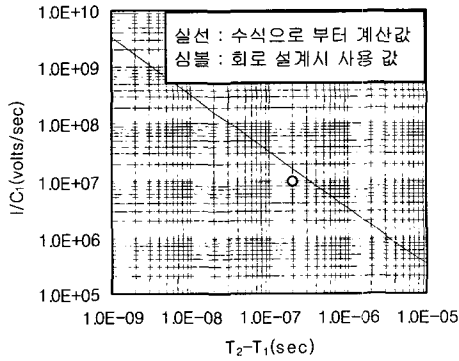
$$f_1 = \frac{V_c}{R_5} \cdot \frac{1}{C_2 \cdot (V_{high} - V_{low})} \quad (4)$$

여기서  $V_{high} = \frac{R_2 + R_3}{R_1 + R_2 + R_3} \cdot V_{CC}$ 이고,  $V_{low} = \frac{R_3}{R_1 + R_2 + R_3} \cdot V_{CC}$ 로서  $C_2$ 에 충전되는 최대전압과 최소전압이다.

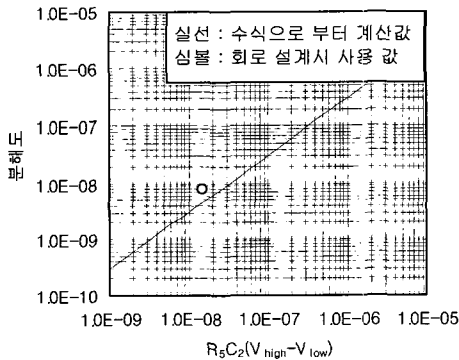
수식 (3)과 수식 (4)로부터  $f_1$ 은 시작과 멈춤 사이의 시간에 비례하는 주파수임을 알 수 있다. 그리고 수식 (4)는 디지털 출력 값을 얻기 위한 클럭 주파수인데,

이 값의 역수는 디지털 값을 하나 증가시키는데 필요한 입력 시간으로서 분해도를 나타낸다. 그리고 최종 디지털 값을 얻기 위한 카운터의 클럭 신호는 커패시터  $C_2$ 를 충·방전하기 위해 스위치 MP23와 MN17의 게이트 단자에 인가되는 펄스 신호로서, 이 때의 클럭 주파수는 커패시터  $C_2$ 의 전압 주파수와 동일하며 수식 (4)에서와 같이 표현된다.

수식 (3)에서  $V_c$ 의 전압은 공급전압  $V_{CC}$  보다는 작아야하므로 측정하고자 하는 입력 시간의 영역에 따라  $C_1$ 과  $C_2$ 를 충전하는 전류  $I$ 를 결정하고, 수식 (4)로부터 원하는 분해도에 따라  $R_5$ ,  $C_2$ 의 값을 결정한다. 즉, 측정하고자하는 입력 시간과 분해도는  $R_5$ ,  $C_1$ ,  $C_2$ 의 수동소자 값으로 결정할 수 있다. 그림 4에서 실선으로 표현되어진 것은 수식 (3)과 수식 (4)를 이용하여 계산되어진 결과이다. 그림 4(a)는 커패시터  $C_1$ 의 충전전압  $V_c$ 를 3.3 volt라고 가정하고, 수식 (3)에 의해서 입력 시간에 따른  $I/C_1$ 를 계산한 것이다. 즉, 측정하고자하는 입력 시간의 영역이 길어지면 길어질수록  $I/C_1$  값은 작아져야 한다. 그리고 그림 4(b)는 수식 (4)를 이용하여  $R_5 C_2 (V_{high} - V_{low})$ 의 값에 따른 분해도를 계산한 것이다. 즉, 원하는 분해도를 얻기 위해서는  $R_5 C_2 (V_{high} - V_{low})$ 의 값을 작게 하면 충분한 분해도를 얻을 수 있음을 알 수 있다.



(a)



(b)

그림 4. 입력 시간과 분해도에 따른 회로 파라미터

- (a) 입력시간에 따른  $I/C_1$
- (b)  $R_5 C_2 (V_{high} - V_{low})$ 에 따른 분해도

Fig. 4. Circuit parameter with input time interval and resolution.

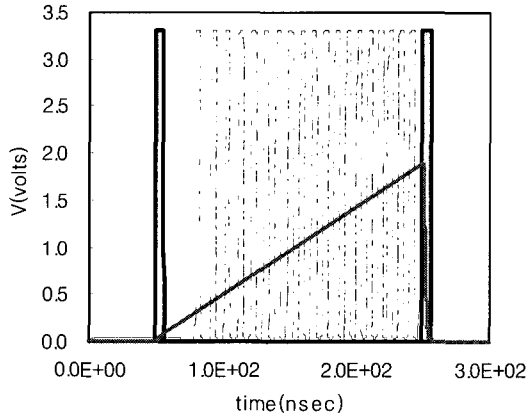
- (a)  $I/C_1$  with input time interval
- (b) Resolution with  $R_5 C_2 (V_{high} - V_{low})$

#### IV. 시간-디지털 변환회로의 simulation 결과

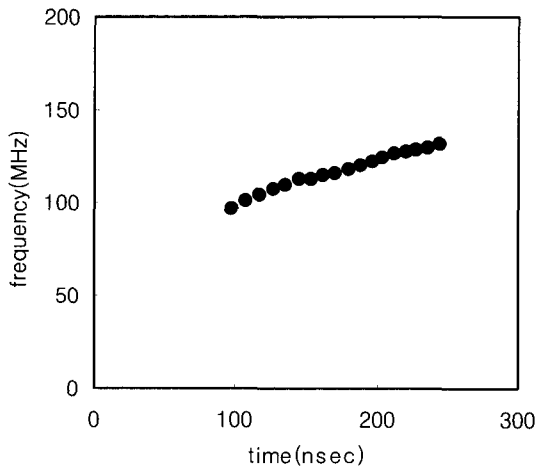
그림 3의 시간-디지털 변환회로 설계 시 사용된 모델 파라미터는 MOSIS사의  $0.35\mu m$  트랜지스터 특성을 이용하였으며, 공급 전압은 3.3volt를 사용하였다. 그리고 설계에 사용되어진 NMOS와 PMOS의 문턱전압은 각각 0.45volt와 -0.52volt이다.

설계되어진 회로에서 시작신호와 멈춤 신호는 각각 50nsec와 250nsec에서 입력하였다. 그리고 그림 4(a)에서 원 심볼은 회로 설계시 사용되어진  $I/C_1$ 의 값이다. 회로 설계에서 커패시터  $C_1$ 의 충전 전압은  $V_{CC}$ 보다 작아야 하므로 수식 (3)에 의하여 입력 시간 200nsec에서 계산되어진  $I/C_1$ 의 값보다 작게 결정하였다. 그리고 분해도는 약 7.9nsec의 값을 가지도록  $R_5$ ,  $C_2$  그리고  $V_{high} - V_{low}$ 를 결정하였다. 그림 4(b)에서 심볼은 그림 4(a)에서 결정한  $V_c$  전압과 회로 설계시 사용되어진

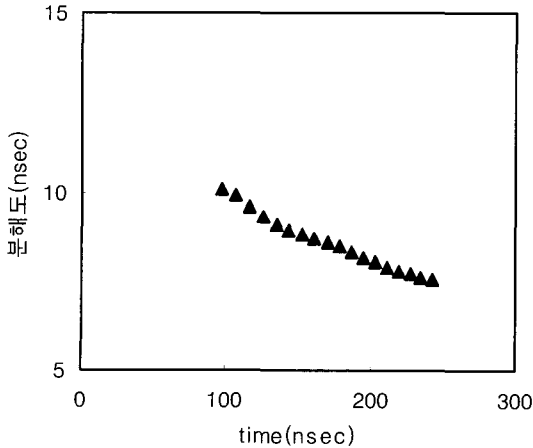
$R_5$ ,  $C_2$  그리고  $V_{high}-V_{low}$ 로부터 수식 (4)를 이용하여 계산한 예상 분해도이다.



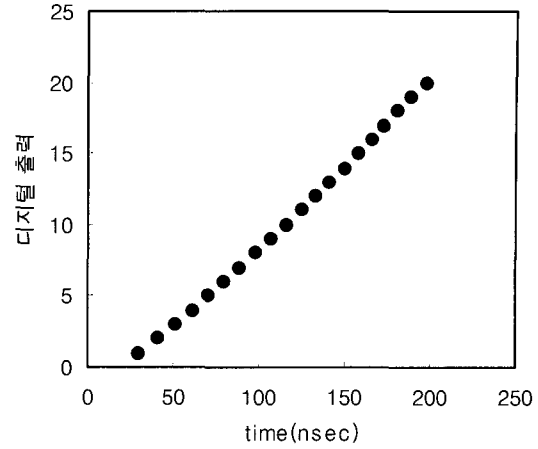
(a)



(b)



(c)



(d)

그림 5. 설계된 시간-디지털 변환 회로의 출력신호  
 (a) 입력시간에 따른 입력신호,  $C_1$  전압, 출력신호  
 (b) 입력시간에 따른 출력주파수  
 (c) 입력시간에 따른 분해도  
 (d) 입력시간에 따른 디지털 출력

Fig. 5. Output signals of designed time-to-digital converter

- (a) Input signal, charge voltage in capacitor  $C_1$  and output pulse signal with input time
- (b) Output frequency with input time
- (c) Resolution with input time
- (d) Digital output with input time

그림 5는 약 200nsec의 입력 시간과 7.9nsec의 분해도를 가지도록  $R_5$ ,  $C_1$ ,  $C_2$  그리고  $V_{high}-V_{low}$ 를 결정한 다음, simulation 한 결과이다. 그림 5(a)에서 보면 시작 신호가 발생하면  $V_C$ 의 전압은 선형적으로 증가하며,  $V_C$  전압에 비례하는 전류에 의하여 커패시터  $C_2$ 는 충전되므로 시간이 지남에 따라 디지털 출력 신호의 주파수는 증가함을 알 수 있다. 그림 5(b)는 그림 5(a)에서 출력주파수의 값을 표현한 것이며, 그림 5(c)는 입력시간에 따른 분해도의 값이다. 그리고 그림 5(d)는 입력 시간에 따른 최종 디지털 출력 값이다.

그림 5(c)로부터 simulation을 통하여 구해진 최소 분해도의 값은 약 7.6nsec로서, 수식 (4)를 이용하여 계산한 분해도와 거의 일치함을 알 수 있다. 그리고 제안된 시간-주파수 변환회로에서는 시작 신호가 발생한 후, 약 80nsec 이하의 시간에서는 입력시간에 따른 디지털 출력의 선형 특성에서 error가 5% 이상 이었다<sup>[4]</sup>. 이

같은 이유는 80nsec 이하의 시간에서는  $C_1$ 의 충전 전압이 아주 작아 전압-주파수 회로의 source follower에서 입력 전압이 출력 단자 쪽으로 제대로 전달이 되지 않아 커패시터  $C_2$ 를 충전하기 위한 전류가 흐르지 않기 때문이다. 그러나 시작 신호가 인가되고 100nsec 이상의 시간이 경과하면 error는 1% 이하였다.

이상의 결과에서처럼 사용할 입력 시간 영역과 분해도를 고려하여  $C_1$ ,  $C_2$ ,  $R_5$ 의 파라미터 값을 결정한다면, 원하는 입력 신호의 영역에서 충분한 분해도를 가진 시간-디지털 변환 신호를 얻을 수 있으며, 또한 입력 신호가 인가됨과 동시에 지연 시간 없이 출력 값을 얻을 수 있다.

## V. 결 론

3.3 volt용 CMOS를 이용한 시간-디지털 변환회로를 설계하였다. 기존의 회로에서는 카운터의 클럭 주파수가 일정한 값을 가지기 때문에 분해도를 향상시키기 위해서는 카운터 되는 시간을 증가시켰다. 이로 인하여 디지털 결과 값을 얻기 위해서는 긴 공정시간이 필요하였다. 그러나 본 논문에서 제안한 회로의 경우 멈춤 신호가 발생함과 동시에 출력 디지털 값을 구할 수 있다. 그리고  $C_1$ ,  $C_2$ ,  $R_5$ 의 수동소자 값을 조절함으로써 측정 시간 영역과 분해도 측면에서 원하는 값을 가지는 시간-디지털 변환회로의 구현이 가능하다.

## 참 고 문 헌

- [1] Elvi Raisanen-Ruotsalainen, Timo Rahkonen and Juha Kostamovaara, "A low-power CMOS time-to-digital converter," IEEE Journal of Solid-State Circuits, vol. 30, no. 9, pp. 984~990, September 1995.
- [2] A.Baschiroto, G. Boella, R. Castello, G. Frattini, G. Pessina and P.G. Rancoitat, "3ns resolution CMOS low-power time-to-voltage converter," Electronics Letter, vol. 34, no. 7, pp. 614~615, April 1998.
- [3] Poki Chen, Shen-Iuan Liu and Jingshown Wu, "Highly accurate cyclic CMOS time-to-digital converter with extremely low power consumption," Electronics Letter, vol. 33, no. 10, pp. 858~860, May 1997.
- [4] Jin-Ho Choi, "Temperature stable voltage-to-frequency converter using BiCMOS," IEICE Transactions on Electronics, vol E83-C, no. 10, pp. 1687~1689, October 2000.

## 저 자 소 개



崔 晉 鎬(正會員)

1985년 부산대학교 전자공학과 졸업(학사). 1987년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 한국과학기술원 전기 및 전자공학과 졸업(박사). 1992년-1996년 현대전자 반도체연구소 근무. 1996년-현재 부산외국어대학교 컴퓨터·전자공학부 조교수. 주 관심분야는 아날로그 IC 설계 및 소자 모델링