

論文2001-38SD-5-7

# 부유게이트를 이용한 코어스 플래쉬 변환기 설계 (Design of Corase Flash Converter Using Floating Gate MOSFET)

蔡勇雄\*, 林信一\*\*, 李奉煥\*\*\*

(Yong Yoong Chai, Shin-Il Lim, and Bong-Hwan Lee)

### 요약

8개의 N과 P 채널 EEPROM을 이용하여 A/D 변환기를 설계하였다. 프로그래밍 모드에서 EEPROM의 선형적 저장능력을 관찰하기 위해 MOSIS의 1.2  $\mu\text{m}$  double-poly CMOS 공정을 이용하여 셀이 제작되었다. 그 결과 1.25V와 2V구간에서 10mV 미만의 오차 내에서 셀이 선형적으로 프로그램 되는 것을 보았다. 이러한 실험 결과를 이용하여 프로그램 가능한 A/D 변환기의 동작이 Hspice에서 시뮬레이션 되었으며, 그 결과 A/D 변환기가 37  $\mu\text{W}$ 의 전력을 소모하고 동작주파수는 333MHz 정도인 것으로 관찰되었다.

### Abstract

A programmable A/D converter is designed with 8 N and P channel MOSFETs, respectively. In order to observe linear programmability of the EEPROM device during programming mode, a cell is developed with a 1.2  $\mu\text{m}$  double poly CMOS fabrication process in MOSIS. It is observed that the high resolution, of say 10mVolt, is valid in the range 1.25volts to 2volts. The experimental result is used for simulating the programmable 8 bit A/D converter with Hspice. The A/D converter is demonstrated to consume low power, 37mW by utilizing a programming operation. In addition, the converter is attained at the conversion frequency of 333 MHz.

### I. 서론

휴대용 단말기의 발달로 저전력이며 고속의 아날로그/디지털 변환기에 대한 요구가 증대되고 있다. 그러

나 현재의 공정 테크놀로지로는 전력과 속도라는 상이한 요소를 동시에 만족시키는 아날로그/디지털 변환기를 실리콘으로 구현한다는 것은 쉽지 않다. 본 고에서는 고속의 저전력 아날로그/디지털 변환기 구현을 위해 이단 아날로그/디지털 변환기<sup>[1,2]</sup>의 전단에 해당하는 코어스 플래쉬 변환기를 제안한다. 종래의 이단 아날로그/디지털 변환기에서는 코어스와 파인부 모두가 연산증폭기로 구성되어 있어서 동작 속도보다는 정밀도에 치중한 설계를 하였으며 이것은 해상도를 향상시킬 경우 연산증폭기로 이루어진 비교기들이 차지하는 칩의 크기로 인해 동작속도가 급속히 나빠지는 문제가 있었다.

본 고에서는 상기의 문제점 해결을 위해 연산증폭기 대신에 EEPROM으로 구성된 CMOS 인버터 형태의 플래쉬 변환기를 제안하고자 한다. 본 고에서의 EEPROM으로 트리밍된 코어스부는 EEPROM의 불활

\* 正會員, 啓明大學校 電子工學科  
(Dept. of Electronics Engineering, Keimyung Univ.)

\*\* 正會員, 西京大學校 컴퓨터電子科  
(Dept. of Computer Engineering, SeoKyeong Univ.)

\*\*\* 正會員, 大田大學校 情報通信工學科  
(Dept. of info-communications, Taejon University)

※ 본 연구는 과학기술부 한국과학재단지정 계명대학교 저공해자동차 부품기술개발센터의 연구비지원과 IDEC의 장비지원으로 이루어졌습니다.

接受日字:2000年12月9日, 수정완료일:2001年3月26日

성 특성으로 인해 외부전원 없이도 그 특성이 보존되며, 이러한 특성은 기준전압 회로를 위해 기존의 변환기에서 사용되던 전원과 접지간 DC 패스 제거를 가능하게 하여 아이들 상태에서 전력의 소모를 방지한다. 또한 기준전압은 외부전원과 구분되어 있기 때문에 전원의 변화에 영향받지 않으며, 전류의 소비가 제한되어 기존의 비교기에 비해 월등히 빠른 동작이 가능하다. 또한 본고의 비교기는 CMOS 인버터의 스위칭 시에 발생하는 다이내믹 성분 외에는 전력 소모가 없으며, 이러한 전력소모 조차도 전체의 비트 라인에서 발생하는 것이 아니라 로직의 변화가 있는 비트 라인에서만 발생하기 때문에 평균 전력의 소모는 기존의 방식에 비해 월등히 줄어들게 된다. 본 고의 트리밍 기법은 변환기의 비선형성 등의 제거에도 활용될 수 있을 것이다.

II. EEPROM의 선형적 프로그래밍을 이용한 코어스 A/D 변환기

그림 1에 나타난 초퍼인버터 비교기는 그 단순한 구조로 인해 고속으로 운용되는 변환기에 많이 응용되어 왔다<sup>[3~5]</sup>. 그러나 상기 비교기는 기준전압의 생성을 위한 저항체의 연결 구조로 인해 외부전원의 변화가 그대로 기준전압에 반영되고 아이들 상태에서도 DC 전류의 소모가 있으며 기준전압과 입력전압의 비교 시마다 발생하는 동적인 캐패시터 커플링으로 인해 전력의 소모가 커서 휴대용 시스템의 사용에는 적합하지 못하다. 또한 인버터 사이에 존재하는 캐패시터는 비교기의 크기를 증가시키고 운용 속도를 감소시키는 요인이 되어 왔으며, 이러한 현상은 MOS 스위치의 피드쓰루 현상을 제어하기 위한 오토제로 방식의 도입으로 인해 더욱 심화되었다.

본 고에서 제안되는 비교기는 EEPROM에 기준전압 정보를 프로그래밍을 통해 인버터 자체에 저장하고 이를 이용하여 시스템으로 들어오는 입력신호와 기준전압을 비교하여 그에 해당하는 논리값을 출력하도록 하는 것이다<sup>[6~8]</sup>. 따라서 본 고의 비교기는 기존의 초퍼인버터 비교기의 캐패시터와 MOS 스위치가 사용되지 않기 때문에 고속, 저전력의 변환기 시스템에 적합하다.

CMOS 인버터의 전달특성 곡선은 MOS 트랜지스터의 면적과 길이의 비, 전공과 전자의 이동도, 온도 등에 의하여 좌나 우로 이동된다. 그러나 실제로 공정이나

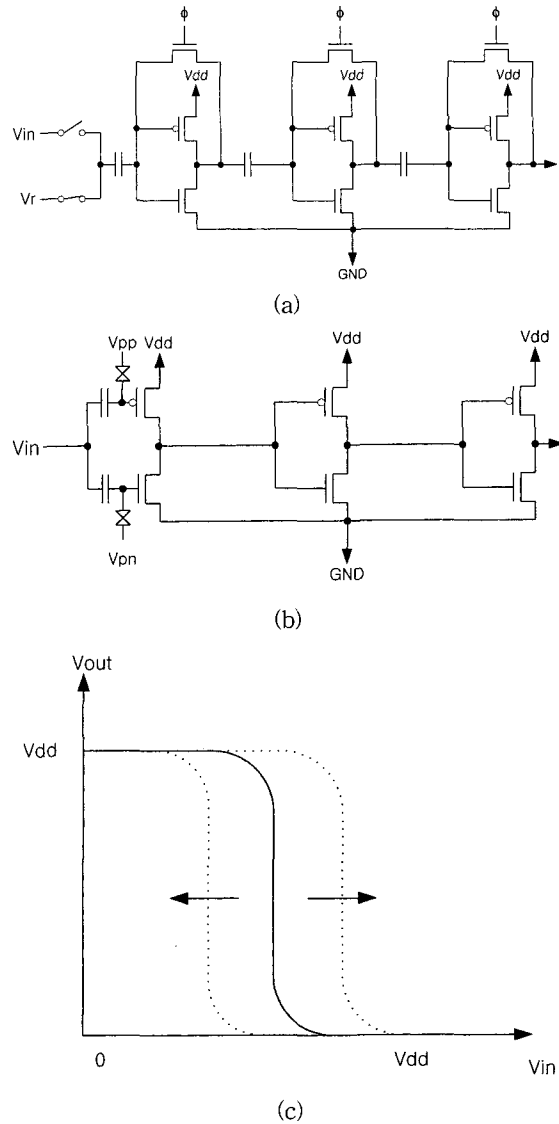


그림 1. (a) Chopper-inverter 비교기 (b) 부유게이트 트랜지스터를 이용한 비교기 (c) CMOS 인버터 DC 전달특성 곡선

Fig. 1. (a) Chopper-inverter comparator (b) Comparator with floating gate (c) DC transfer characteristics of CMOS inverter.

환경에 의해 좌우되는 파라미터들을 이용하여 전달특성 곡선을 조절하는 것은 쉬운 일이 아니다. 본 고에서 제안되는 변환기의 기본 구조는 CMOS 인버터로서 아날로그 신호가 들어오는 입력단에 부유게이트 트랜지스터를 이용한다. 부유게이트는 트랜지스터의 문턱전압을 변화시키기 위한 것으로서 아날로그 메모리의 데이터 저장 방식에서와 같이 전하량의 조절에 의한 트리

밍 동작을 통하여 이루어진다. 부유게이트를 이용한 트리밍을 통해 CMOS 인버터의 전달특성은 좌나 우로 이동되며, 이를 이용하여 각 비트에 해당하는 인버터 단의 전달특성을 등간격으로 배치함으로써 입력 아날로그 신호에 대응되는 논리 신호가 생성되는 것이다.

상기의 문턱전압 변화는 EEPROM에서 쓰기와 소거라는 두개의 동작을 통하여 이루어진다<sup>[6]</sup>. 쓰기동작은 부유게이트에 음전하를 충전시키는 것으로서 N채널 트랜지스터의 문턱전압을 양의 방향으로 이동시키는데 이것은 EEPROM의 컨트롤게이트에 높은 전압이 인가되고 인젝터가 접지될 경우 강한 전기장이 컨트롤게이트에서 인젝터 방향으로 발생되어 일어나는 현상이다. 반대로 소거동작은 부유게이트에 있는 음전하를 인젝터로 방전시키는 것으로서, 이는 N채널 트랜지스터의 문턱전압을 음의 방향으로 이동시킬 것이다. 이러한 동작은 쓰기동작에서와 반대로 인젝터에는 높은 전압을 인가하고 컨트롤게이트는 접지 시킬 때 발생한다. P채널 EEPROM의 쓰기와 소거동작에 의한 전달특성의 이동 방향은 N채널 트랜지스터와 반대이다.

이와 같이 쓰기와 소거동작을 통해 CMOS 인버터를 이루는 N과 P채널 EEPROM을 프로그램 시키면 인버터의 전달특성 곡선은 좌우로 이동하게 된다. 이렇게 프로그램에 의해 조절되는 전달특성 곡선의 천이영역(N과 P채널 트랜지스터가 동시에 포화되는 영역)은 기존 비교기에서의 기준전압 정보에 해당되는 것으로서 비교기로 들어오는 입력신호 값에 따라 1과 0의 논리 값을 출력한다. 따라서 아날로그/디지털 변환기의 제작을 위해서는 비트별 크기에 따라 각기 다른 천이영역을 갖도록 인버터의 각 비트별로 프로그램 하면 되며 이렇게 일단 프로그램된 정보는 EEPROM의 불휘성 특성으로 인해 외부전원 없이도 영구히 보존되게 된다.

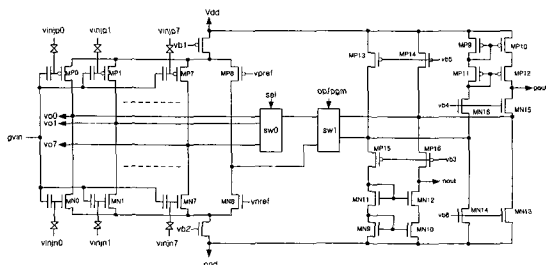


그림 2. 전체 8 bit A/D 변환기의 회로도  
Fig. 2. Overall circuit diagram of 8 bit A/D converter.

그림 2는 프로그램 가능한 8비트 아날로그/디지털 변환기 회로도를 보이고 있다. 변환기는 NMOS와 PMOS 풀디드 차동증폭기, 쉬프트레지스터(SW0), 프로그래밍과 동작 모드 선택스위치(SW1), 바이어스 선택회로, 비트라인을 이루는 N과 P채널 EEPROM 등으로 구성되어 있다. EEPROM의 인젝터는 두 개의 양방향성 다이오드 특성을 가지고 있다는 의미에서 다이오드가 겹쳐져 있는 모양으로 나타내었다.

본 변환기는 동작전의 트리밍을 위한 프로그래밍 모드와 실제로 변환기 역할을 수행하는 동작 모드로 구분된다. 먼저 동작 모드에 들어가기 전에 변환기는 반드시 프로그래밍 모드를 통하여 각 변환기의 전달특성 곡선이 정의되어야 한다. 이를 위해 그림에 나타난 SW1가 온되고 특정 비트 라인이 선정되고 프로그래밍이 시작된다. SW0는 8비트 직렬 스테이틱 쉬프트 레지스터로서 8개의 비트 라인 중에 하나를 활성화시키는데 사용된다. 한 비트 라인에는 CMOS 인버터를 구성하는 N과 P채널 EEPROM이 각각 하나씩 있어서 8비트의 변환기에 대해서는 총 16번의 프로그래밍이 요구된다. 프로그래밍이 끝나면 SW1은 어프되고 이 때부터 변환기의 동작모드가 시작된다. 그림 3은 동작모드에서 시스템 구성을 보이고 있다.

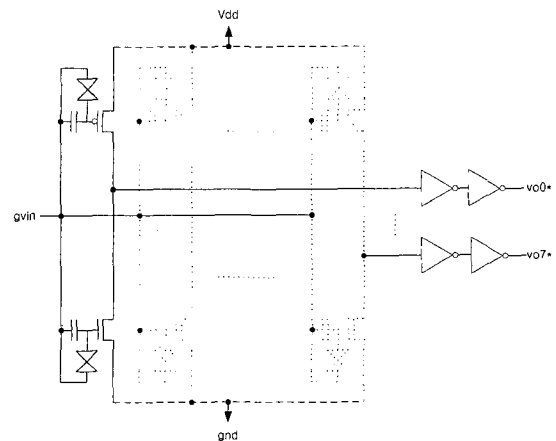


그림 3. 동작모드에서의 8 비트 A/D 변환기 회로도  
Fig. 3. Circuit diagram of 8 bit A/D converter during operating mode.

1. 프로그래밍 모드

EEPROM의 디지털 프로그래밍에는 1과 0의 두 개의 논리값 만이 존재하기 때문에 그 제어가 단순한 반면에 아날로그 프로그래밍은 어떠한 값의 표현도 가능해

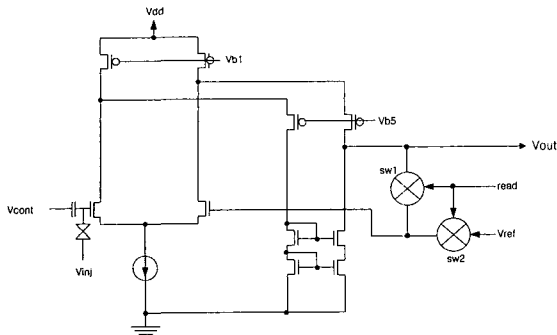


그림 4. 아날로그 프로그래밍을 위한 블록도  
Fig. 4. Block diagram of analog programming operation.

야하기 때문에 다소 복잡한 제어 회로가 요구된다<sup>[6,7]</sup>. 본 고에서는 트랜지스터의 문턱전압이 선형적 기준전압에 대응되도록 하기 위하여 아날로그 프로그래밍 기법을 사용한다. 프로그래밍 모드의 초기동작은 쓰기 동작을 통하여 N과 P 채널 부유게이트에 음전하를 포화시키는 것으로 시작된다. 이를 위해서는 그림 2의  $vinjn0-7$ 과  $vinjp0-7$ 을 접지시키고  $gvin$ 에 높은 프로그래밍 펄스를 가해야 한다. 다음에는 소거동작을 통하여 부유게이트에 있는 전하를 서서히 제거함으로써 특정 전하가 부유게이트에 잔류하도록 하여 기준전압에 대해 트랜지스터의 문턱전압이 같아지도록 트리밍해야 한다. 이를 위해  $gvin$ 은 접지시키며, 소거하고자 하는 특정 EEPROM의 인젝터( $vinjn0-7$ 과  $vinjp0-7$  중에 하나)에는 높은 프로그래밍 펄스를 가하고 나머지 인젝터들은 단락시켜야 한다. 이러한 동작 후에 해당 트랜지스터의 문턱전압 상태를 읽어서 만약 트랜지스터의 문턱전압이 기준전압과 같으면 소거동작을 멈추고, 그렇지 않으면 소거동작을 계속 진행한다. 이것은 각 비트 라인에 있는 EEPROM에 대하여 모두 행해지며, 이 때의 기준전압 크기는 비트 라인의 위치에 의하여 결정된다. 그림 4의  $read$  신호를 이용하여 SW1,2의 온, 오프 상태에 따라 비교기의 입력단으로 기준전압( $Vref$ )이 들어가거나  $Vout$ 이 출력되게 된다. 비교기로 사용되는 증폭기는 폴디드형 차동증폭기로서 이는 입력 신호단의 동작범위와 비교기의 DC 게인을 동시에 키우기 위하여 사용되었다.

본 아날로그/디지털 변환기는 CMOS 인버터 구조를 가지고 있기 때문에 N과 P채널 EEPROM에 대해 각기 다른 비교기가 사용된다. 따라서 그림 4의 N 채널 EEPROM을 위한 비교기 외에도 P채널 EEPROM을 위

한 비교기가 별도로 존재하여야 하며 그것은 그림 2에 나타나 있다. NMOS 차동증폭기의 입력단은 그림 2에서 MN8과 8개의 부유게이트(MN0-MN7) 중에서 선택된 두 개의 트랜지스터로 구성되며, PMOS 차동증폭기의 입력단은 MP8과 8개의 부유게이트(MP0-MP7) 중에서 선택된 두 개의 트랜지스터로 구성된다. NMOS 비교기의 출력단은 MN9-MN12, MP15-MP16, MP8 전체와 MN0-7 중 하나로 구성되어 있으며, PMOS 비교기의 출력단은 MN15-MN16, MP9-MP12, MN8 전체와 MP0-7 중 하나로 구성된다. 프로그래밍 모드 동안에 한 비교기가 동작 중에 있게 되면 다른 비교기의 동작은 제한되며 이를 위해 바이어스 전압( $Vb3-6$ )이 이용된다.

그림 5는 그림 2의  $Vb3-6$ 의 바이어스 전압을 생성하는 회로를 나타내며,  $Vnp$ 가 논리 1이면  $Vb6$ 은 접지가 되고  $Vb5$ 는  $Vb5^*$ 의 바이어스 전압이 바이패스되어 시스템회로의 바이어스 전압으로 인가된다. 반대로  $Vnp$ 가 논리 0이면  $Vb5$ 는 접지되고  $Vb6$ 에는  $Vb6^*$ 의 바이어스 전압이 시스템에 인가된다.  $Vb3$ 과  $Vb4$ 도 같은 방법으로 바이어스 선택회로에 의해 생성된다.

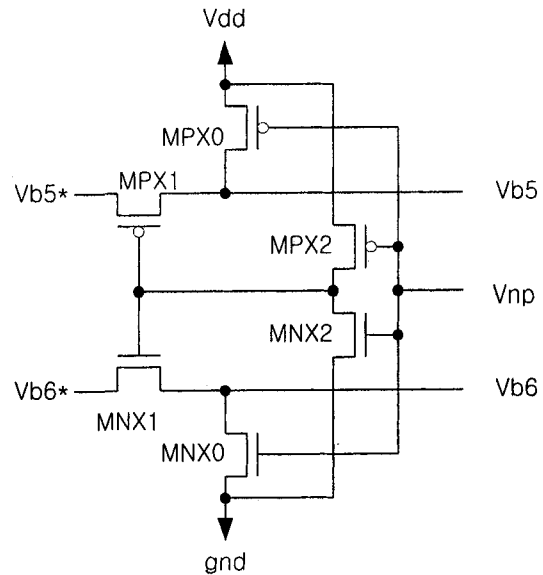


그림 5. 바이어스 선택 회로  
Fig. 5. Bias selection circuit.

## 2. 동작모드

프로그래밍 동작이 완료되면 그림 2에 나타난 SW1에 의해 프로그래밍에 이용되었던 주변회로는 변환기로부터 분리되며 그림 3과 같은 CMOS 병렬 인버터

구조가 된다. 그림에서 각 비트라인 인버터의 전달특성 곡선은 프로그래밍을 통해 등간격으로 배치되게 되며, 이러한 각기 다른 전달특성 곡선은 입력 아날로그 신호(gvin)에 대하여 디지털 써모미터 코드(v0-7)를 출력하게 된다.

### III. 코오스 변환기의 동작 범위

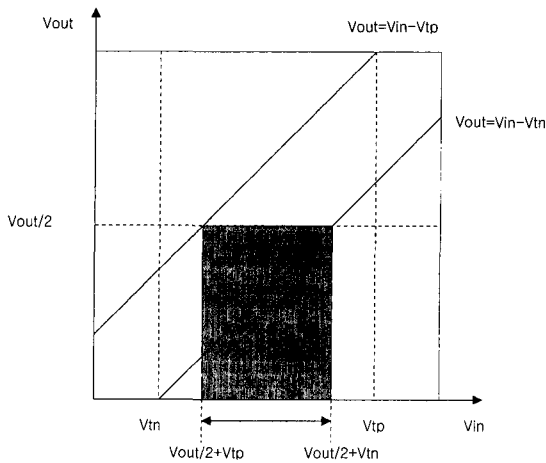


그림 6. CMOS 인버터의 트리밍 구간  
Fig. 6. Trimming interval of CMOS inverter.

상기의 아날로그/디지털 변환기는 동작 가능한 아날로그 입력신호가 제한된다. 그림. 1(c)의 고이득의 특성 곡선 중간점을 트립점이라고 정의하면

$$V_{out}(TP) = (V_{DD} - V_{SS})/2 \quad (1)$$

CMOS 아날로그/디지털 인버터가 정상적인 동작을 위해서는 고이득상태에 있어야 하고 이를 위해서는 NMOS와 PMOS는 포화상태에 있어야 한다. 이 때 NMOS는

$$V_{out} > V_{in} - V_{tn} \quad (2)$$

PMOS는

$$V_{out} < V_{in} - V_{tp} \quad (3)$$

야야 하는데, 여기에서  $V_{tp}$ 는 PMOS의 문턱전압이고  $V_{tn}$ 은 NMOS의 문턱전압이다. (2)와 (3)식을 (1)식에 대입하면,

$$\frac{V_{DD} - V_{SS}}{2} + V_{tp} < V_{in} < \frac{V_{DD} - V_{SS}}{2} + V_{tn} \quad (4)$$

(371)

이 된다. 따라서 최대 트립점에 있기위한 입력신호 구간은

$$V_{in}(MTPS) = V_{tn} - V_{tp} \quad (5)$$

이 된다. 즉 N과 P채널 트랜지스터의 임계전압이 각각 1volt, -1volt라고 가정하면, 변환기가 운용될 수 있는 최대 입력전압폭은 2volt가 된다.

### IV. 실험 결과

본 실험을 위하여 MOSIS의 1.2  $\mu\text{m}$  CMOS 더블폴리 공정에서 제작된 칩을 이용하여 프로그래밍 특성을 보았다.

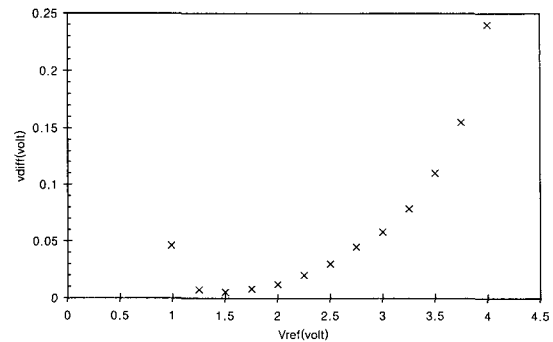


그림 7. 기준전압과 저장전압 간의 전위차  
Fig. 7. Magnitude of mismatch between reference and stored voltages.

그림 7은 특정 기준전압을 프로그래밍 한 후에 읽기 동작을 통해 출력된 값과 본래의 값과의 차이를 보여주는 그래프이다. 그림으로부터 기준 전압이 1.25V에서 2V 구간에서 아날로그 셀의 정밀도가 10mV 이하로 나타나는 것을 알 수 있다. 이것은 아날로그 메모리가 0.75V 내에서 10mV 이하의 오차내에서 정보를 저장할 수 있다는 것을 의미하는 것으로서, 이것은 1volt의 동작 구간에서 10비트의 정밀도를 갖는 이단 아날로그/디지털 변환기에서 제안된 설계가 코어스부체 이용될 수 있음을 나타낸다.

그림 8은 프로그래밍 전압과 시간과의 함수관계를 보여주는 것으로서 기준 전압이 감소할 때 프로그래밍 시간이 증가하는 것을 보여준다. 이것은 부유게이트로 이동된 전하로부터 발생된 전계가 프로그래밍 전압에서 발생하는 전계의 크기를 감소시키기 때문이다. 이러

한 프로그래밍 시간의 비선형적 특성은 적음 프로그래밍 펄스를 가하는 시스템을 구축하게 되면 쉽게 극복할 수 있을 것이다. 즉 기준 전압이 낮은 곳에서는 프로그래밍전압 보다 큰 전압을 인가하고 기준 전압이 높은 영역에서는 프로그래밍 전압 보다 낮은 전압을 인가함으로써 프로그래밍에 소요되는 시간을 일정하게 가져갈 수 있을 것이다.

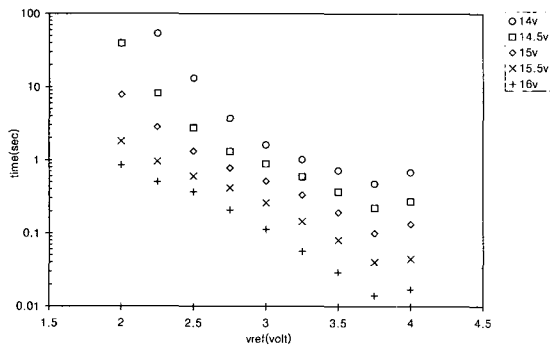


그림 8. 프로그래밍 펄스의 크기와 시간간의 특성 곡선  
Fig. 8. Elapsed Time vs. Programming Pulse Magnitude.

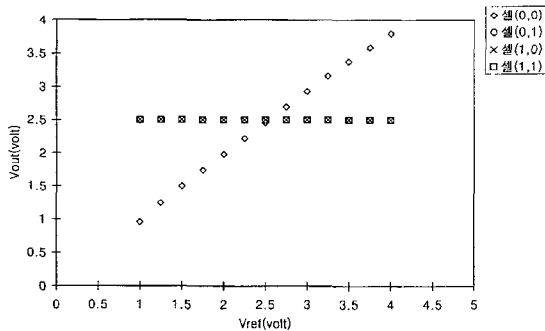


그림 9. 특정 셀 (0,0) 프로그래밍 시의 간섭효과  
Fig. 9. Disturbance Effect as a Cell (0,0) being selected for Programming.

그림 9는 프로그래밍 시에 선택되지 않은 셀들의 간섭 현상을 관찰한 것이다. 선택된 셀은 그림 9와 같이 프로그래밍되는 입력과 프로그램 후의 출력의 관계가 거의 선형적인 관계를 나타내는 반면에 나머지 셀들에서는 문턱전압 변동이 없는 것으로 관찰되었다.

그림 10은 그림 3의 인버터 회로를 등간격으로 프로그램한 후에 전달특성 곡선의 변화를 시뮬레이션한 그림이다. 각 인버터 단의 문턱전압의 변화를 위해 Hspice의 NMOS와 PMOS VTO 파라미터를 20mV씩

등간격으로 배치하였으며, 이것은 실제로 제작된 칩의 테스트 결과(그림 7)로부터 나타난 셀의 비선형 프로그래밍 특성을 변환기의 DNL 크기에 반영한 것이다.

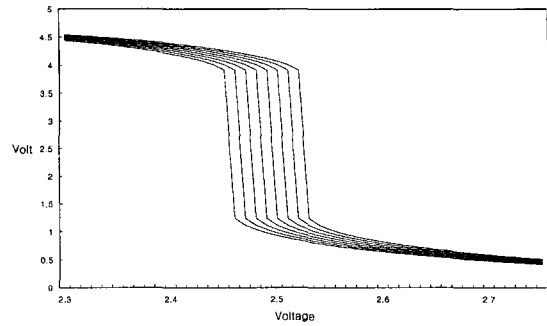


그림 10. A/D 변환기의 전달특성 곡선  
Fig. 10. Transfer characteristic of A/D converter.

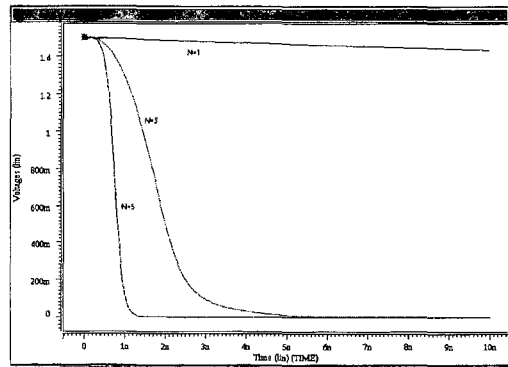


그림 11. 과도응답 대 인버터 단수  
Fig. 11. Transient response versus number of stages.

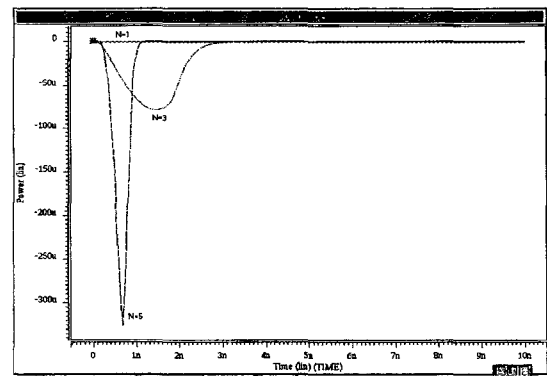


그림 12. 전력소모 대 인버터 단수  
Fig. 12. Power consumption versus number of stages.

그림 11은 비교기의 동작속도와 인버터 단수와의 관

계를 보이고 있다. 그림에서 N은 인버터의 단수를 표시하며 인버터가 증가할수록 동작속도가 감소하는 것을 볼 수 있다. 3단의 인버터의 경우 비교기 동작시간은 3nsec 가량 되는 것을 알 수 있다. 그러나 이와 같이 인버터 단수의 증가에 따른 운용속도의 증가는 전력소모의 증가를 가져오게 되며 이것이 그림 12에 나타나 있다. 3단의 인버터의 경우 소모되는 전력은 37  $\mu W$  인 것으로 관찰되었으며, 이러한 비교기의 전력 소모는 변환기의 총 전력소모와 같다. 그 이유는 변환기의 출력이 써모메터 코드를 출력하며 그 동작이 스테이틱 하기 때문에 입력신호의 변화에 대해 변환기의 출력코드는 단지 한 비트에서만 일어나기 때문이다.

### V. 결 론

본 고를 통하여 프로그램 가능한 코오스형 플래쉬 변환기 구조를 살펴보았다. 제안된 변환기는 단순한 CMOS 인버터 구조로서 출력단의 캐패시터 성분이 작아서 고속 변환이 용이하고 CMOS 특성으로 인해 전력의 소모가 최소한으로 억제될 수 있을 뿐만 아니라 단순한 구조로 인해 레이아웃이 용이하여 적은 면적으로 칩의 설계가 가능하며, 프로그래밍 기능을 이용하여 공정의 변화에 유연하게 대처할 수 있는 장점이 있다. 이러한 특성을 가지고 생각할 수 있는 A/D 변환기의 응용분야는 휴대용 통신장비나 영상기기, 측정장비 등을 들 수 있다.

### 참 고 문 헌

- [1] van der Ploeg H, Remmers R, "A 3.3-V, 10-b, 25-MSample/s two-step ADC in 0.35- $\mu m$  CMOS," IEEE Journal of Solid-State Circuits, V.34 N.12 , pp. 1803~1811 Dec. 1999.
- [2] M. Mitsuishi, H. Yoshida, M. Sugawara, Y. Kunisaki, S. Nakamura, S. Nakaigawa, H. Suzuki, "A Sub-Binary-Weighted Current Calibration Technique for a 2.5V 100MS/s 8bit ADC," Proceedings of the 24th European Solid-State Circuits Conference, pp. 420~423, Sept. 22, 1998.
- [3] K. Kusumoto et. al, "A 10-b 20-Mhz 20-mW Pipelined Interpolating CMOS ADC," IEEE J. Solid-State Circuits, vol. 28, no. 12, pp. 1200~1206, Dec. 1993.
- [4] M. Yotsuyanagi et. al., "A 2 V, 10, 20Msample/s, Mixed-Mode Subranging CMOS A/D Converter," IEEE J. Solid-State Circuits, vol. 30, no. 12, pp. 1533~1537, Dec. 1995.
- [5] D. J. Allstot, "A Precision Variable-Supply CMOS Comparator", IEEE J. Solid-State Circuits, vol. sc-17, no. 6, pp. 1080~1087, Dec. 1982.
- [6] Y. Y. Chai et. al., "A 2x2 Analog Memory Implemented with a Special Layout Injector," IEEE J. Solid-State Circuit, vol. 31, no. 6, pp. 856~859, Jun. 1996.
- [7] A. Thomsen et al., "A floating-gate MOSFET with tunnelling injector fabricated using a standard double-polysilicon CMOS process", IEEE Electron Device Lett., vol.12, no.3, pp.111 ~113, Mar. 1991.
- [8] Chai, Y.Y. and L.G. Johnson(1993). "Floating gate MOSFET with reduced programming voltage," Electronics Letters, pp.1536-1537.

## 저 자 소 개



蔡勇雄(正會員)

1958년 8월 16일생. 1985년 서강대학교 전자공학과 졸업(공학사). 1991년 Oklahoma State Univ. Electrical Engr. 졸업(공학석사). 1994년 Oklahoma State Univ. Electrical Engr. 졸업(공학박사). 1985년~'88년 LG정보통신 PABX 설계팀. 1994년~'96년 삼성전자 통신반도체 설계팀. 1998년~현재 계명대학교 전자공학전공 부교수. <주관심 분야> 음성회로 칩설계, 아날로그 메모리 설계

李奉煥(正會員) 第32卷 A編 4號 參照

1985년 서강대학교 전자공학과 졸업(공학사). 1987년 연세대학교 전자공학과 졸업(공학석사). 1993년 텍사스 A&M 대학교 전기공학과 졸업(공학박사). 1987년~1995년 한국통신 연구개발원 연구원. 1995년~현재 대전대학교 컴퓨터정보통신공학부 조교수. 관심분야 : 컴퓨터네트워크, 회로설계, 광인터넷



林信一(正會員)

1980년 2월 서강대학교 전자공학과 졸업(공학사). 1983년 2월 서강대학교 대학원 전자공학과 졸업(공학석사). 1995년 7월 서강대학교 대학원 전자공학과 졸업(공학박사). 1982년 2월~1991년 1월 한국 전자통신 연구원(ETRI) 선임 연구원. 1991년 1월~1995년 2월 전자부품 연구원(KETI) 선임 연구원. 1995년 3월~현재 서경대학교 전자통신컴퓨터공학부 조교수. <주관심 분야> 아날로그 IC설계, 음성회로 칩설계, ADC/DAC 설계, 통신용 IC설계