

論文2001-38SD-5-8

RTP 어닐과 추가 이온주입에 의한 저-저항 텅스텐 비트-선 구현 (Low-resistance W Bit-line Implementation with RTP Anneal & Additional Ion Implantation)

李 勇 熙 * , 李 天 熙 **

(Yong-Hui Lee and Cheon-Hee Yi)

요 약

디바이스의 크기가 $0.25\mu\text{m}$ 이하로 축소됨에 따라 DRAM(Dynamic Random Access Memory) 제조업체들은 칩 크기를 줄이고 지역적인 배선으로 사용하기 위해서 기존의 텅스텐-폴리사이드 비트-선에서 텅스텐 비트-선으로 대체하고 있다. 본 논문에서는 다양한 RTP 온도와 추가 이온주입을 사용하여 낮은 저항을 갖는 텅스텐 비트-선 제조 공정에 대해 다루었다. 그 결과 텅스텐 비트선 저항에 중요한 매개변수는 RTP Anneal 온도와 BF_2 이온 주입 도펀트임을 알 수 있었다. 이러한 텅스텐 비트-선 공정은 고밀도 칩 구현에 중요한 기술이 된다.

Abstract

As the device geometry continuously shrink down less than sub-quarter micrometer, DRAM makers are going to replace conventional tungsten-polycide bit-line with tungsten bit-line structure in order to reduce the chip size and use it as a local interconnection. In this paper we showed low resistance tungsten bit-line fabrication process with various RTP(Rapid Thermal Process) temperature and additional ion implantation. As a result we obtained that major parameters impact on tungsten bit-line process are RTP Anneal temperature and BF_2 ion implantation dopant. These tungsten bit-line process are promising to fabricate high density chip technology.

I. 서 론

1. 금속 비트-선의 필요성

DRAM의 배선 공정은 워드-선(Word-line), 비트-선(Bit-line), M1(Metal1), M2(Metal2)로 크게 나눌 수 있다.^[1,2] M1, M2는 이름에서 알 수 있듯이 금속박막의 적층(stack) 구조로 형성된 배선으로 외부신호를 주변부의 각 소자로 보내고, 논리 회로들을 연결하며, 셀

(cell)에서 나온 전기적인 신호를 외부로 내보내는 역할을 한다.

워드-선은 주변영역에서 트랜지스터의 게이트에 전압을 인가하여 트랜지스터를 구동시키는 역할을 하며 셀에서는 커패시터에 전하(charge)를 저장시키거나, 외부로 보내기 위한 게이트 역할을 한다.

비트-선은 각 셀에서 전류를 커패시터에 보내거나 커패시터의 전류를 외부로 내보내는 통로 역할을 한다. 전압강하가 적고, 낮은 저항의 배선일 수록 단위 셀 블록의 크기를 증가시킬 수 있다.^[3] 셀 영역에서 1개의 워드-선 및 비트-선에 연결시킬 수 있는 셀의 개수는 선-저항과 셀 커패시턴스 등이 좌우한다. 워드-선의 경우 게이트를 구동할 수 있는 전압이 인가될 수 있는 만큼의 셀이, 비트-선의 경우 감지 증폭기(sense amp.)가 동작하여 대비 선(line)과의 전압차를 인식할 수 있

* 正會員, 하이닉스 半導體

(Hynix Semicon. LTD., Associate Engineer.)

** 正會員, 淸州大學校 電子工學科

(Dept. of Electronic Eng., Chong-ju Univ.)

接受日字:2000年11月1日, 수정완료일:2001年4月25日

을 만큼의 셀만이 연결이 가능하다.

기존의 워드-선 및 비트-선은 poly Si \ WSix(일명 polycide)의 적층 구조로 이루어져 있다. Si 기판과 같은 물질로 구성되어 있어 후속 열처리에 의한 저항 감소(contact degradation) 측면에서 유리하고 금속오염이 없다는 장점이 있는 반면에, 벌크(bulk) 저항 자체가 도핑을 함에도 불구하고 금속배선에 비해 크기 때문에 주변 영역의 지역 배선(local interconnection) 역할은 M1에서 수행한다.

집적도가 증가하면서 단위 셀 크기가 줄어들며 따라 필요한 커패시턴스를 유지하기 위하여 커패시터의 높이는 계속 높아지고, 지역 배선의 역할도 증가함에 따라 M1에서 계속 배선의 역할을 하기 위해서는 DUV(Lamda=248nm)장비를 이용해서 선 폭을 감소시키거나, 추가로 Metal3 금속 배선층을 만들어야만 한다(그림1).

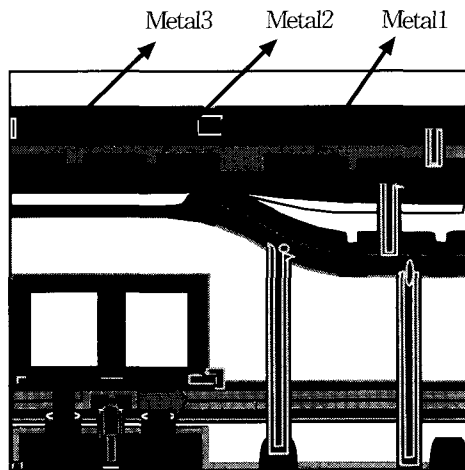


그림 1. DRAM의 개략도

Fig. 1. Schematic section of DRAM.

이를 극복하기 위한 또 다른 방법으로 기존의 폴리사이드(polycide)를 이용한 비트-선을 저항이 낮은 금속으로 대체하는 방법이 있다. 금속 비트-선은 주변지역에서의 지역 배선 역할의 일부를 M1을 대신하여 할 수 있으며, 1개의 비트-선에 대한 셀의 개수도 증가시킬 수 있는 가능성이 있다. 또한 보다 작은 선 폭으로 동일한 선-저항이 구현이 가능하기 때문에 이후 공정에서의 마진(margin)을 증가시킬 수 있다.^[4] 이 때문에 0.20 μm 급 이하의 DRAM에서는 금속 비트-선 적용을 위한 연구가 전 세계적으로 진행되고 있으며 해결

해야 할 문제로서 우선, 비트-선 제조 이후에 고온 열(thermal) 공정이 있기 때문에 내열특성이 있어야 하며, Metal/Si 접촉에서의 Rc(contact resistance) 열화를 최대한 억제 시켜야 한다. 또한, 상대적으로 큰 스트레스 이후 furnace 공정에서의 cross contamination 대책 및 세정공정 변경 등을 integration시 반드시 해결해야 한다.

따라서 본 논문에서는 여러 가지 RTP anneal 온도, BF₂ I/I(Ion Implantation) 조건에 따른 비트-선 조건에 대해 실험하였으며 그 결과 RTP는 고온일수록, 그리고 이온 주입은 BF₂ I/I를 하였을 경우가 이온주입을 하지 않은 경우보다 더 좋은 저항특성을 얻을 수 있었다.

II. 본 론

1. 텅스텐 비트-선.

배선물질은 비트-선 제조 이후에 700 $^{\circ}\text{C}$ 이상의 고온 공정이 여러 단계에서 존재하기 때문에 고온에서도 물리적, 화학적 내성이 뛰어난 텅스텐, TiSi₂, CoSi₂, low- ρ TiN 등으로 제한된다.^[5,6] 이중 TiSi₂, CoSi₂ 등은 이후 열처리 공정에서 agglomeration이 발생하여 배선이 얇아지거나 단선이 될 수 있으며 TiN의 비저항은 박막의 경우 최소 40~60 $\mu\Omega\cdot\text{cm}$ 정도로 비저항이 80~100 $\mu\Omega\cdot\text{cm}$ 인 텅스텐 Six에 비해 큰 장점이 되지 못한다. 반면에 비저항이 10~15 $\mu\Omega\cdot\text{cm}$ 인 텅스텐은 고온에서도 안정한 상을 가지고 있기 때문에 비트-선 배선 물질로 가장 널리 연구되어지고 있으며 몇몇 곳에서는 이미 상용화된 물질이다. CVD 텅스텐은 옥사이드 위에서는 안정적으로 증착이 되지 않기 때문에 반드시 liner 물질을 사전에 증착해야 하며, 가장 널리 사용되어지는 물질은 Ti\TiN이다.

2. 0.18 μm 급 DRAM의 텅스텐 비트-선과 주변구조.

텅스텐 비트-선은 셀 영역에서는 storage node contact poly Si plug와 접촉하고, 주변영역에서는 액티브(Active) 지역의 Si 및 워드-선과 접촉된다. Storage node contact의 마스크 크기는 셀 영역에서 0.2 μm , peri. 영역에서는 0.30 μm 이 기본이다. 이후 공정에서의 텅스텐 배선과 산소와의 반응을 막기 위해 비트-선 형성 이후에 Si₃N₄ 증착 공정이 진행된다. 그림 2는 Si₃N₄가 barrier 역할을 제대로 하지 못하여 텅스텐 배선이 이

상 산화된 모습을 보여주고 있다. 이러한 이상산화(abnormal oxidation) 현상은 산화 공정시에 실리콘이 드 위에 과도한 크기의 이상 산화막이 형성되는 것을 말하며 이상 산화막의 조성은 SiO_2 , WO_3 , WO_2 에 기인하며 Si, W 원소들은 텅스텐 실리콘의 분해에 의하여 공급된다. 따라서 이를 해결하기 위해서 비트-선 식각 전에는 반드시 텅스텐 WEE(Wafer Edge Etch) 공정이 진행되는데 이 공정을 통하여 웨이퍼의 가장자리에 있는 금속물질들을 제거한 후 Si_3N_4 증착을 함으로써 스트레스에 취약한 가장자리로부터의 peeling 문제와, 세정공정, 특히 비트-선 구성물질(텅스텐, Ti, TiN)의 용해로 인한 장비오염 및 peeling 문제, 그리고 이후 furnace 공정에서의 cross contamination문제를 해결 할 수 있다.

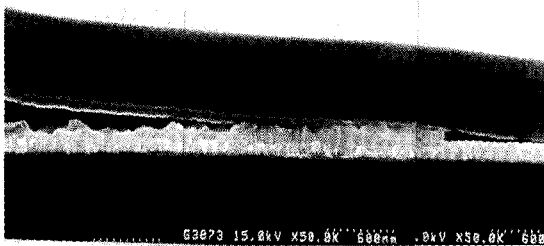


그림 2. 텅스텐 비트-선의 이상 산화로 인한 peeling
Fig. 2. W bit-line peeling by abnormal oxidation.

3. Layer 선정

1) Barrier① Ti\TiN 증착 공정.

Ti\TiN은 CVD(Chemical Vapor Deposition) 텅스텐을 증착하기 위하여 일반적으로 사용되어지고 있는 물질들로, step coverage 및 비트-선에서 barrier가 차지하는 높이를 줄이고자 collimated Ti\TiN을 일반적으로 많이 사용한다. Barrier의 두께는 contact 바닥에서 Ti는 ~80Å, TiN은 ~50Å이상이 되도록 하였다. 이때 필요로 한 Ti, TiN의 증착 두께는 각각 300Å, 300Å이다. Ti만을 증착하는 경우는 RTP공정에서 silicidation 되는 정도가 달라서 균일도가 나빠진다.

2) RTP silicidation 공정.

반도체 공정은 대부분 상온보다 높은 온도에서 진행되며 특히 소자의 집적도가 증가함에 따라 접합사이의 간격이 좁아지고 이에 따라 이후에 진행되는 열처리 공정 때의 불순물 확산에 따른 소자의 특성 저하가 크게 문제가 되기 때문에 열처리 공정에 제약을 받게 된다. 현재까지의 열처리 공정은 대부분 furnace의 형태

를 가진 장비로 진행되어져 왔다. Furnace를 사용하는 공정은 대량의 웨이퍼를 동시에 처리할 수 있을 뿐만 아니라 평형 상태에서의 온도에서 공정이 진행된다는 장점이 있다. 하지만 웨이퍼의 크기가 6인치에서 8인치, 12인치로 증가됨에 따라 웨이퍼 자체의 무게가 무거워지고 웨이퍼의 중앙부와 외곽부의 온도차이가 발생하여 warping등의 문제가 발생 할 수 있으며 분위기 가스(ambient gas)가 균일하게 분포할 수 없어 웨이퍼내의 균일도를 저하시키게 된다. 따라서 램프를 열원으로 하며 빛의 복사를 이용하여 웨이퍼를 직접 가열시키는 방법을 사용하게 되었다. 이 방법은 승온 속도가 초당 50°C 이상되어 공정 온도이외의 온도에서 웨이퍼가 받는 thermal budget을 줄일 수 있으며 열원이 line의 형태이거나 점원으로 웨이퍼의 양면이나 전면에 위치하기 때문에 웨이퍼의 크기에 관계없이 웨이퍼 전체에 균일한 온도를 유지시켜 준다.

따라서 TiSi_2 형성 및 계면에서의 결함을 없애기 위해서 CVD 텅스텐을 증착 하기 전 열처리 공정은 반드시 필요한데 이를 위해 thermal budget이 작은 RTP(Rapid Thermal Processing)법을 사용하였다.

3) Barrier② TiN 증착 공정

비트-선 공정 이후에 700°C이상의 열 공정이 다수 존재하기 때문에, RTP 이후 직접 CVD 텅스텐을 증착한 경우에는 Ti\TiN 박막이 fail 된다(그림3). 따라서, RTP 열 공정 과정에서 발생한 microcrack을 가지는 TiN 박막 위에 다시 TiN박막을 증착 함으로써 barrier 특성을 강화 시키는 공정이 필요하며, 최소 100Å 이상이 되어야 함을 기준으로 하였다. 일반적인 sputter 방식의 TiN은 step coverage가 나쁘기 때문에 contact의 바닥에 100Å을 증착 시키기 위해서 1000Å정도의 두께를 증착 해야 하기 때문에 대상에서 제외시켰다. Collimated TiN의 경우에도 낮은 throughput과 잦은 부품 교환 등의 문제를 야기하며 step coverage 측면에서도 뛰어난 향상을 가지지 못하기 때문에 제외시켰다. 여기서는 MOCVD(Metal Organic CVD) TiN을 이용하였는데 이 공정은 storage node contact 하부에서의 step coverage가 >70%이다.

MOCVD TiN 증착의 표준공정은 TDMAT(Tetra Dimethyl Amino Ti)+ NH_3 반응에 의해 박막을 증착시킨 후 N_2+H_2 플라즈마를 이용하여 박막내의 불순물을 제거 시키는 공정을 반복하여 진행시키는 방법이다. TiN 200Å을 증착 하기 위해서는 위 공정을 4회 반복

한다. Storage node contact 구조에서의 step coverage 를 측정된 결과, 하부는 70%이상, 측벽부분은 ~125% 이다. 측벽부분의 step coverage가 100%이상인 이유는 플라즈마 처리시 TiN 박막은 volume shrinkage가 발생하는데 플라즈마의 방향성으로 인하여 측면에서는 플라즈마 처리가 잘 되지 않기 때문이다. 따라서 측면에서는 amorphous층과 결정층이 연속해서 관찰이 된다.

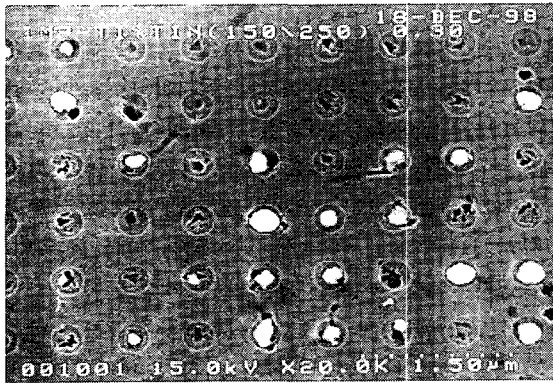


그림 3. Ti/TiN/RTP/CVD W + 후 열처리시 하부의 fail 현상

Fig. 3. Bottom fail by Ti/TiN/RTP/CVD W + post heat treatment.

4) CVD 텅스텐 증착 공정.

비트-선 증착을 하기 전에는 자연 산화막을 제거하기 위하여 전세정을 하게 되는데, 이때 storage node contact의 측벽도 식각되어 storage node contact의 CD(Critical Dimension)가 증가한다. 셀 영역에서는 0.20 μ m에서 0.28 μ m로 증가하며, peri.영역에서는 0.38~0.40 μ m까지 증가한다. 따라서 셀 영역의 접촉영역에서 misalign이 발생 했을 때 비트-선 식각시 keyhole 및 TiN/텅스텐 계면을 통하여 과도한 식각이 발생할 수 있으며 가장 치명적이다. 또한 Ti/TiN/CVD 텅스텐을 식각할 때 텅스텐과 Ti/TiN의 식각 화학용액이 다르며 각 단계마다 식각 균일도 때문에 과도한 식각을 필요로 하는데 dogbon 구조로 하는 경우 어느 정도 이 문제를 해결할 수 있다. M1에서 비트-선으로 연결되는 contact과 비트-선 contact과의 거리에 대한 마진이 크지 않아서 misalign시 contact이 storage node contact의 개구면을 통해 식각이 과도하게 되는 문제가 발생할 수 있다. 따라서 Ti \ TiN \ TiN \ RTP \ W plug \ W etchback \ TiN \ W 배선구조로 진행하기로 하였

다. 그림4는 이러한 구조를 Peri와 Cell 영역에서 관찰한 SEM 사진이며 그림 5에서는 TEM으로 분석한 단면도를 보여주고 있다.

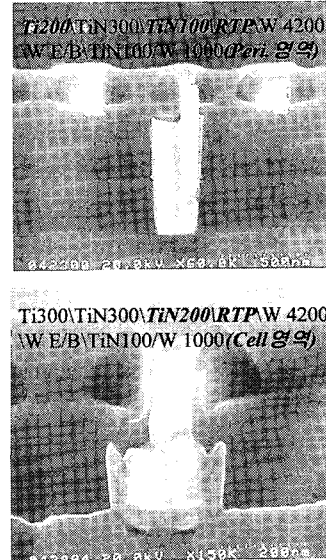


그림 4. 비트-선 공정 SEM 단면도

Fig. 4. SEM cross section of the bit-line.

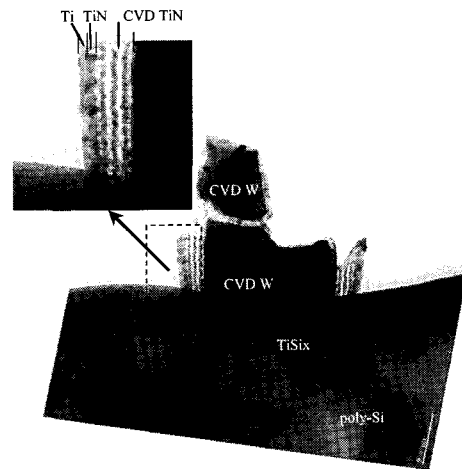


그림 5. 셀 영역에서 비트-선 TEM 단면도

Fig. 5. TEM cross section of the bit-line in cell region.

5) Liner TiN 증착 공정.

초기 공정 설정을 위한 실험에서 텅스텐 식각시 마진 문제로 인한 과도 식각으로 인하여 웨이퍼 일부분에서 Ti가 드러났으며 층간 절연막의 옥사이드 색깔도 드러났다. 또한 텅스텐 식각시 박막표면에 흡착되어진 물질로 인해 CVD 텅스텐 배선 증착시 adhesion 불량

문제가 발생할 소지가 있었기 때문에 CVD 텅스텐 증착된 liner TiN 박막을 증착하기로 하였다. 또한 liner TiN을 증착하면, 배선 식각시 선택비가 다른 TiN막위에 CVD 텅스텐이 증착 되어져 있기 때문에, 텅스텐 플러그의 recess를 최대한 억제시킬 수 있는 장점이 있다. 텅스텐 식각때에는 liner TiN이, Ti\TiN 식각때에는 텅스텐이 식각의 barrier 역할을 하기 때문이다. TiN의 두께는 그림6에 나타난 것과 같이 시간조절이 가능한 최소한의 두께인 100Å으로 결정하였다. 따라서 실험을 위한 기본적인 비트-선 구조는 3-1~3-5절에서 언급한 것에 기초하여 만들어 졌으며 최종적인 단면의 구조는 그림 4와 5에 나타내었다.

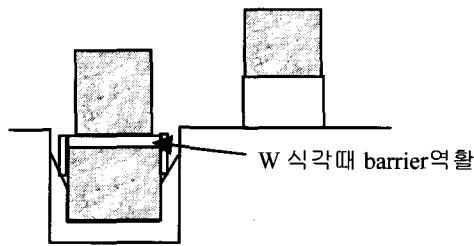


그림 6. 셀 영역에서의 비트-선 단면도
Fig. 6. Bit-line cross section for cell region.

III. 실험 결과 및 토의

접촉저항이 증가할 경우 고속/고밀도의 칩 구현은 매우 어렵다. 따라서 접촉저항을 줄이는 것이 매우 중요한 설계변수가 된다.

따라서 III장에서는 저-저항 텅스텐 비트-선을 구현하기 위하여 II장에서 제작한 기본 구조를 사용하여 비트-선이 접촉되는 저항을 줄여 칩의 고속 동작을 위해 RTP 온도의 변경 실험과 P+ 이온주입 공정에 중점을 두어 실험을 하였다.

1. RTP 공정 변경

저항 성분은 불순물의 농도와 온도에 매우 민감하다. 따라서 초기 실험 결과 active영역(NCNT:N+ contact, PCNT:P+ contact)에서 접촉 저항이 큰 값으로 나타나 이를 해결하고자 여러 공정 split을 진행중 저항성분은 온도에 민감하므로 RTP 공정을 700°C에서 800°C로 변경하는 실험을 하게 되었다.

그 결과 RTP 공정을 700°C에서 800°C로 변경한 결과에서 NCNT값은 거의 차이가 적고 PCNT 값은 800°C

가 월등히 우수함을 알 수 있으며 800°C로 진행한 NCNT, PCNT 모두가 낮은 접촉 저항 값을 나타내었다(그림7). 따라서 PCNT 저항을 줄이기 위해서는 고온 처리하는 것이 유리하다.

구조적으로 fail은 발생하지 않았으나, 후열처리 정도에 따라 TiSi₂형성이 다른 모습을 나타내었다. 800°C 후열처리를 받은 웨이퍼는 contact 하부에서 넓은 면적의 비교적 균일한 TiSi₂가 100Å~200Å정도 형성되었으나, 700°C 후열처리를 받은 웨이퍼에서는 TiSi₂가 agglomeration되어 ~300Å정도까지 반구

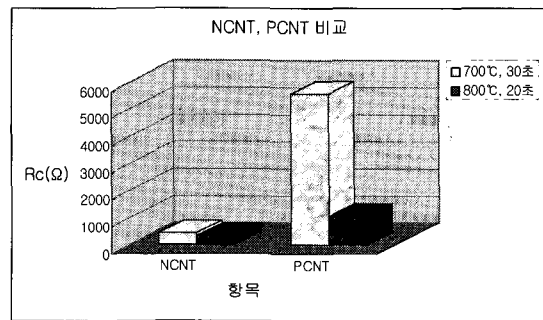


그림 7. RTP 온도에 따른 NCNT, PCNT Rc 비교
Fig. 7. Comparison NCNT, PCNT Rc with RTP temperature.

형태로 성장하였다(그림 8). RTP 온도에 의한 효과는 다음과 같이 해석된다. 먼저 낮은 온도에서 형성된 TiSi₂는 C-49 (metastable / high resistivity / highly faulted phase)와 C-54 (equilibrium / low resistivity/fault free phase)가 공존하거나, 대부분 C-49로 이루어져 있으며, 후속 열처리 동안 상 변태를 수반한 물질이동을 촉진할 뿐만 아니라, C-49 phase 자체의 낮은 밀도(C-54 대비 약 6% 낮음)로 인해 B 및 As의 TiSi₂를 통한 확산속도가 빨라져서 Si에서의 농도가 낮아지는 효과와 TiSi₂ agglomeration이 같은 이유로 심해지기 때문이다.

RTP 온도에 따른 Si-sub dopant의 농도분석을 위하여 테스트 웨이퍼로 실험한 결과 (그림 9)에서 보는 바와 같이 B 농도는 800°C, 10초(1.20x10²⁰ atoms/cm³) > 800°C, 20초(1.05x10²⁰ atoms/cm³) > 700°C, 30초 열처리 (9.69x10¹⁹ atoms/cm³) > 650°C, 1분 열처리(8.36x10¹⁹ atoms/cm³)의 순으로 높았으며, 고온 RTP에서 TiSi₂ agglomeration이 현저히 억제됨을 볼 수 있으며 이는 그림 7에서 나타낸 것과 같이 여러 가지 접촉 저항에

서의 변화와 잘 일치하고 있다.

특히 700°C에서의 non-ohmic 문제를 800°C공정에서는 해결하였다. Fluorine은 RTP의 온도에 따라 별다른 차이를 보이지 않았다.

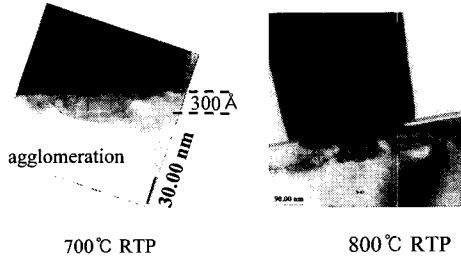


그림 8. RTP 온도에 따른 contact 단면
Fig. 8. Cross section of contact with RTP temperature.

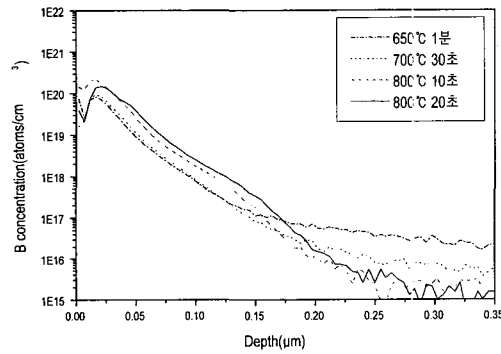


그림 9. 여러가지 RTP 온도에 대한 SIMS profiles
Fig. 9. SIMS profiles for various RTP temperature.

2. P+ add I/I 공정.

비트-선 공정이후 700°C이상의 열 공정이 진행됨에 따라 P+ I/I에 의해서 PCNT Rc값을 2000Ω이하로 낮출 수 없었다. 따라서 이를 해결하고자 storage node contact 식각 이후에 P+ add I/I 공정을(BF₂, 30KeV, 1.5x10¹⁵/cm²) 진행하였다. P+ add I/I를 적용한 웨이퍼에서는 낮은 PCNT Rc값을 얻을 수 있었으며, CD에 따른 PCNT Rc값의 급격한 증가현상도 없었으며 그림 10에서 볼 수 있듯이 P+ add I/I를 적용한 것이 더 낮은 저항 값을 보여주고 있다. 이는 add I/I를 통해 식각 작업으로 발생한 결함 성분들을 완화하여 접촉 저항값을 감소 시켰기 때문이다. P+ add I/I 공정이 Boron 농도증가에 대한 효과를 좀 더 자세히 분석하기 위하여 테스트 웨이퍼를 제작하여 SIMS 분석을 하였다. 조건은 크게 4가지로 구분하여 1)30KeV, 1.5x10¹⁵/cm²,

2)30KeV, 3.0x10¹⁵/cm², 3) 20KeV, 1.5x10¹⁵/cm², 4) Skip 으로 제작하였다. 그 결과 그림 11에서 알 수 있듯이 P+ add I/I공정을 skip한 웨이퍼는 800°C 9분의 후열처리를 진행한 후 계면에서 >1.0x10²⁰atoms/cm³의 농도를 가진 반면에, P+ add I/I공정을 진행한 웨이퍼는 3가지 모두 거의 1.0x10²¹atoms/cm³에 가까운 농도를 가졌다. 따라서 I/I의 농도 변화에 의해 접촉 저항의 계면 및 내부에서의 결함을 크게 완화가 됨을 알 수 있다.

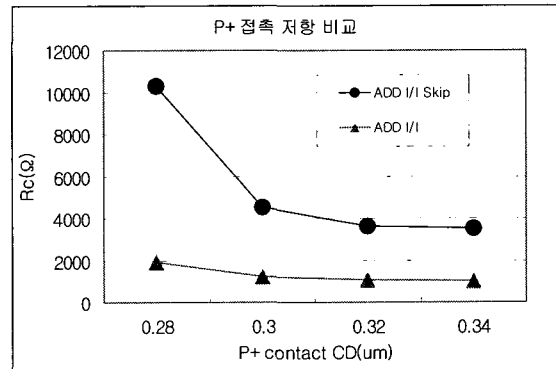


그림 10. P+ add I/I 유,무에 따른 P+ Rc 비교
Fig. 10. Comparison P+ Rc with P+ add I/I skip or not.

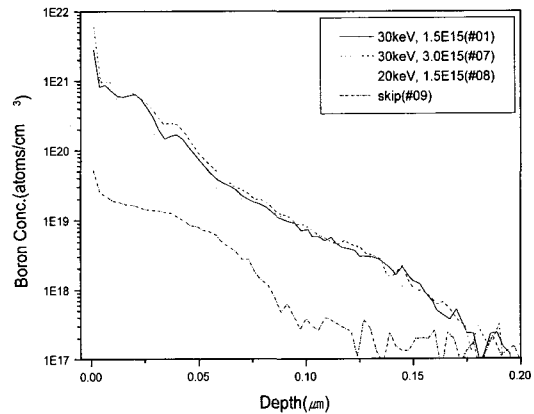


그림 11. P+ I/I 조건에 따른 Boron 농도분석
Fig. 11. Boron concentration analysis with P+ I/I conditions.

IV. 결 론

집적도가 증가함에 따라 비트-선의 저항값이 커질 경우 커패시턴스 값이 증가하여 칩내에서 속도의 지연 및 고밀도화가 어려워진다. 따라서 본 논문에서는 이를

해결하고자 저항 성분에 가장 민감한 불순물의 농도와 온도 성분을 여러 가지 조건하에서 실험을 하였다. 그 결과 후열처리 정도에 따라 $TiSi_2$ 형성이 다른 모습을 나타내었는데 $800^\circ C$ 후열처리를 받은 웨이퍼는 contact 하부에서 넓은 면적의 비교적 균일한 $TiSi_2$ 가 $100\text{\AA} \sim 200\text{\AA}$ 정도 형성되었으나, $700^\circ C$ 후열처리를 받은 웨이퍼에서는 $TiSi_2$ 가 agglomeration 되어 $\sim 300\text{\AA}$ 정도까지 반구형태로 성장하였다. 따라서 RTP 온도에 의한 효과는 고온 RTP에서 $TiSi_2$ agglomeration이 현저히 억제됨을 나타내었으며 또한 저-저항 접촉 저항 값을 얻을 수 있었다.

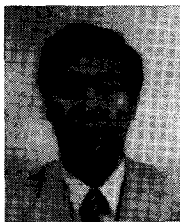
그리고 식각 후에 발생하는 결함에 의해 발생하는 저항의 증가를 감소 시키기 위하여 P+ add I/I의 유, 무에 따른 실험을 하였다. 그 결과 add I/I를 적용한 것이 skip한 것보다 더 낮은 저항 값을 보여주고 있는데 이는 I/I의 농도 변화에 의해 접촉 저항의 케면 및 내부에서의 결함을 크게 완화가 됨을 알 수 있었다.

참 고 문 헌

[1] S.R.Wilson, C.J.Tracy., "Handbook of Multilevel Metallization for Integrated Circuits", Noyes Publications., pp. 32~67, 1993.

[2] J. M. Drynan, K. Fukui., "Shared Tungsten Structures for FEOL/BEOL Compatibility in Logic-Friendly Merged DRAM", IEDM, pp. 849~852, 1998.
 [3] S. Y. Choi., "Metal Bit-line Common Contact Integration Technology in 0.17um-DRAM & Merged DRAM in Logic Devices", IITC., pp. 137~139, 1999.
 [4] J. M. Drynan, K. Koyama., "Comparison of CVD and PVD W for Gigabit-scale DRAM Interconnections in Advanced Metalization for Future ULSI", Material Research Society, vol. 427. pp. 307~316. 1996.
 [5] M.Yoshida, T.Kumauchi, K.Kawakita., "Low Temperature Metal-based Cell Integration Technology for Gigabit and Embedded DRAMs", IEDM, pp. 41, 1997.
 [6] G. A. Dixit, W. Y. Hsn., "Ion Metal Plasma Deposited Titanium Liners for 0.25/0.18um Multilevel Interconnections", IEDM, pp. 357-360, 1996.

저 자 소 개



李天熙(正會員)
 1945년 6월 6일생, 1968년 한양대학교 전자공학과 졸업, 동대학원 졸업, 1975년 성균관대학교 대학원 전자자료처리과 졸업, 1986년 성균관 대학원 공학박사학위 취득, 1971년(주)한국마벨근무, 1977년 동양공업전문대학 전자과 근무, 1979년~현재 청주대학교 전자공학과 교수, 1983년~1985년 미국 캘리포니아 산호세 주립대학교 객원교수, 2001년~현재 대한전자공학회 부회장, 주관심분야는 VLSI 설계, DRAM, PCB 설계 및 제조, CAD 툴 개발, 컴퓨터 및 제어 등임

李勇熙(正會員) 第27券 第11號 參照
 1966년 6월 18일생, 1989년 2월 청주대학교 전자공학과 졸업, 1991년 8월 청주대학교 전자공학과 졸업, 1998년 2월~청주대학교 박사과정, 1995년 6월~1998년 10월 LG반도체 연구소, 1998.10월~현재 하이닉스 반도체 주임연구원, 주관심분야는 VLSI 설계 및 모의실험, DRAM 셀 설계 및 제조, 컴퓨터 및 제어 등임