

論文 2001-38SD-6-3

6H-SiC p⁺n 접합의 항복 전압을 위한 해석적 모형

(Analytical Model of Breakdown Voltages for 6H-SiC p⁺n Junction)

鄭龍成 *

(Yong Sung Chung)

요약

본 논문에서는 6H-SiC의 유효 이온화 계수를 추출하였고, 이 이온화 계수를 이용하여 6H-SiC p⁺n 접합의 해석적 항복 전압 식을 유도하였다. 해석적 항복 전압 결과는 $10^{15} \text{ cm}^{-3} \sim 10^{18} \text{ cm}^{-3}$ 의 농도 범위에서 Dmitriev의 수치적 결과^[3] 및 Cree Research의 실험 결과^[9]와 비교하여 잘 일치하였다.

Abstract

In this paper, effective ionization coefficient for 6H-SiC is determined. Analytical formulas for the parallel plane breakdown voltage of the 6H-SiC p⁺n junction are derived by employing the ionization coefficients. The analytical breakdown voltages show good agreement with the numerical results of Dmitriev's^[3] and the experimental results of Cree Research^[9] over the doping range from 10^{15} cm^{-3} to 10^{18} cm^{-3} .

I. 서론

현재 Si를 주축으로 하는 반도체 전자 산업은 그 응용 범위가 매우 넓어서 대 전력의 장거리 송전, 고속 철도, 전기 자동차, 에어컨, 인버터의 제어에 이르기까지 실리콘 소자가 사용되고 있다. 하지만 전력 전자 분야에서는 대 전류, 높은 내 전압의 필요성과 함께, 고속화, 저 손실화, 소형화가 요구되고 있고, Si 소자의 내 전압을 크게 할 경우 ON-저항이 증가하게 되어 소자의 발열량이 커지는 문제가 발생한다. 이것은 주로 소자 제조에 사용된 Si의 물성에 기인한 것으로, 이와 같은 요구에 부응하여, Si에 비해서 밴드 갭, 임계 항복 전계, 항복 전압, 열 전도도 등의 물성값이 큰 SiC에

대한 연구가 활발히 진행되고 있다^[1].

반도체 소자의 온도가 올라가면 역 방향 바이어스 pn 접합에서 누설 전류에 의한 열 발생 손실이 증대된다. 더욱 온도가 상승될 경우에는 반도체의 밴드 갭을 열적으로 뛰어넘어 생성된 캐리어가 증가하여 그것이 불순물 농도를 넘어서게 될 때 소자로서의 동작 특성을 상실하게 된다. 그러나 반도체의 밴드 갭이 크면 상대적으로 높은 온도 영역에서도 반도체 특성을 유지하게 되므로, SiC가 Si 보다 에너지 밴드 갭이 약 3배 정도 크기 때문에 Si 소자의 최대 동작온도인 250°C 보다도 훨씬 높은 온도인 300~500°C까지의 온도에서도 사용이 가능한 소자를 실현시킬 수 있다^[2].

한편 SiC는 Si에 비해서 임계 항복 전계가 약 10배 정도 높인데, 높은 절연 파괴 전계 강도는 소자의 드리프트 층의 두께를 극히 얇게 할 수 있어 ON-저항 손실을 비약적으로 줄일 수 있다.

또한 SiC의 항복 전압이 Si 보다 10배 정도 높기 때문에 고 전압을 유지시키기 위한 층의 두께를 현저히 줄일 수 있어, 벌크 층의 전압 강하를 기존의 Si 소자

* 正會員, 徐羅伐大學 電氣電子電算學部

(School of Electric Electronic and Computer Engineering, Sorabol College)

接受日字:2000年8月21日, 수정완료일:2001年4月23日

에 비해 상당히 줄일 수 있고, Si에 비해서 상대적으로 짧은 소수 캐리어 수명으로 인해 우수한 순방향 특성을 얻을 수 있으므로 스위칭 특성 면에서 Si 소자보다 매우 유리함을 알 수 있다. 이와 같이 Si에 대해 SiC가 갖는 장점으로, 즉 이동도가 크고, 밴드갭이 넓기 때문에 고속 동작이 가능하고, 같은 항복 전압에 대해 ON 저항이 작다는 장점 등 전력 소자로서 매우 우수한 특성을 지니고 있다.

SiC 전력소자를 설계하는 데 있어 가장 중요한 관점은 주어진 항복 전압, ON 저항을 만족시키며, 가능한 작은 칩 면적을 갖도록 설계하는 데 있다. 따라서 소자의 구조, 농도 등 각 변수가 주어질 경우, 항복 전압, ON 저항을 예측할 수 있어야 하며, 이를 위하여 평면형 pn 접합(parallel plane pn junction)의 항복 전압에 대한 해석적인 공식을 구할 필요가 있다.

Dmitriev^[3]는 SiC에 대한 평면형 pn 접합의 항복 전압을 구하기 위해 수치적 방법을 통해 계산하였으나, SiC의 평면형 접합의 임계 항복 전계와 항복 전압을 해석적 방법을 통해 구하는 연구 결과는 아직 알려지지 않았다.

본 논문에서는 6H-SiC의 전자와 정공의 이온화 계수를 통합한 유효 이온화 계수를 추출하고, 이를 이용하여 6H-SiC p-n 접합의 임계 항복 전계 및 항복 전압에 대한 해석적인 공식을 유도하고자 한다. 해석적인 결과는 기존의 수치 해석 결과 및 실험 결과와 비교하여 검증하였다.

II. Avalanche Breakdown

아발란치 항복은 그림 1과 같이 충돌 이온화가 무한대로 진행되는 과정에서 발생된다. 이때 충돌 이온화를 통해 공핍층을 넘어 반송자가 이동되는 동안 전자-정공쌍이 발생되는데, 이 과정을 규정하기 위해서는 이온화 계수의 정의가 필요하다.

전자에 대한 충돌 이온화 계수 α 는 전자가 전기장 방향을 따라 공핍층을 1cm 횡단함으로써 생성되는 전자-정공쌍의 수로 정의되고, 정공의 이온화 계수 β 는 정공이 전기장 역 방향을 따라 공핍층을 1cm 횡단함으로써 생성되는 전자-정공쌍의 수로 정의된다^[4]. α 와 β 는 각각 전계의 함수로서, $\alpha, \beta = a \exp[-(b/E)]^c$ 의 형식으로 표현되고, 6H-SiC의 경우 α 와 β 는 각각 식 (1)과 식 (2)와 같다^[5].

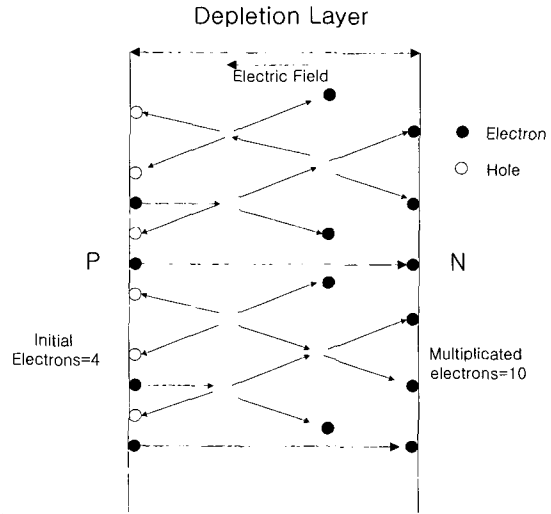


그림 1. 아발란치 증배
Fig. 1. Avalanche multiplication.

$$\alpha = 4.65 \times 10^6 \exp\left(\frac{-1.2 \times 10^7}{E}\right) \quad (1)$$

$$\beta = 4.65 \times 10^4 \exp\left(\frac{-1.2 \times 10^7}{E}\right) \quad (2)$$

식 (1)과 식 (2)는 전계 세기가 약 $1 \times 10^6 \sim 5 \times 10^6$ V/cm일 경우에 적용되며, 전계가 증가함에 따라 충돌 이온화 계수가 빠르게 증가함을 나타낸다. 6H-SiC의 이온화 계수 α 와 β 를 전계의 함수로서 그림 2에 점선과 ---로 각각 나타냈다.

아발란치 항복 전압을 구하기 위해서는 충돌 이온화가 무한히 유지되는 조건이 만족되어야 한다. 즉, 충돌 이온화에 따라 형성되는 전체 전자-정공 쌍의 수가 ∞ 로 갈 때, 다시 말해 식 (3)의 조건을 만족할 때 아발란치 항복이 발생되는데^[4],

$$\int_0^W \beta \exp\left[\int_0^x (\beta - \alpha) dx'\right] dx = 1 \quad (3)$$

계단 접합의 아발란치 항복 전압을 구하기 위한 수치 계산은 측정된 전자와 정공의 이온화 계수, α 와 β 를 식 (3)에 대입함으로써 행해진다.

이와 같이 이온화 계수가 전계와 깊은 관계가 있으므로, 아발란치 항복을 수치 적분 기법을 이용하여 해석할 때 아발란치 증배 계산은 가장 높은 전계를 포함하는 소자 구조에서 경로를 선택함으로써 이루어진다. 이 경우, 다양한 마감 방법에 따라 다양한 아발란치 증배 경로를 분석해야 하는 단점이 있다.

한편, 전자와 정공의 이온화 계수 α 와 β 를 $\gamma \approx \alpha \approx$

β 로 근사시킨 유효 이온화 계수 γ 를 이용하여 항복 전압을 구하더라도 Silicon^[6], Indium phosphide^[7], Gallium arsenide^[8]의 경우 큰 오차가 발생하지 않고 상당히 정확한 결과를 얻을 수 있다고 알려져 있다. $\gamma = mE^n$ 의 형태로 근사시킨 6H-SiC 유효 이온화 계수 γ 는 식 (4)와 같으며, 이 식은 계단형 접합의 아발란치 항복 전압에 대한 closed-form의 해석식을 구하는데 유용하게 쓰이게 된다.

$$\gamma = 1.76 \times 10^{-29} E^{5.243} \quad (4)$$

본 논문에서 구한 유효 이온화 계수 식 (4)를 그림 2에 실선으로 나타냈다. γ 에 대한 근사식은 경험적인 것이며, 이 함수에 대한 확실한 이론적인 배경은 없다.

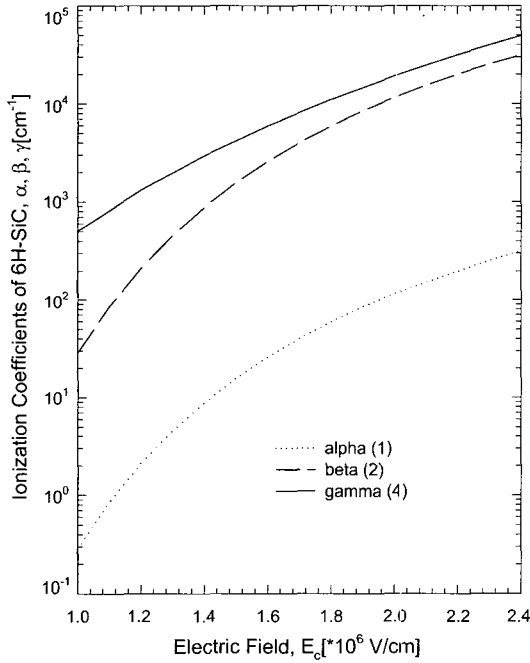


그림 2. 전계에 따른 6H-SiC 이온화 계수
Fig. 2. Ionization coefficients as a function of electric field for 6H-SiC.

전자와 정공의 이온화 계수로부터 추출한 6H-SiC 유효 이온화 계수 γ 를 이용하여 이온화 적분 식 (3)을 다시 쓰면 식 (5)로 간소화된다. 소자에 대한 closed form의 해석적 항복 전압 식은 식 (5)를 이용함으로써 구할 수 있다.

$$\int_0^W \gamma dx = 1 \quad (5)$$

한편, 접합의 한쪽 도핑 농도가 다른 쪽에 비해 매우 높은 경우에 계단형 접합이 형성되는데, 특히 기판 도핑 농도가 낮을 때 계단형 접합이 형성되며, 이 경우 공핍층은 그림 3과 같이 먼저 낮은 농도로 도핑된 쪽으로 확장된다.

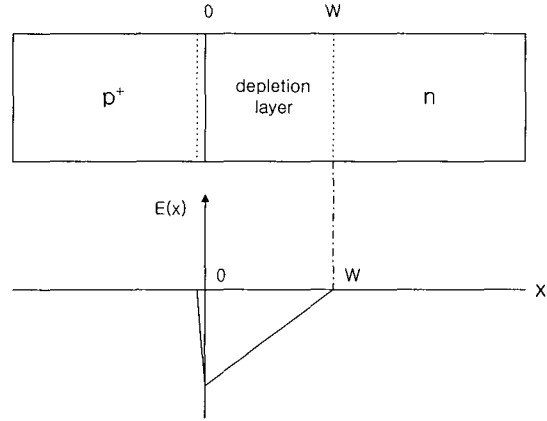


그림 3. 역 바이어스된 SiC p-n 접합의 전계
Fig. 3. Electric field of reverse-biased SiC p-n junction.

평면형의 경우 계단형 p-n 접합에 역 방향 바이어스 전압이 인가되면 공핍층은 p+의 높은 doping level로 인해 n형 쪽으로 확장되므로 Poisson 방정식은 n형 쪽에 대해서만 해가 구해진다. 즉, 식 (6)이 되는데,

$$\frac{d^2 V}{dx^2} = -\frac{dE}{dx} = -\frac{Q(x)}{\epsilon_{SiC}} = -\frac{qN_D}{\epsilon_{SiC}} \quad (6)$$

여기서, $Q(x)$ 는 공핍층 전하, ϵ_{SiC} 는 SiC 유전율, q 는 전하이고, N_D 는 도너의 도핑 농도를 나타낸다.

식 (6)을 적분하고, $E(W)=0$ 의 경계 조건을 이용하면 전계 분포는 식 (7)이 되는데,

$$E(x) = \frac{qN_D}{\epsilon_{SiC}} (W-x) \quad (7)$$

이 식은 그림 3에서와 같이 전계가 거리에 따라 선형적으로 변화함을 나타낸다. 다시 식 (7)을 적분하면 전압은 식 (8)이 되고,

$$V(x) = \frac{qN_D}{\epsilon_{SiC}} \left(Wx - \frac{x^2}{2} \right) \quad (8)$$

따라서 전위는 거리에 따라 2차 함수적으로 변화함

을 알 수 있다.

계단형 접합 다이오드의 항복 전압에 대한 closed-form의 해석적 표현은 식 (4)의 유효 이온화 계수를 이용하여 유도되는데, 이때 이온화 적분은 식 (7)의 전계 분포를 이용해 계산되며, 전계 분포 식 (7)과 유효 이온화 계수 식 (4)를 적분 식 (5)에 대입하면 식 (9)와 같다.

$$\int_0^W 1.76 \times 10^{-29} \left[\frac{qN_D}{\epsilon_{SiC}} (W-x) \right]^{5.243} = 1 \quad (9)$$

이 식을 적분함으로써 평행판 접합의 항복시 공핍층 폭 식 (10)이 유도된다.

$$W_{pp} = 2.42 \times 10^{10} N_D^{-0.84} \text{ (cm)} \quad (10)$$

x=W의 경우, 식 (8)에 W_{pp} 를 대입하면 계단형 접합 다이오드의 사태 항복 전압은 식 (11)이 된다.

$$BV_{pp} = 5.5 \times 10^{13} N_D^{-0.68} \text{ (V)} \quad (11)$$

식 (11)에서 아래 첨자 pp는 parallel plane이나 준 무한대 접합을 의미하는 것으로, 식 (11)에 대한 농도 변화

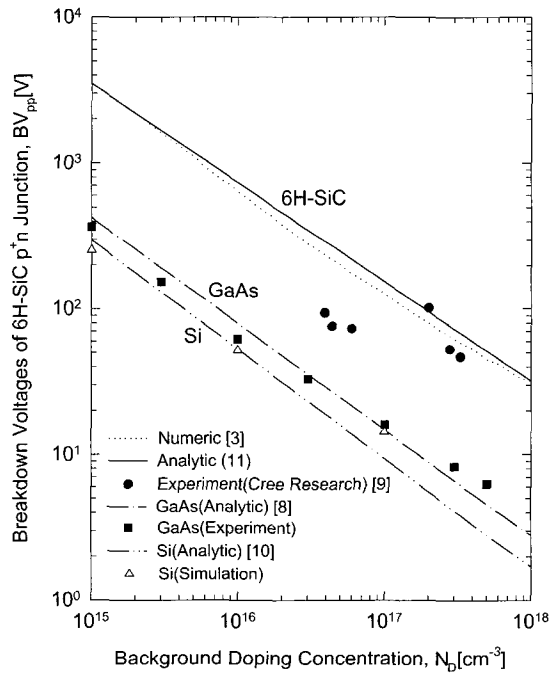


그림 4. 불순물 농도에 따른 SiC p-n 접합의 항복 전압

Fig. 4. Breakdown voltage as a function of impurity concentration for a SiC p-n junction.

에 따른 항복 전압을 그림 4에 나타냈다. 본 논문에서 구한 해석적 항복 전압 결과는 수치 해석 결과^[3] 및 실험 결과^[9]와 잘 일치하였다. 또한, 6H-SiC 평면형 p-n 접합 다이오드의 해석적 항복 전압은 그림 4에서와 같이 GaAs^[8] 및 Si^[10] 평면형의 경우와 비교하여 약 10배 이상 큰 값을 나타냈다.

한편, x=0에서 항복시 최대 전계는 식 (7)에 식 (10)을 대입하여 식 (12)가 된다.

$$E_c = 4.53 \times 10^3 N_D^{0.16} \text{ (V/cm)} \quad (12)$$

식 (12)는 어떻게 소자가 사태 항복에 접근하는가를 결정하는 파라미터로서, 기판 도핑 레벨과 주어진 전력 소자에서 요구되는 항복 전압을 얻기 위한 최소의 베이스 폭을 결정하는데 이용된다. 그림 5에는 농도에 따른 항복시 임계 전계 식(12) 및 공핍층 폭 식 (10)의 변화를 나타내었다. 본 논문에 의한 항복시 해석적 임계 전계 결과는 실험 결과^[11]와 매우 잘 일치하였다.

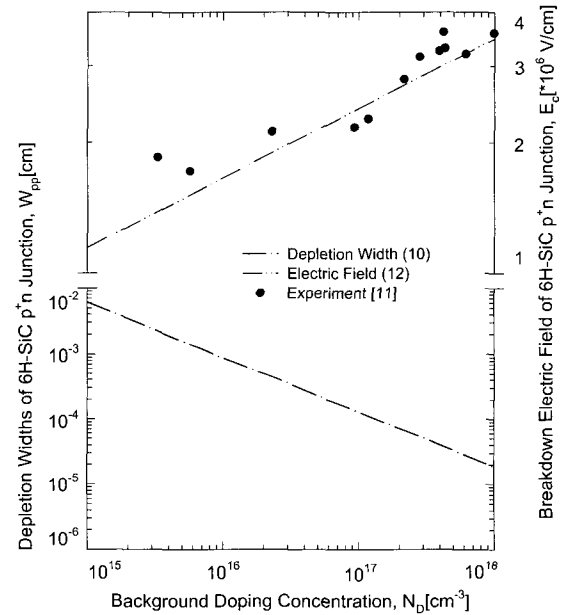


그림 5. 불순물 농도에 따른 SiC p-n 접합의 항복 전계 및 공핍층 폭

Fig. 5. Breakdown electric field and depletion width as a function of impurity concentration for a SiC p-n junction.

III. 결과 및 고찰

본 논문에서 제시한 해석적 모델을 이용하여 도핑

농도가 $10^{15} \sim 10^{18} \text{ cm}^{-3}$ 인 범위에서 6H-SiC p-n 접합의 항복 전압, BV_{br} 를 구하였고, 그 결과를 그림 4에 Si 및 GaAs와 비교하여 각각 나타냈다. 6H-SiC의 전자와 정공 이온화 계수를 동일하게 처리함으로써 생기는 수치 해석 결과와의 오차는 그림 4에서와 같이 낮은 농도와 높은 농도에서는 거의 나타나지 않았고, $5 \times 10^{16} \text{ cm}^{-3}$ 부근에서 수치 해석 결과와 비교하여 약 18.68% 정도의 오차가 나타났다. 점선은 Dmitriev의 수치 해석 결과^[9]를 나타내고, 실선은 식(13)에 의한 해석적인 결과를 나타내며, ● 기호는 Cree Research의 실험 결과^[10]를 나타낸다. 그림 4에서 해석적인 식에 의한 결과는 ● 기호로 나타난 실험 결과 및 수치 적분에 의한 계산 결과와 잘 일치하였다.

한편, 본 논문에서 제시한 해석적 모형을 이용하여 구한 6H-SiC p-n 접합의 항복 전압, BV_{br} 결과를 그림 4에 Si와 GaAs와 비교하여 나타냈는데, 10^{15} cm^{-3} 농도에서는 Si보다는 약 11.8배, GaAs보다는 약 8.3배 크게 나타났고, 10^{17} cm^{-3} 농도에서는 Si보다는 약 16.4배, GaAs보다는 약 10.4배 크게 나타났으며, 10^{18} cm^{-3} 농도에서는 Si보다는 약 18.9배, GaAs보다는 약 11.5배 크게 나타났다. 따라서 SiC를 Si와 GaAs와 비교할 때, 농도가 커짐에 따라 증가율이 커짐을 알 수 있다.

또한 6H-SiC p-n 접합의 항복시 해석적 임계 전계 결과는 실험 결과^[11]와 매우 잘 일치하였다.

IV. 결 론

본 논문에서는 6H-SiC의 전자와 정공 이온화 계수 α 및 β 로부터 유효 이온화 계수 γ 를 구하고, 6H-SiC의 평면형 p-n 접합의 임계 항복 전계 및 항복 전압을 위한 해석적인 표현식을 유도하였다. SiC p-n 접합의 해석적인 항복 전압 결과는 기존의 수치 이온화 적분에 의한 계산 결과와 비교하여 잘 일치되는 결과를 얻을 수 있었다. SiC p-n 접합의 항복 전압 및 전계에 대한 해석적인 모형은 고전압 SiC 소자 설계시 항복 전압 및 전계를 예측하는데 유용하게 사용될 수 있다.

참 고 문 헌

- [1] H. Morkoç, S. Strite and G. B. Gao, "Large-band-gap SiC, III-V nitride, and II-VI ZnSe-based semiconductor device technologies," *J. Appl. Phys.*, vol. 76, no. 3, pp. 1363~1398, 1994.
- [2] Wolfgang J. Choyke, *Materials for High-Temperature Semiconductor Devices*, National Academy Press Washington, D.C., pp. 15, 1995.
- [3] A. P. Dmitriev, A. O. Konstantinov, D. P. Litvin, and V. I. Sankin, "Impact ionization and superlattice in 6H-SiC," *Sov. Phys.-Semicond.*, vol. 17, pp. 686~689, June 1983.
- [4] B. J. Baliga, *Modern Power Devices*, New York: Wiley, 1987.
- [5] Robert J. Trew, Jing-Bang Yan, and Philip M. Mock, "The Potential of Diamond and SiC Electronic Devices for Microwave and Millimeter-Wave Power Applications," *Proceedings of the IEEE*, vol. 79, no. 5, May 1991.
- [6] W. Fulop, "Calculation of Avalanche Breakdown of Silicon p-n Junctions," *Solid State Electron.*, vol. 10, pp. 39~43, 1967.
- [7] T. H. Moon, Y. I. Choi, and S. K. Chung, "Calculation of Avalanche Breakdown Voltage of the InP p-n Junction," *Solid-State Electronics*, vol. 37, no. 1, pp. 187~188, 1994.
- [8] Y. S. Chung, S. Y. Han, Y. I. Choi, and S. K. Chung, "Closed-Form Analytical Expressions for the Breakdown Voltage of GaAs Parallel-Plane p+n Junction in <100>, <110>, and <111> Orientations," *Solid State Electronics*, vol. 39, no. 11, pp. 1678~1680, 1996.
- [9] J. W. Palmour, Cree Research, Triangle Park, NC, private communication.
- [10] Y. S. Chung, I. Y. Park, Y. I. Choi, S. K. Chung, "Temperature Dependent Effective Ionization Coefficient for Si," *Microelectronic Engineering*, vol. 51-52, pp. 535~540, 2000.
- [11] H. Matsunami, "Progress of Semiconductor Silicon Carbide(SiC)," *Electronics and Communications in Japan*, Part 2, vol. 81, no. 7, 1998.

[1] H. Morkoç, S. Strite and G. B. Gao,

저 자 소 개



鄭龍成(正會員)

1955년 5월 8일생. 1978년 아주대학교 공학사, 1988년 한양대학교 공학석사, 1999년 아주대학교 공학박사, 1988년 ~ 1995년 서일대학 강사, 1996년 ~ 현재 서라벌대학 전기전자전산학부 조교수 <주관심 분야

반도체·재료 및 부품, 특성 시뮬레이션>