

論文2001-38SD-7-1

가변 CSD 계수를 이용한 저전력 디지털 필터의 설계

(Design of a Low Power Digital Filter Using Variable
Canonic Signed Digit Coefficients)

金 盈 佑 * , 柳 在 澤 ** , 金 壽 遠 ***

(Young-Woo Kim, Jae-Tack Yoo, and Soo-Won Kim)

요 약

본 논문에서는 많은 연산을 필요로 하는 디지털 필터의 저전력화를 위한 새로운 저전력 기법을 제안한다. 제안된 저전력 기법에서는 CSD (canonic signed digit) 숫자의 유효 표현 범위를 결정하는 nonzero digit 와 ternary digit의 값에 따른 필터의 차단대역 특성 변화를 이용하여, 다단계의 필터 차단 대역 특성을 가지는 가변 CSD 계수를 얻고 이를 approximate processing 기법에 적용하였다. 제안된 저전력 필터 설계 기법의 성능을 확인하기 위하여 4개의 필터 차단대역 특성을 사용하는 AC'97 과표본화 ADC용 decimation 필터의 설계에 적용하였다. Decimation 필터 중 제안된 저전력 기법을 적용한 두 half-band 필터의 연산량은 제안된 기법을 적용하지 않은 경우에 비해 각각의 근사화 수준에서 단위 출력 샘플 당 63.5, 35.7, 13.9 %의 덧셈 연산만을 수행하여 필터의 출력을 얻을 수 있었다. Decimation 필터는 0.6 μ m CMOS SOG 라 이브러리를 사용하여 제작·실험하였으며, 실험결과 입력 신호의 attenuation에 따라 전체 소모전력의 약 3.8 %에서 9 %의 소모전력이 감소되었음을 확인하였다. 제안된 가변 CSD 계수를 이용한 approximate processing 방식은 특히 음성 대역 및 오디오 대역의 신호처리와 과표본화 ADC/DAC의 decimation/interpolation과 같은 multirate 시스템에 적합하다.

Abstract

In this paper, an approximate processing method is proposed and tested. The proposed method uses variable CSD (VCSD) coefficients which approximate filter stopband attenuation by controlling the precision of the CSD coefficient sets. A decimation filter for Audio Codec '97 specifications has been designed having processor architecture that consists of program/data memory, arithmetic unit, energy/level decision, and sinc filter blocks, and fabricated with 0.6 μ m CMOS sea-of-gate technology. For the combined two halfband FIR filters in decimation filter, the number of addition operations were reduced to 63.5%, 35.7%, and 13.9%, compared to worst-case which is not an adaptive one. Experimental results show that the total power reduction rate of the filter is varying from 3.8% to 9.0 % with respect to worst-case. The proposed approximate processing method using variable CSD coefficients is readily applicable to various kinds of filters and suitable, especially, for the speech and audio applications, like oversampling ADCs and DACs, filter banks, voice/audio codecs, etc.

* 正會員, 韓國電子通信研究院
(Electronics and Telecommunications Research
Institute)

** 正會員, 安養大學校 電氣電子工學科
(Dept. of Electrical Eng'g and Electronics, Anyang

Univ.)

*** 正會員, 高麗大學校 電氣電子電波工學部
(School of Electrical Engineering, Kora Univ.)

接受日字:2000年11月6日, 수정완료일:2001年6月11日

I. 서 론

디지털 VLSI의 발전은 개인용 휴대 단말기, 노트북 컴퓨터 등 휴대용 기기의 폭발적인 수요증가를 야기함과 동시에 시스템 전력소모량의 급격한 증가를 가져왔다. 이로 인하여 휴대용 단말 시스템의 전력비용 감소를 위한 중요한 수단으로써 VLSI의 저전력 설계에 관한 연구가 활발히 이루어지고 있다.^[1]

음성 신호 처리는 휴대용 단말기에서 처리되어지는 대표적인 데이터로서, 많은 신호처리를 필요로 하는 부분으로 다양한 형태의 디지털 필터가 사용되어지고 있으며 필터의 효율적인 연산 처리와 저전력화에 대한 많은 연구가 이루어지고 있다. 필터의 저전력 방법으로 계수 표현 방식의 최적화를 위한 CSD (Canonic Signed Digit) 코드 표현 방법과^[6,7] sub-expression sharing, Interpolated FIR, 필터 차수의 근사화를 통한 approximate processing 기법, 곱셈기를 사용하지 않고 add/shift 연산을 활용한 필터 구조, multirate 시스템의 응용 등과 같은 연산 알고리즘 및 구조에 관한 연구가 진행되어지고 있다.^[2~5,9,10]

본 논문에서는 디지털 신호 처리에 널리 사용되는 디지털 필터의 저전력 구현을 위하여 필터의 연산에 참여하는 연산량의 감소를 통한 알고리즘 저전력 기법을 제안하고 실험을 통하여 그 효과를 검증한다. 제 II장에서는 제안된 가변 CSD 계수와 이를 이용한 approximate processing 방법에 대하여 알아보도록 한다. 제 III장은 제안된 방법을 적용한 Audio Codec '97 과표본화 ADC 용 decimation 필터의 설계에 대하여 기술한다. 제 IV장에서 제작된 IC의 실험 결과에 대하여 알아본 후 제 V장에서 결론을 맺도록 한다.

II. 가변 CSD 계수를 사용한 approximate processing

1. CSD Number system

CSD 표현은 수를 표현하는데 있어 식 2.1과 같이 2의 승수(power-of-two, POT)의 합과 차로써 수를 표현하는 방법으로서, 표현되는 숫자의 유효숫자 범위는 nonzero digit, L , 과 total ternary digit, M , 에 의하여 결정되어진다.^[6]

$$x = \sum_{i=1}^L s_i 2^{-P_i}, \quad (s_i \in \{-1, 0, 1\}, p_i(0, 1, \dots, M)). \quad (2.1)$$

디지털 필터의 계수로 일반 이진수(binary number)를 사용하지 않고 CSD 코드를 사용할 경우, 동일한 수를 표현함에 있어서 nonzero digit의 수를 현저히 줄일 수 있어 필터의 저전력화에 유리한 장점이 있으나 일반 이진수 표현에 비하여 계수 양자화 에러(coefficient quantization error)의 분포가 달라지게 된다. 유효자릿수가 B 인 이진수 필터 계수에서 계수 양자화로 인한 신호의 최대 감쇠 상한(absolute upper bound, $e(\omega)$)은 다음의 식 2.2와 같이 주어진다.^[11]

$$|e(\omega)|_{B-bit} = N 2^{-B}. \quad (2.2)$$

이식에서 N 은 필터의 차수를 의미한다.

CSD 계수의 양자화로 인한 영향을 알아보기 위하여 식 2.2를 L 과 M 의 경우로 각각 확장하여 이들의 조합에 따른 계수 양자화 에러를 분석하였다. 이때 양자화 에러는 균일한 분포(uniform distribution)를 가지는 것으로 가정하였다.

Case 1 : M 의 값이 고정되고 L 의 값에 제한이 없을 경우

이 경우는 CSD 코드의 전체 유효자릿수가 제한되는 경우로, M 의 값이 고정되어 있는 경우이며 한 비트의 유효자릿수 증가는 필터의 차단대역 감쇠특성(maximum upper bound of stopband attenuation, A_{MAX})이 6.02 dB의 향상을 보이게 된다.

$$\begin{aligned} A_{MAX}|_{M+1} &= 20 \log_{10}(e(\omega)) = 20 \log_{10} N + 20 \log_{10} 2^{-(M+1)} \\ &= 20 \log_{10} N + 20 \log_{10} 2^{-M} - 20 \log_{10} 2 \\ &= A_{MAX}|_M - 6.02 \end{aligned} \quad (2.3)$$

Case 2 : L 의 값이 고정되고 M 의 값에 제한이 없을 경우

CSD 표현상의 nonzero digit의 개수를 제한하는 경우로, 가능한 LSB의 위치는 $2^{-(2L-1)}$ 된다. 이때 필터의 차단대역 감쇠특성은 12.04 dB의 향상을 보이게 된다.

$$\begin{aligned} A_{MAX}|_{L+1} &= 20 \log_{10}(e(\omega)) = 20 \log_{10} N + 20 \log_{10} 2^{-(2(L+1)-1)} \\ &= 20 \log_{10} N + 20 \log_{10} 2^{-(2L-1)} - 20 \log_{10} 2^2 \\ &= A_{MAX}|_L - 12.04 \end{aligned} \quad (2.4)$$

Case 3 : M 과 L 의 값 모두 고정된 경우

CSD 코드의 표현이 M 과 L 모두에 의하여 제한되는 경우이며, Case 1과 Case 2로부터 식 2.5, 2.6과 같은 신호의 최대 감쇠의 상한 값과 차단대역 감쇠특성을 얻을 수 있다.

$$|e(\omega)| = N \max(2^{-M}, 2^{-(2L-1)}) \tag{2.5}$$

$$A_{MAX} = 20 \log_{10}(e(\omega)) \\ = 20 \log_{10} N + 20 \log_{10}(\max(2^{-M}, 2^{-(2L-1)})) \tag{2.6}$$

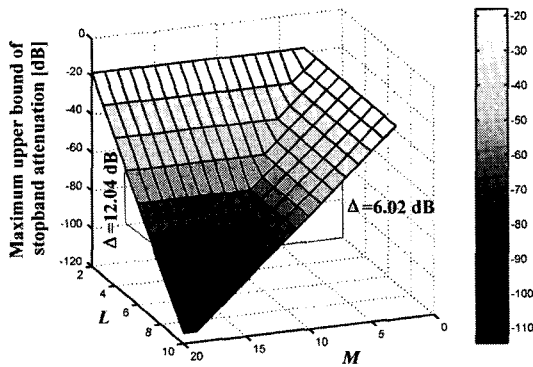


그림 1. CSD 계수를 사용하는 디지털 필터의 차단대역 감쇠특성(A_{MAX}) 그래프
 Fig. 1. Maximum upper bound of stopband attenuation plot for various combinations of L and M in CSD coefficients ($N=1$).

그림 1은 식 2.6에 따라 CSD 계수를 사용하는 디지털 필터의 차단대역 감쇠특성(A_{MAX})을 나타낸 그래프이며, 이때 필터의 차수에 의한 영향이 없다고 가정한 상태에서 얻은 그래프이다. 이 그래프를 이용하여 CSD 계수를 사용한 디지털 필터의 설계 시 차단대역 감쇠특성이 주어지면 CSD 계수의 L 과 M 을 결정하기 위한 기초자료로 사용하게 된다.

2. 가변 CSD 계수를 이용한 approximate processing
 본 논문에 제안된 가변 CSD 계수 (variable CSD, VCSD, coefficient) 방법은 입력 신호특성에 따라서 CSD 계수의 L 과 M 을 동적으로 조절하여 필터의 연산량을 줄이는 방식의 approximate processing 기법이다.

기존의 approximate processing 방법은 입력과 출력 샘플의 신호 특성에 따라서 능동적으로 필터의 차수를 조정하여 단위 출력 샘플 당 연산회수를 줄이는 반면, [2~4] 제안된 VCSD 계수 approximate processing 방법

은 주어진 필터 출력의 감쇠 특성을 유지하면서 입력 샘플의 신호 상태에 따라 CSD 코드 표현상의 L 과 M 을 동적으로 조절하여 연산량을 최소로 유지하는 기법이다.

(1) 제안된 가변 CSD 계수

일반적으로 디지털 필터는 입력 샘플의 신호특성과 무관하게 최대의 연산능력을 가지고 필터 동작을 수행하게 된다. 가변 CSD 계수는 식 2.6과 같이 주어지는 CSD 계수를 이용한 디지털 필터의 차단대역 감쇠특성을 이용하여, worst case 필터 계수로부터 CSD 코드의 L 과 M 을 동적으로 조절하여 근사화 된 차단대역 감쇠특성을 얻는 방법으로, 얻어지는 근사 CSD계수는 worst case 필터 계수보다 적은 POT항을 가짐으로써 필터의 단위 출력 당 연산량을 감소시킬 수 있다. 얻어지는 가변 CSD 계수의 L 과 M 의 관계식은 다음과 같다.

$$L_{AP} \leq L_w \quad \text{and} \quad M_{AP} \leq M_w \tag{2.7}$$

이때 L_w 와 M_w 는 각각 worst case에서, L_{AP} 와 M_{AP} 는 해당 근사화 수준에서의 L 과 M 값을 의미한다.

(2) 가변 CSD 계수를 얻기 위한 이단계 탐색 알고리즘

제안된 가변 CSD 계수 탐색 알고리즘은 보다 빠른 디지털 필터의 prototyping을 위하여, CSD코드의 계수 양자화 에러에 대한 분석을 바탕으로 짧은 시간 안에 L_{AP} 와 M_{AP} 의 값을 탐색하기 위한 이단계 탐색 알고리즘이다. 제안된 알고리즘은 다음과 같은 단계를 수행하게 된다.

STEP 1 : Determine ideal filter coefficients

주어진 worst case 필터 설계 파라미터들로부터 필터의 차수 N 과 이상적인 필터 계수 $h_0(n)$ 을 얻어낸다. 이때 필터의 설계는 Parks-McClellan 알고리즘과 같은 계수 최적화 알고리즘을 통해 얻는다.

STEP 2 : Convert ideal filter coefficients to CSD coded coefficients

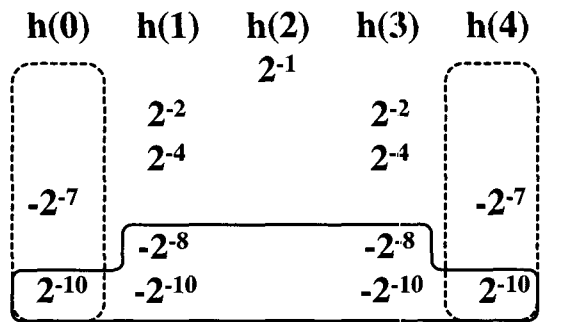
STEP 1에서 얻은 필터 계수 $h_0(n)$ 으로부터 worst case 필터 설계 파라미터를 만족하는 worst case CSD 계수 $h_{csb}(n)$ 을 구한다. CSD 계수의 변환에는 CSD코드 최적화 알고리즘을 적용하여 최소 연산량을 가지는 계수를 추출하여 L_w 와 M_w 의 값을 결정한다.

STEP 3 : Perform global coarse search

차단대역 감쇠특성 그래프(그림 1)를 이용하여 해당 근사화 수준에 적합한 차단대역 감쇠특성을 가지는 가능한 L 과 M 의 값을 찾아낸 후 이 값을 다음 단계의 정밀한 탐색을 위한 시작 값으로 사용한다(이때 필터의 차수에 의한 영향을 보정한 후 L 과 M 값을 선택).

STEP 4 : Perform local exhaustive search

STEP 4에서는 STEP 3에서 구한 L 과 M 값을 시작 값으로 사용하여 좀더 정밀한 탐색을 수행한다. 이 단계의 탐색에서는 주파수 해석 및 CSD 계수의 연산량에 대한 분석을 수행한다. 주파수 해석과 연산량 분석결과에 따라, 주어진 차단대역 감쇠특성 값을 만족하면서 최소의 연산량을 가지는 L_{AP} 과 M_{AP} 값을 선택하여 근사화된 CSD 계수 $h_{AP}(n)$ 를 구한다($h_{AP}(n)$ 는 해당 근사화 수준에서 최적화된 필터 계수를 의미한다).



—— 제안된 가변 CSD 방법에 의한 계수
 - - - - 기존의 approximate processing에 의한 계수
 그림 2. 제안된 가변 CSD 계수를 사용하는 approximate processing과 기존의 방법

Fig. 2. Comparison between the proposed VCSD method and the method used in [2].

다음의 그림 2는 제안된 가변 CSD 계수를 얻기 위한 이단계 탐색 알고리즘을 적용하여 필터의 계수를 구하는 방법을 도시한 그림이다. 기존의 approximate processing 방법은 필터의 적은 수의 POT항을 가지는 양쪽 끝의 계수에서부터 시작하여 계수값을 근사화시키는 반면, 제안된 근사화 방법은 필터의 유효자리수를 제한하는 방법으로 전체 계수에 대하여 고르게 POT항의 수를 줄이는 방법이다. 따라서 동일한 필터의 감쇠특성을 유지하면서 전체 POT항을 줄일 수 있게 된다.

제안된 이단계 탐색 알고리즘은 차단대역 감쇠특성 그래프를 이용하여 L 과 M 값을 탐색하기 위한 시작점을 제공하므로 최적화된 CSD계수의 탐색에 필요한 시간을

줄일 수 있다.

III. 과표본화 ADC용 decimation 필터의 구현

과표본화 ADC는 높은 해상도를 얻기 위하여 입력 신호를 Nyquist 율보다 높은 샘플링 주파수로 샘플링한 후 변조기법을 이용하여 신호 대역 안에 존재하는 잡음을 원하는 대역의 밖으로 변조시키는 기법(noise shaping)을 택한다.^[8] Decimation 필터는 과도하게 샘플링된 데이터 율을 Nyquist 율로 떨어트리는 역할과 noise shaping을 통하여 통과대역 밖으로 변조된 잡음 성분을 제거하는 역할을 한다. 본 논문에서는 decimation 필터 중 두 half-band필터에 제안된 가변 CSD 계수를 사용한 approximate processing기법을 적용하여 Audio Codec '97(AC'97) 과표본화 ADC용 저전력 decimation 필터를 설계하였다.

1. Half-band 필터의 설계

Half-band 필터는 통과대역의 폭이 전체 주파수대역의 1/2인 특성($\omega_p + \omega_s = \pi$)을 보이는 필터로서, $N-1$ 차의 half-band 필터의 전달함수는 식 3.3과 같으며, Parks-McClellan 알고리즘 혹은 Remez exchange 알고리즘을 이용하여 equiripple half-band 필터를 설계할 수 있다.^[10]

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n}$$

$$h(n) = \begin{cases} 0, & n - \frac{N-1}{2} = \text{even and nonzero} \\ \frac{1}{2}, & n - \frac{N-1}{2} \end{cases} \quad (3.3)$$

수치 연산 프로그램을 사용하여 얻어진 두 이상적인 half-band 필터 계수로부터 제안된 이단계 탐색 알고리즘을 이용하여 approximate processing을 위한 각각 4개의 근사화 수준을 가지는 두개의 가변 CSD 계수 집합을 추출하였다. 두 half-band 필터는 각각의 근사화 수준에서 20, -40, 그리고 60 dB의 차단대역 감쇠특성 값을 만족시키도록 하였으며, 표 1은 AC'97 과표본화 ADC용 decimation필터에 사용된 두 개의 half-band 필터의 계수를 POT항으로 정리한 표이다(표에서 Level 0는 Level 1, Level 2, Level 3에 해당하는 POT항들을 모두 포함하며, Level 1과 Level 2도 Level 0의 경우와

같이 다음 레벨을 POT항을 포함한다).

2. Decimation필터 하드웨어 구현

Decimation 필터의 하드웨어는 프로세서 구조의 필터 하드웨어를 이용하였다.^[8] 프로세서 아키텍처를 구성하는 주요 블록은 필터 계수와의 연산 순서의 제어를 위한 프로그램 메모리, 필터의 탭을 구현하기 위한 데이터 메모리, 덧셈기와 쉬프트를 사용하여 곱셈연산을 수행하는 arithmetic unit(AU), 주소 발생기 등으로 구성되어 있다. 프로세서 아키텍처를 이용하여 approximate processing 기법을 구현하기 위하여 입출력 샘플의 에너지의 계산과 필터의 연산을 제어하기 위한 에너지 및 근사화 수준 제어블록이 추가되었다. 그림 3은 프로세서 아키텍처의 전체 블록도이다. Sinc 필터는 하드웨어 구조가 간단하므로 별도의 블록으로 구현하였다. 연산 순서의 제어를 위한 프로그램 메모리는 필터의 계수 값을

순서에 따라서 계산하도록 프로그램되어 있으며, 30 비트의 비트폭을 가지는 256 워드의 메모리를 사용하였다. 데이터 메모리는 16 비트의 비트폭을 가지는 256 워드의 RAM을 사용하였고, AU의 경우 연산시 발생할 수 있는 overflow를 고려하여 18비트의 비트폭으로 설계되었다.

설계된 프로세서 아키텍처의 decimation필터는 Verilog-HDL을 사용하여 설계하였으며, 0.6um CMOS sea-of-gate (SOG) 라이브러리를 이용하여 합성한 후 이를 제작·실험하였다.

IV. 실험결과

1. 가변 CSD 코드 분석

가변 CSD 계수의 연산량은 CSD 코드의 POT항의

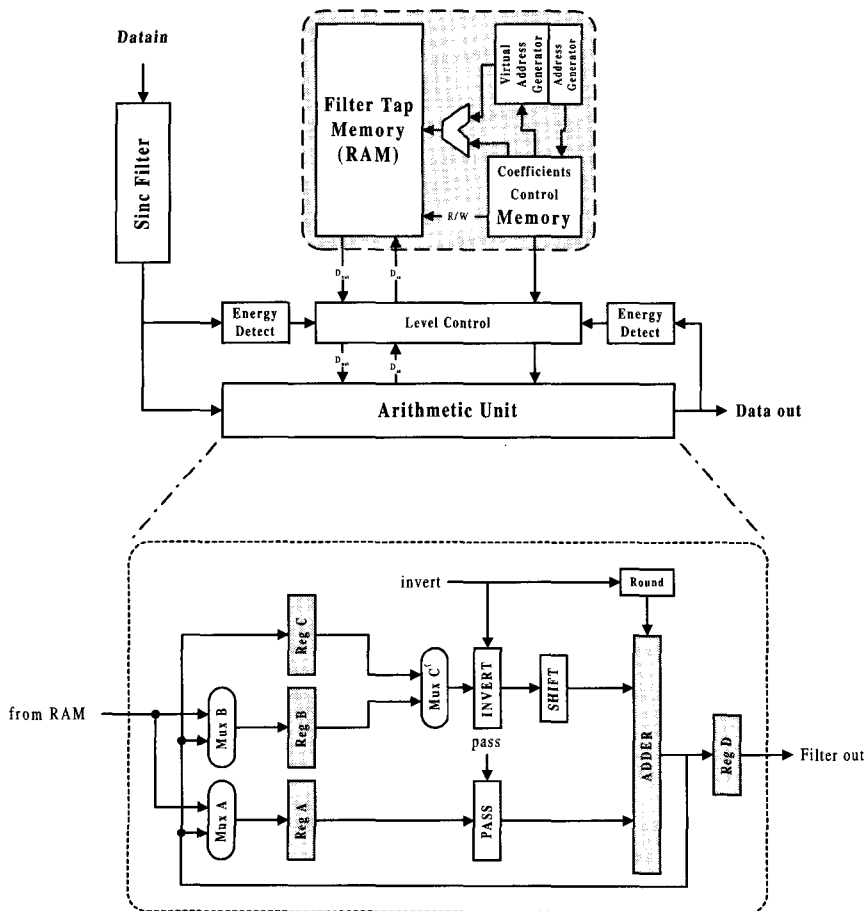


그림 3. 프로세서 아키텍처
Fig. 3. Architecture of processor filter.

표 1. 설계된 두 half-band 필터의 가변 CSD 계수 집합
 Table 1. Variable CSD coefficients sets of two half-band filters.
 (a) First half-band filter

Coefficients		Level 2	Level 1	Level 0
C0, C18			$+2^{-10}$	-2^{-15}
C2, C16		-2^{-7}	$+2^{-10}+2^{-11}$	$-2^{-14}-2^{-15}$
C4, C14		-2^{-7}	$+2^{-9}-2^{-11}$	$+2^{-15}$
C6, C12		-2^{-6}	$+2^{-9}-2^{-11}$	$+2^{-15}$
C8, C10		-2^{-5}	$-2^{-10}-2^{-11}$	$+2^{-14}$
C9				

(b) Second half-band filter

Coefficients		Level 2	Level 1	Level 0
C0, C58				$+2^{-13}-2^{-17}$
C2, C56			-2^{-12}	$-2^{-15}-2^{-16}$
C4, C54			$+2^{-11}$	$+2^{-13}+2^{-16}$
C6, C52			$-2^{-10}-2^{-12}$	$+2^{-17}$
C8, C50		$+2^{-9}$		$+2^{-13}+2^{-14}$
C10, C48		-2^{-8}	$+2^{-11}$	$-2^{-12}+2^{-15}-2^{-17}$
C12, C46		$+2^{-8}+2^{-9}$	-2^{-12}	$-2^{-13}+2^{-15}$
C14, C44		-2^{-7}	-2^{-11}	$-2^{-14}+2^{-16}$
C16, C42		$+2^{-6}-2^{-8}$	$+2^{-11}$	$+2^{-14}+2^{-16}$
C18, C40		$-2^{-6}-2^{-9}$	-2^{-12}	$+2^{-14}-2^{-16}$
C20, C38		$-2^{-6}-2^{-9}$	$+2^{-12}$	-2^{-15}
C22, C36		$-2^{-5}+2^{-9}$	-2^{-12}	$-2^{-13}+2^{-16}$
C24, C34		-2^{-5}	-2^{-10}	$+2^{-14}+2P$
C26, C32		$+2^{-6}+2^{-7}$	-2^{-10}	$+2^{-13}-2^{-16}$
C28, C30		$+2^{-5}$	$+2^{-11}$	$+2^{-13}+2^{-14}-2^{-17}$
C29				

개수에 따라 결정되며, 설계된 두 필터의 각 근사화 수준에 따른 POT항과 연산량을 비교하였다. 표 1에서 알 수 있듯이 일반적인 필터 설계에서와 같은 worst-case 필터 계수(Level 0)를 기준으로 하였을 때, 각각의 근사화 수준에서 상당수의 POT항과 덧셈 연산량이 감소되었다. 첫 번째 half-band필터에서 26.3(Level 1), 65.2(Level 2), 82.6(Level 3)%, 두 번째 half-band필터에서는 44.8(Level 1), 65.7(Level 2), 91.0(Level 3)%의 덧셈 연산량이 감소하였다. 두개의 multirate 시스템으로 이루어진 half-band필터의 경우 두 번째 half-band필터에서 한 개의 출력을 내보내기 위하여는 첫 번째 half-band필터가 두 번의 연산을 수행해야 하므로 하나의 출력을 얻기 위한 연산량은 각 근사화 수준에서

36.5(Level 1), 64.3(Level 2), 86.1(Level 3)%의 덧셈 연산량이 감소하였다.

2. 실험결과

제작된 decimation 필터의 동작을 검증하기 위한 실험 환경은 PC를 통한 인터페이스 보드를 제작하여 제작된 필터의 동작을 제어하도록 설정하였다. 필터에 필요한 입력 발생 및 제어신호의 발생은 C-언어를 사용하여, 신호를 생성한 후 인터페이스 보드를 제어하여 필요한 신호를 발생하였다. 필터의 입력 신호로는 통과대역 안의 기준 sine 파와 차단대역에 존재하는 잡음 신호를 발생하고 이를 2차 $\Sigma-\Delta$ 변조기를 통과하여 변조된 1비트 디지털 신호를 사용하였다. 다음의 그림 4는 필터의 출력을 측정하여 나타낸 그림이다.

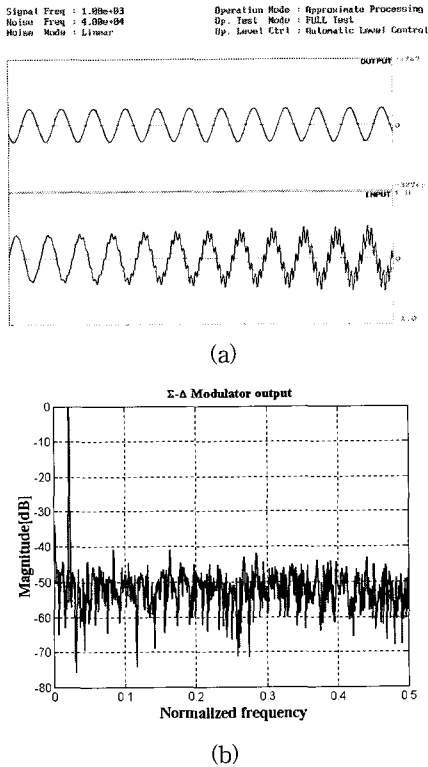


그림 4. 출력 측정 결과 (a) 1 kHz + 40kHz 선형증가 sine파, (b) 1 kHz + -33 dB white noise의 출력 주파수 응답

Fig. 4. Output of decimation filter. (a) output wave form of 1 kHz with 40kHz linearly increasing sine wave, (b) Frequency response of 1 kHz + -33 dB white noise input.

제작된 decimation 필터의 소모 전력을 측정, 입력 신호의 attenuation을 변화시키며 측정하였다. 가변 CSD 계수 알고리즘에 의한 필터의 연산은 입력되는 신호의 에너지에 의하여 결정되어지므로 입력 신호의 attenuation를 0 dB 에서 -80 dB까지 변화시키면서 그에 따른 필터의 소모전력을 측정하였다. 다음의 그림 5는 측정결과로부터 얻어진 소모전력의 감소 비율을 나타낸 그래프이다. 측정 결과 입력 신호의 attenuation이 클수록 전력의 감소비율이 증가하였으며, 입력 신호에 따라 3.8 % 에서 9%의 전력이 감소되었다. 그림 6은 제작된 decimation필터의 die photo이다.

제작된 decimation필터는 메모리가 전체 하드웨어의 약 75%, 실제 연산을 수행하는 arithmetic unit 과 energy/level 결정 블록 그리고 sinc필터의 크기는 각각 크기는 14%, 11% 이다. 프로그램 메모리에 저장되어있

는 CSD 계수 연산을 위한 코드는 총 256 코드로서 이중 9번의 메모리 쓰기와 44회의 메모리 읽기를 수행하며, 113회의 add/shift연산을 수행한다.

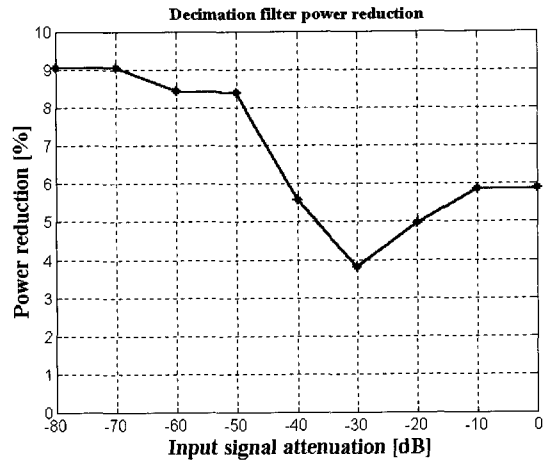


그림 5. Decimation필터의 전력 소모감소 측정 결과
Fig. 5. Power reduction ratio of decimation filter.

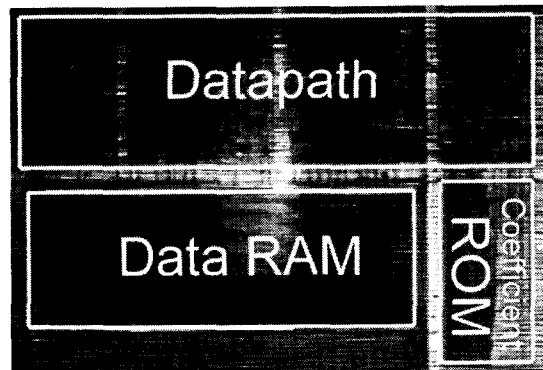


그림 6. Decimation 필터 IC 사진
Fig. 6. Die photo of decimation filter.

다음의 그림 7은 설계된 decimation필터의 면적 및 전력 소모를 나타낸 그림이다. 제안된 구조에서 decimation필터의 소모전력은 다음과 같이 계산되며 전체 decimation필터에서 arithmetic unit과 approximate processing을 위한 에너지/레벨 결정 블록의 소모전력은 전체 전력 소모의 약 37.4 %이다.

$$P = 2.3 \times N \times F \times 0.2 [\mu W]. \quad (41)$$

이때 N 은 사용된 cell의 수(gate count)이며, F 는 해당 블록의 동작 주파수이다.

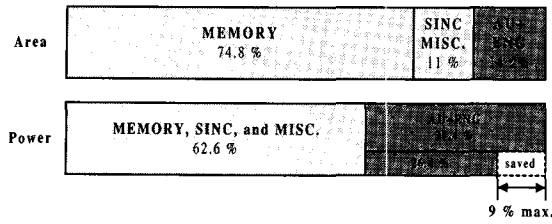


그림 7. Decimation필터의 면적 및 전력 소모
Fig. 7. Area and power of decimation filter.

V. 결 론

본 논문에서는 많은 연산을 필요로 하는 디지털 필터를 대상으로 하여 계수의 표현 방식에 따른 분석과 필터 연산 알고리즘의 개선을 통한 디지털 필터의 저전력 기법을 제안하고, 이를 구현하여 실험을 통해 그 특성을 검증하였다.

본 논문에서는 디지털 필터의 연산량과 필터의 구조에 영향을 미치는 필터의 계수 표현 방식에 널리 사용되는 CSD (Canonic Signed Digit) 코드의 계수 양자화로 인한 필터의 특성에 대한 영향(finite word length effect)과 CSD 코드에 따른 필터 연산량에 대한 영향을 분석하였으며, 분석된 CSD코드의 양자화 효과 이용하여 디지털 필터의 approximate processing을 위한 가변 CSD 계수 추출 알고리즘을 제안하였다. 제안된 가변 CSD 계수 표현 방식은 CSD 숫자의 유효 표현 범위를 결정하는 nonzero digit와 ternary digit의 변화에 따른 필터의 차단대역 특성 변화를 이용하여 디지털 필터의 approximate processing을 위한 다단계의 필터 차단대역 특성을 얻기 위한 표현 방식이다. 제안된 가변 CSD 계수를 이용한 approximate processing 저전력 기법의 성능을 확인하기 위하여 4개의 필터 차단대역 특성을 사용하는 AC'97과표본화 ADC용 decimation 필터를 설계/제작하고 알고리즘 수준에서의 필터의 연산량의 분석하였다. 분석 결과 제안된 저전력 기법을 적용한 decimation 필터의 연산량은 각각의 근사화 수준에서 단위 출력 샘플 당 36.5, 64.3, 86.1%의 덧셈 연산량을 감소시킬 수 있었다.

제안된 가변 CSD 계수 추출 알고리즘은 프로세서 구조의 디지털 필터 하드웨어를 설계한 후 0.6 μ m CMOS SOG공정을 이용하여 제작/실험하여 제안된 알고리즘의 동작을 검증하였다. 실험 결과 제작된 필터 IC는 입력 신호의 특성에 따라 전체 소모전력의 약 3.8 %에서 9

%의 소모전력이 감소되었다.

제안된 저전력 기법은 필터의 연산량을 줄이는 알고리즘적인 기법으로서, 회로적인 저전력 기법과 기타 아키텍처 및 시스템 적인 저전력 기법과 병행할 경우 더욱 효율적으로 이용되어질 수 있다. 제안된 가변 CSD 계수를 이용한 approximate processing 방식은 특히 음성 대역 및 오디오 대역의 신호처리와 과표본화 ADC/DAC의 decimation/interpolation과 같은 multirate 시스템에 적합하다.

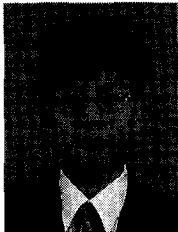
본 논문에서 구현한 프로세서 구조의 필터는 상용 SOG 디지털 라이브러리를 사용하여 구현 한 것으로, full-custom 설계 방식에 비하여 회로의 배선/배치 등에서 많은 저전력 효과를 기대 할 수 없으며, 논리/회로 수준에서의 저전력 기법을 적용한 전력 소모 감소 효과를 얻을 수가 없었다. 향후 이들 하위수준에서의 저전력 연구와 제안된 알고리즘을 사용한 시스템에서의 아키텍처적인 저전력 연구에 대한 집중적인 연구가 이루어질 경우 더욱 최적화된 저전력 효과를 얻을 수 있을 것으로 기대되어진다.

참 고 문 헌

- [1] A. P. Chandrakasan, S. Sheng, and R.W. Broderson, "Low-Power CMOS Digital Design", IEEE Journal of Solid-State Circuit, vol. 27, no. 4, pp. 473~483, Apr. 1992
- [2] Jeffrey T. Ludwig, S. Hamid Nawab, and Anantha P. Chandrakasan "Low-Power Digital Filtering Using Approximate Processing," IEEE Journal of Solid-State Circuit, vol. 31, no. 3, pp. 395~400, Mar. 1996
- [3] Chenghung James Pan, "A Low-Power Digital Filter for Decimation and Interpolation using Approximate Processing," in ISSCC Digest of technical papers, San Francisco, CA, 1997.
- [4] C. J. Pan, "A Stereo Audio Chip Using Approximate Processing for Decimation and Interpolation Filters," IEEE Journal of Solid-State Circuits, Vol. 35, No. 1, pp. 45~55, Jan. 2000
- [5] P.P. Vaidyanathan, "Multirate Digital Filters,

- Filter Banks, Polyphase Networks, and Applications: A Tutorial,” Proceedings of the IEEE, vol. 78, no. 1, Jan. 1990.
- [6] Quangfu Zhao and Yoshiaki Tdokoro, “A Simple Design of FIR Filters with Powers-of-Two Coefficients,” in IEEE Trans. on Circuits and Systems, vol. 35, no. 5, May 1988.
- [7] Henry Samueli, “An Improved Search Algorithm for the Design of Multiplierless FIR Filters with Powers-of-two Coefficients”, IEEE Transactions on Circuits and Systems, vol. 36, no. 7, pp. 1044~1047, Jul. 1989.
- [8] Brian P. Brandt and Bruce A. Wooley, “A Low-Power, Area-Efficient Digital Filter for Decimation and Interpolation”, IEEE Journal of Solid-State Circuit, vol. 29, no. 6, pp. 679~687, Jun. 1994.
- [9] Y.W. Kim, Y.M. Yang, J.T. Yoo, and S.W. Kim, “Approximate Processing for Low-Power Digital Filtering Using Variable Canonic Signed Digit Coefficients,” IEE Electronisc Letters, vol. 36, no. 1, Jan. 2000.
- [10] P. P Vaidyanathan, T. Q. Nguyen, “A Trick for the Design of FIR Half-Band Filters”, IEEE Trans. on Circuit and Systems, vol. CAS-34, no. 3, pp. 1040~1047, Mar. 1987.
- [11] E.C. Ifeachor and B.W. Jervis, Digital Signal Processing A Practical Approach, Workingham, Addison-Wesley, 1993.
- [12] AC97 Work Group, Audio Codec 97 Components Specification, Rev. 1.03, Intel Corp., 1996.

저 자 소 개



金 盈 佑(正會員)

1988~1994 고려대학교 전자공학 학사. 1994~1996 고려대학교 전자공학 석사. 1996~2001 고려대학교 전자공학 박사(반도체전공). 2001~현재 한국전자통신연구원 컴퓨터소프트웨어기술연구소 선임연구원. 주 관심

분야는 CMOS IC design, 저전력 디지털 디자인, 마이크로 프로세서 설계

金 壽 遠(正會員) 第 36卷 D編 第 2 號 參照
현재 고려대학교 전기전자전파공학부 정교수



柳 在 澤(正會員)

1975~1979 고려대학교 전기공학 학사. 1986~1988 (미) Case Western Reserve Univ. 컴퓨터공학 석사. 1991~1995 (미) Univ. of Utah 컴퓨터공학 박사. 1996~1998 한전 전력연구원 시스템.통신연구소 책임연구

원. 1999~현재 안양대학교 전기전자공학과 조교수. 2000~현재 IDEC 한양대지역센터 운영위원. 주관심 분야는 CMOS IC design, high speed system design, ADC 설계