

論文2001-38SD-7-8

# 텅스텐 실리사이드를 차세대 게이트 전극으로 이용한 MOS 소자의 특성 분석

## (Characteristics of Metal-Oxide-Semiconductor (MOS) Devices with Tungsten Silicide for Alternate Gate Metal)

盧官鍾\*, 尹宣弼\*, 梁聖雨\*, 盧用翰\*

(Kwanchong Roh, Sunpil Youn, Seongwoo Yang, and Yonghan Roh)

### 요 약

Si 과다 텅스텐 실리사이드를 초미세 MOS 소자의 대체 게이트 전극으로 제안하였다. SiO<sub>2</sub> 위에 텅스텐 실리사이드를 직접 증착하고 급속 열처리를 수행한 결과 낮은 저항을 얻고 불소(F) 확산 또한 무시할 수 있음을 확인하였다. 특히, 800 °C, 진공 분위기에서 3분간 급속 열처리한 텅스텐 실리사이드의 경우 비저항이 ~160 μΩ·cm이었고, 불소확산에 의한 산화막의 불균일한 성장도 발견할 수 없었다. 또한, WSi<sub>x</sub>-SiO<sub>2</sub>-Si (MOS) 캐패시터의 전기적 특성 분석 결과도 우수하였다.

### Abstract

We proposed Si-rich tungsten silicide (WSi<sub>x</sub>) films for alternate gate electrode of deep-submicron MOSFETs. The investigation of WSi<sub>x</sub> films deposited directly on SiO<sub>2</sub> indicated that the annealing of as-deposited films using a rapid thermal processor (RTP) results in low resistivity, as well as negligible fluorine (F) diffusion. Specifically, the resistivity of RTP-annealed samples at 800 °C for 3 minutes in vacuum was ~160 μΩ·cm, and the irregular growth of an extra SiO<sub>2</sub> layer due to F diffusion during annealing has not been observed. In addition, the analysis of the WSi<sub>x</sub>-SiO<sub>2</sub>-Si (MOS) capacitors exhibits excellent electrical characteristics.

### I. 서 론

현재 MOS 소자의 게이트 전극은 게이트 산화막위에 폴리 실리콘(poly-Si)을 성장시킨 후, 저항을 줄이기 위해 텅스텐(W, tungsten), 코발트(Co, cobalt), 티타늄(Ti,

titanium) 실리사이드를 성장시키는 복층 구조로 이루어져 있다. 그러나, 소자의 집적도가 증가함에 따라 게이트 공핍(gate poly-depletion) 현상으로 인한 전류 구동 능력의 저하, double poly-Si 공정에서 p+ poly-Si 게이트 성장시 발생하는 붕소(B, boron)의 확산과 저항 증가 등이 문제점으로 제시되고 있다<sup>[1]</sup>. 상기 문제점을 개선하기 위해 폴리 실리콘 게이트 기술을 대체할 기술로 폴리실리콘-저머니움(poly-Si<sub>1-x</sub>Ge<sub>x</sub>), 게이트<sup>[2]</sup> 및 텅스텐, 티타늄 질화막(TiN)의 메탈 게이트<sup>[3,4]</sup> 등이 연구되어 왔다. Poly-Si<sub>1-x</sub>Ge<sub>x</sub> 게이트의 경우 게이트 공핍의 문제를 해결할 수 있으나, 상부에 메탈 또는 메탈실리사이드의 접층 구조를 갖기 때문에 저저항 게이트 전극 구현에 한계가 있다. 한편 메탈 게이트로 주로 연구되고 있는 텅스텐은 상기 폴리 실리콘 게이트의 문제점들

\* 正會員, 成均館大學校 電氣電子 및 컴퓨터工學部  
(Sungkyunkwan University, School of Electrical and Computer Engineering)

※ 본 연구는 한국과학재단의 핵심전문연구 프로그램 (971-0914-081-2)의 지원에 의해 수행되었으며, 이에 감사를 드립니다.

接受日字:2000年11月1日, 수정완료일:2001年6月12日

을 해결할 수 있으나, 순수 게이트 산화막( $\text{SiO}_2$ )위에 증착될 경우 접착성이 떨어지고 불소(F, fluorine) 확산에 의해 산화막이 열화되는 문제가 있다<sup>5-7)</sup>. 따라서, 이러한 문제들을 해결하기 위해서는 순수  $\text{SiO}_2$  대신 질화막( $\text{Si}_3\text{N}_4$ ) 또는 질화막을 포함한 복층 산화막을 사용하거나, TiN을 확산 방지막으로 사용한 W/TiN의 복층 게이트 구조가 요구된다.

그러나, 본 연구에서 제안한 순수 텅스텐 실리사이드( $\text{WSi}_2$ , tungsten silicide) 게이트 소자는 폴리 실리콘 게이트보다 저항이 낮고 순수 메탈게이트보다 산화막과의 호환성이 우수하다. 또한, 현재 이용되고 있는 폴리사이드 공정에서 폴리 실리콘 증착 공정 및 이와 관련된 공정(doping, etching 등)이 불필요하게 되므로 공정이 단순해지며, 기존의 폴리사이드 공정의 일부공정으로써 증착 자체로는 비교적 널리 알려진 공정이므로 실제 반도체 생산라인의 적용에 유리하다.

현재까지 텅스텐 실리사이드에 대한 연구는 폴리사이드 구조에서 폴리 실리콘의 상부막으로 사용하기 위한 텅스텐 실리사이드 증착 및 열처리 등에 관한 연구가 이미 진행되었고<sup>8-11)</sup>, 순수 텅스텐 실리사이드를 게이트로 갖는 소자에 대한 연구도 있었다<sup>12)</sup>. 그러나, 기존의 연구에서 사용된 게이트 산화막의 두께가 매우 두꺼웠고(650~1800 Å), 그보다 얇은 산화막위에  $\text{WSi}_2$ 를 증착하고 고온의 열처리를 수행할 시  $\text{WSi}_2/\text{SiO}_2$  계면의 변화 및 전기적 특성 변화에 대한 연구는 이루어지지 않았다. 얇은 산화막을 갖는 소자의 경우 텅스텐 실리사이드의 저항을 줄이기 위해 고온의 열처리를 수행하게 되면, 텅스텐 실리사이드의 결정립(grain) 성장으로 인해  $\text{SiO}_2$ 가 얇아지고  $\text{WSi}_2/\text{SiO}_2$  계면의 거칠기가 증가하여 소자가 쉽게 열화될 수 있다<sup>7)</sup>. 또한 증착 당시 텅스텐 실리사이드 또는 게이트 산화막내에 유입된 불소가 열처리시 산화막내로 더욱 확산하여 Si/ $\text{SiO}_2$  계면부근에서 재산화를 통한 전체 산화막 두께를 증가시킬 수 있고<sup>7)</sup>, 심한 경우 산화막의 누설전류를 크게 증가시킬 수 있다<sup>5,13)</sup>.

본 연구에서는 상기 텅스텐 실리사이드 공정 중 야기될 수 있는 문제점들에 유의하여,  $\text{SiO}_2$  위에 LPCVD 방식으로 텅스텐 실리사이드를 증착하고 열처리후 물리적·전기적 분석을 수행하였다. 그 결과, 저항이 낮고  $\text{WSi}_2/\text{SiO}_2$  계면의 반응이 없으며, 누설전류 및 전하포획특성이 우수한 순수 텅스텐 실리사이드 MOS 소자를 제작할 수 있었다.

## II. 소자 제작

본 연구에서는 텅스텐 실리사이드 증착을 위하여 cold-wall 방식의 저압 화학기상 증착(thermal LPCVD) 시스템을 사용하였다. N-type (100) Si 웨이퍼위에 급속 열처리(RTP)를 이용하여 성장 온도 및 시간을 조절하여 50~130 Å의 열산화막을 성장시키고 850 °C에서 80초간 POA를 수행한 후 그 위에 텅스텐 실리사이드를 증착하였다.

텅스텐 실리사이드의 성장 조건으로 압력과 기판온도는 각각 0.7 Torr, 350 °C, 사용가스는  $\text{WF}_6$  와  $\text{H}_2$ 의 유량을 각각 2, 5 sccm으로 고정시키고  $\text{SiH}_4$ 의 유량을 조절하여  $\text{SiH}_4/\text{WF}_6$ 의 가스 비율을 10~70까지 변화시켰다. 텅스텐 실리사이드의 열처리 전후 물리적 특성변화를 살펴보기 위해 700~1000 °C, 진공 또는  $\text{N}_2$  분위기에서 급속 열처리(RTA) 및 확산로(furnace) 열처리를 수행하였다. 전기적 특성 분석을 위한  $\text{WSi}_2$  게이트 MOS 캐패시터(MOSC)는  $\text{SiO}_2$ 위에 텅스텐 실리사이드를 증착하고, 800 °C, 진공 분위기에서 3분간 RTA를 수행한 후, 사진현상 및 습식 에칭 공정을 통해 200  $\mu\text{m} \times 200 \mu\text{m}$  크기로 제작하였다. 또한  $\text{WSi}_2$  게이트 소자와 비교 분석하기 위해 같은 조건의 산화막을 이용한 텅스텐 게이트 MOSC를 제작하였다.

텅스텐 실리사이드의 물리적 특성분석은 열처리 전후 4 탐침법에 의한 면저항 측정,  $\alpha$ -step을 이용한 두께 측정, XRD 및 평면 TEM을 이용한 결정 변화, RBS에 의한 조성 변화, 단면 TEM을 통한  $\text{WSi}_2/\text{SiO}_2$ ,  $\text{SiO}_2/\text{Si}$  계면 반응 및 거칠기 변화를 살펴보았다. 그리고, 제작한 MOSC의 전기적 특성 분석은 고주파(HF) 및 저주파(QS) 캐패시턴스-전압(C-V) 특성, 전류-전압(I-V) 특성, 절연파괴전하( $Q_{bd}$ , charge to breakdown) 측정과 FNT(Fowler-Nordeim tunneling) 전자 주입을 통한 산화막의 전하 포획 특성을 조사하였다.

## III. 결과 및 고찰

그림 1(a)는 텅스텐 실리사이드 박막의 증착직후 및 열처리 온도변화에 따른 XRD 결과를 나타낸 것이다. 텅스텐 실리사이드 박막의 증착시 사용된  $\text{SiH}_4/\text{WF}_6$  가스비율은 55이다. 열처리전 텅스텐 실리사이드 박막은 비정질 상태로 기판의 Si 피크치만 관측되었고, 800 °C

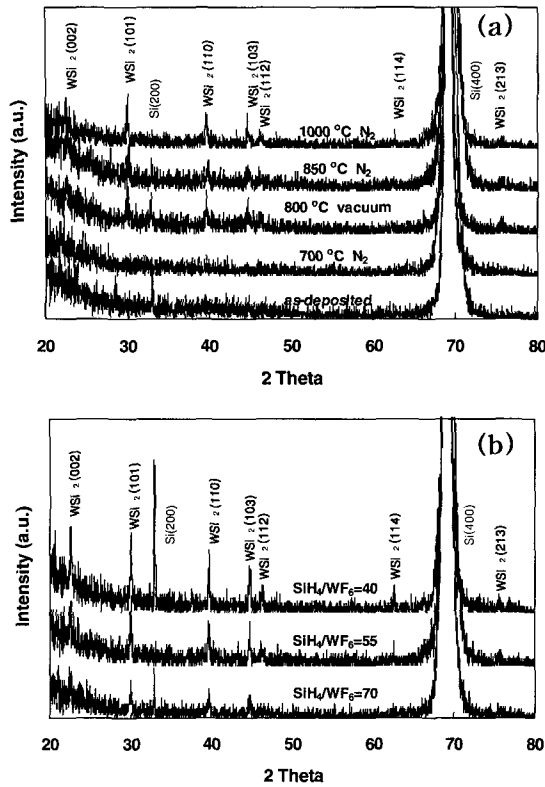


그림 1. 열처리전 및 RTA후 텅스텐 실리사이드 박막의 (a) RTA 온도 및 (b) SiH<sub>4</sub>/WF<sub>6</sub> 가스 비율에 따른 XRD. (b)에서 열처리 조건은 1000 °C/N<sub>2</sub>/RTA이다

Fig. 1. XRD of tungsten silicide as a function of RTA temperature (a) and reactant gas ratio(SiH<sub>4</sub>/WF<sub>6</sub>) during WSi<sub>2</sub> deposition (b). Annealing condition of the samples in (b) was 1000 °C/N<sub>2</sub>/RTA.

이상에서 텅스텐 실리사이드 피크치들이 관측되기 시작하여 RTA 온도가 증가함에 따라 그 크기가 증가하였다. 실리사이드의 결정화 온도가 기존 문헌의 650 °C보다 높게 나타난 이유는 RTA에 사용된 실리사이드 막의 두께가 얇고(~800 Å), 막조성이 Si 과다(x>2, WSi<sub>x</sub>)가 되면서 결정화 온도가 높아진 것으로 보여진다<sup>[8]</sup>. 본 논문에서는 제시되지 않았지만 RBS 분석결과 열처리전 텅스텐 실리사이드의 조성은 WSi<sub>2.5</sub>이었다<sup>[14]</sup>. 본 연구에서 사용된 증착 조건에서의 텅스텐 실리사이드의 결정화 온도는 700~750 °C로 보여진다. 그림 1(a)에서 800 °C/진공/3분/RTA의 텅스텐 실리사이드의 XRD 피크치가 850 °C/N<sub>2</sub>/1분/RTA 보다 크게 관측되었다. 이것은 진공 RTA가 실리사이드의 결정화에 더욱

효율적임을 보여 주는 결과이다. 그림 1(b)는 텅스텐 실리사이드 증착시 SiH<sub>4</sub>/WF<sub>6</sub> 가스 비율이 다른 막들을 1000 °C, N<sub>2</sub>, 1분의 동일 조건에서 RTA후 XRD 결과를 나타낸 것이다. SiH<sub>4</sub>/WF<sub>6</sub> 가스 비율이 작을수록 텅스텐 실리사이드의 피크치가 증가하였다. 이는 SiH<sub>4</sub>/WF<sub>6</sub> 가스 비율이 클수록 Si 과다 막이 되고 열처리시 결정화되는 동안 과도 Si이 결정립계(grain boundary)로 이동하여 그곳에 위치하면서 결정화를 지연시키기 때문으로 보여진다<sup>[8]</sup>. 따라서, SiH<sub>4</sub>/WF<sub>6</sub> 가스 비율이 클수록, 동일한 결정립 크기를 갖는 실리사이드 막을 얻기 위해서는 더 높은 온도의 열처리가 필요하다.

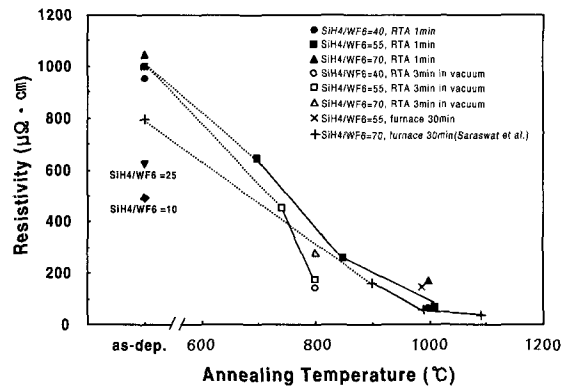


그림 2. 열처리 조건에 따른 비저항  
Fig. 2. Resistivity of tungsten silicide as a function of annealing conditions.

그림 2는 텅스텐 박막의 열처리 장치, 분위기, 온도에 따른 비저항변화를 보인 것이다. 열처리전의 텅스텐 박막은 XRD 결과에서도 알 수 있듯이 비정질로써 950~1050 μΩ · cm의 비저항을 나타내어 기존에 보고된 결과와 유사하다<sup>[9,12]</sup>. 열처리 온도가 증가함에 따라 기존 결과(Δ)처럼 텅스텐 실리사이드의 비저항은 급격히 감소하였다<sup>[12]</sup>. 이는 그림 1(a)의 XRD에서 알 수 있듯이 열처리 온도가 증가할수록 텅스텐 실리사이드의 결정화가 증가되기 때문이다. 한편, SiH<sub>4</sub>/WF<sub>6</sub> 가스 비율이 증가할수록 열처리 전후 모두 비저항은 증가하는 경향을 보였다. 1000 °C/N<sub>2</sub>/1분/RTA후 SiH<sub>4</sub>/WF<sub>6</sub> 가스비율이 40, 55인 경우 텅스텐 실리사이드는 거의 같은 비저항 값을 나타내었으나 70인 경우 더욱 높았다. 이는 가스 비율이 증가할수록 텅스텐 실리사이드내의 Si의 함유량이 과다하게 되어 열처리전과 열처리후의 비저항이 증가하기 때문이다<sup>[11]</sup>. 1000 °C 열처리의 경우 기존 결과

와 유사하게 최소  $\sim 60 \mu\Omega \cdot \text{cm}$ 의 비저항을 나타내었다<sup>[9,10]</sup>. 그림 1(a)의 XRD 결과에서 진공 분위기에서의 RTA가  $\text{N}_2$  분위기보다 XRD 피크치가 더 큼을 확인하였듯이 저항 결과에서도  $800^\circ\text{C}/\text{진공}/\text{RTA}$ 가  $850^\circ\text{C}/\text{N}_2/\text{RTA}$ 보다 더 낮은 비저항 결과를 보였다.  $800^\circ\text{C}/\text{진공}/\text{RTA}$ 후 텅스텐 실리사이드의 저항은  $\sim 160 \mu\Omega \cdot \text{cm}$ 의 낮은 저항값을 나타내었다.

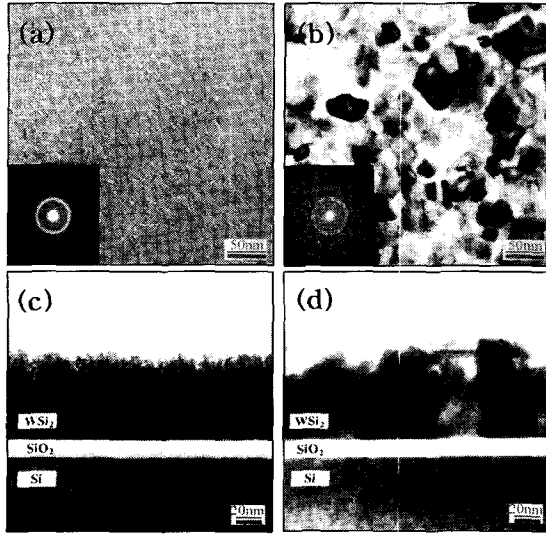


그림 3. 열처리전 및  $800^\circ\text{C}/\text{진공}/\text{RTA}$ 후  $\text{WSi}_2$ 의 평면 TEM 및 전자회절 (a,b)과 단면 TEM (c,d). (a), (c)는 열처리전, (b), (d)는 RTA후 결과이다  
Fig. 3. Planar TEM micrographs, electron diffraction patterns(a,b) and cross-sectional TEM micrographs(c,d) of tungsten silicide before and after RTA in vacuum at  $800^\circ\text{C}$ . (a), (c) are as-deposited and (b), (d) are annealed.

그림 3은 열처리전과  $800^\circ\text{C}/\text{진공}/\text{RTA}$  후 텅스텐 실리사이드의 평면 및 단면 TEM 결과를 나타낸 것이다. 그림 3(a)의 열처리전 텅스텐 실리사이드 막은 삽입된 전자 회절패턴에서도 보여지듯 비정질의 결정구조를 갖고  $800^\circ\text{C}$  RTA후 그림 3(b)와 같이  $250\sim 500 \text{ \AA}$ 의 다결정으로 성장되었음을 알 수 있다. 그림 3(c)과 그림 3(d)를 살펴보면 텅스텐 실리사이드- $\text{SiO}_2$  계면과  $\text{SiO}_2$ -Si 계면이 RTA 전후 모두 거칠지 않고 평탄하며 산화막의 두께가 동일함을 알 수 있다. 이는 텅스텐 실리사이드의 증착 공정중 부산물로서 나오는 불소 계열의 화합물에 의해 산화막이 침식당하지 않았고, 열처리 후에도 불소의 확산에 의한 부가적인 산화막의 성장이 없었음을 보여주는 결과이다. 또한, RTA 동안 텅스텐

실리사이드의 결정립 성장시 허부 박막인 게이트 산화막에 영향을 주지 않았음을 보여주는 것이다. 이것은 SIMS 결과를 통해서도 확인하였다<sup>[14]</sup>.

지금까지 텅스텐 실리사이드의 증착 및 열처리 조건에 따른 물리적·구조적 특성을 살펴보았다. 텅스텐 실리사이드를 LPCVD에 의해 증착하고 실제 라인에 적용 가능한  $800^\circ\text{C}/\text{진공}/\text{RTA}$ 를 통해  $160 \mu\Omega \cdot \text{cm}$ 의 낮은 비저항을 얻을 수 있음은 물론,  $\text{WSi}_2/\text{SiO}_2/\text{Si}$ 의 MOS 소자 구조적으로도 안정하고 불소의 영향도 최소화될 수 있음을 확인하였다.

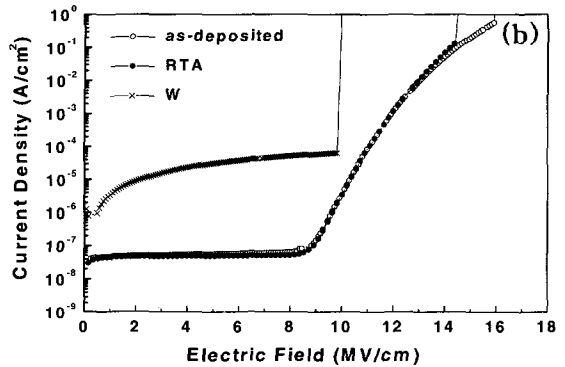
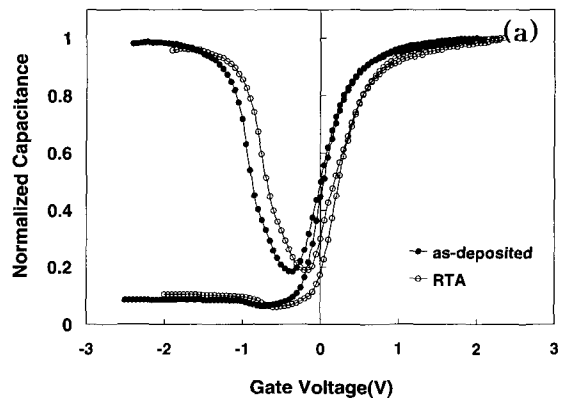


그림 4. RTA 전후  $\text{WSi}_2$  게이트 MOS 캐패시터의 HF & QS C-V (a)와 I-V (b). (b)에서  $\times$ 는 텅스텐 게이트 MOS 캐패시터의 I-V이다

Fig. 4. HF & QS C-V curves (a) and I-V curves (b) of  $\text{WSi}_2$  gate MOS capacitors before and after RTA. The I-V curve of tungsten gate MOS capacitor is also shown in (b) (indicated with  $\times$ ).

그림 4~6은 텅스텐 실리사이드의 전기적 특성 분석 결과를 나타낸 것이다. 모든 텅스텐 실리사이드 게이트 MOS 캐패시터는  $\text{SiH}_4/\text{WF}_6$  가스비율이 55인 조건에서

텡스텐 실리사이드를 증착하였으며 800 °C 진공 분위기에서 RTA를 수행하였다. 그림 4(a)와 그림 4(b)는 각각 열처리 전후 텡스텐 실리사이드 게이트 소자의 HF 및 QS C-V 와 I-V 특성을 나타낸 것이다. C-V 측정결과 열처리후 평탄 전압( $V_{fb}$ )이 우측으로  $\sim 0.15$  V 이동하였을뿐 C-V 곡선의 형태는 거의 유사하므로 열처리후 계면전하의 증가가 없음을 알 수 있다. 평탄 전압의 차이는 RBS 측정결과 열처리 전후 텡스텐 실리사이드의 조성 변화에 기인한 일함수 차이 때문으로 판단된다<sup>[4]</sup>. 또한, 주목할 만한 점은 poly-Si 게이트에서 관측되는 게이트 공핍현상도 관측되지 않았다. 그림 4(b)는 텡스텐 실리사이드 게이트 MOSC의 인가 전계에 대한 누설 전류 특성으로 열처리 전후 모두  $10^7 \sim 10^8$  A/cm<sup>2</sup> 범위의 낮은 값을 갖으며 절연과괴 전계도 매우 큼을 알 수 있다. 그리고 비교를 위해 함께 나타낸 텡스텐 게이트 소자에서 보이는 큰 누설전류도 보이지 않는다. 텡스텐 게이트 소자의 경우 텡스텐 증착중 과도한 불소가 산화막내로 유입되어 절연과괴가 될 때까지 거의 모든 전계에 걸쳐 텡스텐 실리사이드 게이트보다 2계수 이상의 높은 누설전류를 나타내고 있다.

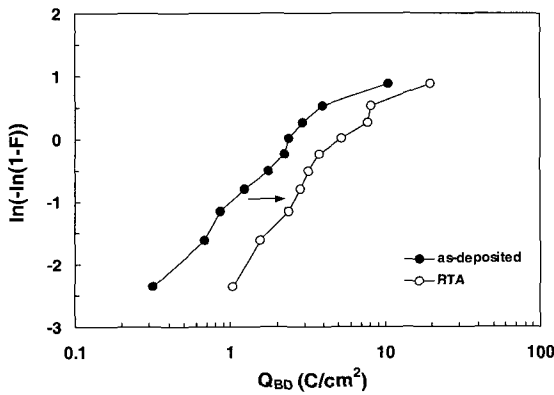


그림 5. RTA 전후  $Q_{bd}$  분포. Si 기판으로부터 1 mA/cm<sup>2</sup>의 스트레스 전류가 인가되었다  
 Fig. 5.  $Q_{bd}$  characteristics of  $WSi_2$  gate MOS capacitors before and after RTA. The stress condition is 1 mA/cm<sup>2</sup> from Si substrate.

그림 5는 Si 기판쪽에서 1 mA/cm<sup>2</sup>의 스트레스 전류를 인가하여 측정된  $Q_{bd}$  분포를 나타낸 것이다. 열처리 전보다 열처리후  $Q_{bd}$ 가 1~20 C/cm<sup>2</sup>로 크게 증가함을 볼 수 있다. 비록 그 분포가 넓게 퍼져 있으나 이는 텡스텐 MOS 캐패시터 제작시 습식 에칭에 의한 산화막의 열화에 기인한 결과로 판단된다.

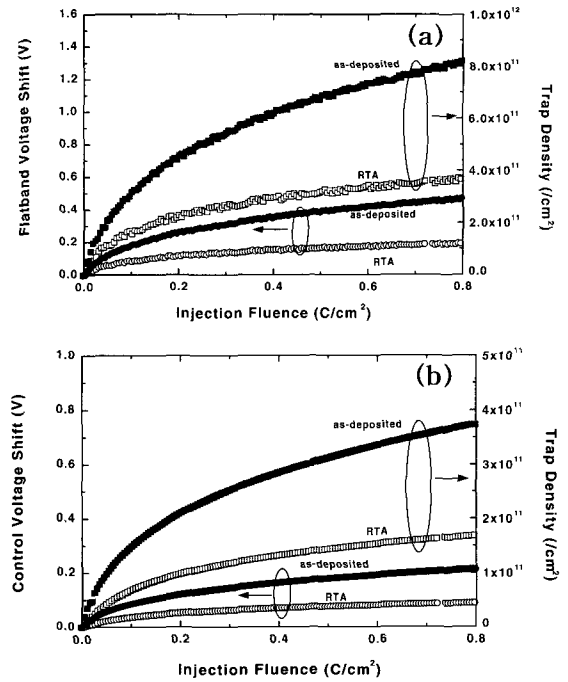


그림 6. Si 기판으로부터의 50 nA FNT 전자 주입시의 주입전하량에 따른 평탄 전압과 그로부터 유도된 전하 포획 밀도 (a), 제어 전압 변동과 전하 포획 밀도 (b)

Fig. 6. Flatband voltage shift and charge trapping density (a) and control voltage shift and charge trapping density (b) as a function of injection fluence during 50 nA FNT electron injection from Si substrate.

그림 6은 Si 기판쪽에서 50 nA FNT 전자 주입시 관측되는 문턱전압 및 제어전압변동과 그로부터 유도된 전하포획 밀도를 나타낸 것이다. 그림 6에서 평탄 전압 변동은 게이트 산화막 전체에 걸쳐 포획되는 전하에 관계된 양이며, 제어전압은 정전류 주입을 위해 필요한 전압으로 산화막 벌크내에 포획되는 전하에 관계된 양이다<sup>[15]</sup>. 그림에서 오른쪽 축에 나타나는 포획 전하 밀도( $N_{trap}$ )는 다음과 같은 식에 의해 얻어진다.

$$N_{trap} = \frac{\Delta VC_{ox}}{qA} \quad (1)$$

위 식(1)에서  $\Delta V$ 는 전압 변동,  $C_{ox}$ 는 산화막의 캐패시턴스,  $A$ 는 캐패시터 면적을 나타낸다. 열처리전 산화막 전체 및 벌크내 모두 큰 전하포획을 보이나 RTA후 50%로 감소함을 볼 수 있다. 포획되는 절대량 또한 RTA 후 매우 작다. 산화막 전체에 걸쳐 포획되는 전하포획

밀도는  $0.8 \text{ C/cm}^2$ 의 주입까지도  $4 \times 10^{11} \text{ cm}^{-2}$  미만이다. 이러한 결과는 텅스텐 실리사이드 증착 공정 및 열처리 공정 후에도 게이트 산화막에 대한 불소의 영향이 무시될 수 있을 정도임을 보여주는 것이다.

#### IV. 결 론

LPCVD에 의해 텅스텐 실리사이드를 증착하고 열처리를 수행한 후, 물리적·전기적 특성 변화를 조사하였다. 텅스텐 실리사이드는 열처리후 결정 성장에 의해 저항이 크게 감소하였고  $800 \text{ }^\circ\text{C}$ , 진공 분위기에서의 RTA후 텅스텐 실리사이드의 결정립 성장에 따른  $\text{WSi}_2/\text{SiO}_2$  계면의 거칠기 증가나 불소화산으로 인한 산화막의 재성장 등에 의한 게이트 산화막의 두께 증가나  $\text{SiO}_2/\text{Si}$  계면 거칠기도 보이지 않았다. 전기적인 분석결과 게이트 공핍현상이 관찰되지 않았고 누설전류 특성도 우수하였다. 또한  $Q_{\text{bd}}$  측정 및 FNT 전자 주입을 통한 전하포획 특성관찰을 통해 우수한 소자 특성을 얻을 수 있었다. 따라서, 본 연구에서 제시한 순수 텅스텐 실리사이드 게이트가 MOS 소자에 차세대 게이트 전극으로 사용될 수 있을 것으로 보여진다.

#### 참 고 문 헌

- [1] B. Yu, D. Ju, W. Lee, N. Kepler, T. King and C. Hu, "Gate engineering for deep-submicron CMOS transistors", *IEEE Trans. Electron Devices*, vol. ED-45, no. 6, pp. 1253~1262, 1998.
- [2] W. Lee, T. King and C. Hu, "Observation of reduced boron penetration and gate depletion for poly- $\text{Si}_{0.8}\text{Ge}_{0.2}$  gated PMOS Devices", *IEEE Electron Device Lett.*, vol. 20, no. 1, pp. 9-11, 1999.
- [3] W. Yeh, Y. Shiau and M. Chen, "A new tungsten gate metal oxide semiconductor capacitor using a chemical vapor deposition process", *J. Electrochem. Soc.*, vol. 144, no. 1, pp. 214-217, 1997.
- [4] T. Yamada, M. Moriwaki, Y. Harada, S. Fujii and K. Eriguchi, "The metal gate MOS reliability with the improved sputtering process for gate electrode", *IEDM*, pp. 319-322, 1999.
- [5] Y. Shioya, S. Kawamura, I. Kobayashi, M. Maeda and K. Yanagida, "Effect of fluorine in chemical-vapor-deposited tungsten silicide film on electrical breakdown of  $\text{SiO}_2$  film", *J. Appl. Phys.*, vol. 61, no. 11, pp. 5102-5109, 1987.
- [6] P. J. Wright and K. C. Saraswat, "The effect of fluorine in silicon dioxide gate dielectrics", *IEEE Trans. Electron Devices*, vol. ED-36, no. 5, pp. 879-889, 1989.
- [7] S. L. Hsu, L. M. Liu, M. S. Lin and C. Y. Chang, "Direct evidence of gate oxide thickness increase in tungsten polycide processes", *IEEE Electron Device Lett.*, vol. 12, no. 11, pp. 623-625, 1991.
- [8] Y. Shioya and M. Maeda, "Analysis of the effects of annealing on resistivity of chemical vapor deposition tungsten-silicide films", *J. Appl. Phys.*, vol. 60, no. 1, pp. 327-332, 1986.
- [9] Y. Shioya, T. Itoh, I. Kobayashi and M. Maeda, "Change in resistivity and composition of chemical vapor deposited tungsten silicide films by annealing", *J. Electrochem. Soc.*, vol. 133, no. 7, pp. 1475-1479, 1986.
- [10] K. Shenai, "Structural and electrical properties of furnace and rapid thermally annealed LPCVD  $\text{WSi}_2$  films on single-crystal, polycrystalline, and amorphous silicon substrates", *IEEE Trans. Electron Devices*, vol. ED-39, no. 1, pp. 193-199, 1992.
- [11] T. Hara, H. Takahashi and Y. Ishizawa, "Composition of CVD tungsten silicides", *J. Electrochem. Soc.*, vol. 134, no. 5, pp. 1302-1306, 1987.
- [12] K. C. Saraswat, D. L. Brors, J. A. Fair, K. A. Monnig and R. Beyers, "Properties of low-pressure CVD tungsten silicide for MOS VLSI interconnections", *IEEE Trans. Electron Devices*, vol. ED-30, no. 11, pp. 1497-1505, 1983.
- [13] J. H. Sone, S. -O. Kim, K. -J. Kim, H. S. Kim and H. J. Kim, "Formation of low pressure

chemically vapor deposited W thin film on silicon dioxide for gate electrode application”, *Thin Solid Films*, 253, pp. 377-381, 1994.

[14] K. Roh, S. Youn, S. Yang and Y. Roh, “Tungsten silicide( $WSi_2$ ) for the alternate gate metal in metal-oxide-semiconductor (MOS) devices”, *AVS 47th International Symposium*, Boston, 2000.

[15] Y. Roh, L. Trombetta and J. Han, “Analysis of charge components induced by Fowler-Nordheim tunnel injection in silicon oxides prepared by rapid thermal oxidation”, *J. Electrochem. Soc.*, vol. 142, no. 3, pp. 1015-1020, 1995.

저 자 소 개



盧 官 鍾(正會員)

1973년 10월 1일생. 1996년 2월 성균관대학교 전자공학과 학사, 1998년 2월 성균관대학교 전자공학과 석사, 1998년 3월~현재 성균관대학교 전기전자 및 컴퓨터 공학부 박사과정. 주관심분야는 메탈 게이트 및 대체

게이트 산화막의 공정 개발과 특성분석



梁 聖 雨(正會員)

1971년 9월 27일생. 1999년 2월 국민대학교 전자공학과 학사, 2000년 3월~현재 성균관대학교 전기전자 및 컴퓨터 공학부 석사 과정. 주관심분야는 대체 게이트 전극 공정개발



尹 宣 弼(正會員)

1973년 8월 21일생. 1999년 2월 성균관대학교 전자공학과 학사, 2001년 2월 성균관대학교 전기전자 및 컴퓨터 공학부 석사. 2001년 3월~현재 (주) 삼성 전자 반도체 연구소 공정 개발팀 재직중. 주관심분야는 메탈

게이트 공정 개발 및 특성분석

盧 用 翰(正會員) : 第 35卷 D編 第 7號 參照.

성균관대학교 전기전자 및 컴퓨터 공학부 부교수