

論文 2001-38SD-10-2

GaAs Metal-Semiconductor Field-Effect Transistor에서 표면 결함이 소자의 전달컨덕턴스 분산 및 게이트 표면 누설 전류에 미치는 영향

(Effects of Surface States on the Transconductance Dispersion and Gate Leakage Current in GaAs Metal-Semiconductor Field-Effect Transistor)

崔兪鎭*, 李鐘覽*

(Kyoung Jin Choi and Jong-Lam Lee)

요 약

GaAs metal semiconductor field effect transistor (MESFET) 소자의 전달컨덕턴스 분산 (transconductance dispersion) 현상과 게이트 누설 전류의 원인을 capacitance deep level transient spectroscopy (DLTS) 측정을 이용하여 해석하였다. DLTS 스펙트럼에서는 활성화 에너지가 각각 0.65×0.07 eV와 0.88×0.04 eV인 두개의 표면 결함과 0.84×0.01 eV의 활성화 에너지를 갖는 EL2를 관찰하였다. 전달컨덕턴스 분산 측정 결과, 전달컨덕턴스는 5.5 Hz ~ 300 Hz의 주파수 영역에서 감소하였다. 전달컨덕턴스 분산을 온도의 함수로 측정한 결과, 온도가 증가할수록 전이 주파수는 증가하였고 전이 주파수의 온도 의존성으로부터 $0.66 \sim 0.02$ eV의 활성화 에너지를 구할 수 있었다. 게이트 누설 전류 측정에서는 0.15 V 이하의 게이트 전압에서 순 방향과 역 방향 게이트 전압이 일치하는 옴믹 전류-전압 특성을 나타내었고 게이트 누설 전류의 온도 의존성으로부터 구한 활성화 에너지는 $0.63 \sim 0.01$ eV로 계산되었다. 서로 다른 방법으로 구한 활성화 에너지의 비교로부터 표면 결함 H1이 주파수에 따라서 감소하는 전달컨덕턴스 분산 및 게이트 누설 전류의 원인임을 알 수 있었다.

Abstract

Origins for the transconductance dispersion and the gate leakage current in a GaAs metal semiconductor field effect transistor were found using capacitance deep-level transient spectroscopy (DLTS) measurements. In DLTS spectra, we observed two surface states with thermal activation energies of 0.65×0.07 eV and 0.88×0.04 eV and an electron trap EL2 with thermal activation energy of 0.84×0.01 eV. Transconductance was decreased in the frequency range of 5.5 Hz ~ 300 Hz. The transition frequency shifted to higher frequencies with the increase of temperature and the activation energy for the change of the transition frequency was determined to be 0.66×0.02 eV. From the measurements of the gate leakage current as a function of the device temperature, the forward and reverse currents are coincident with each other below gate voltages lower than 0.15 V, namely Ohmic behavior between gate and source/drain electrodes. The activation energy for the conductance of electrons on the surface of MESFET was 0.63×0.01 eV. Comparing activation energies obtained by different measurements, we found surface states H1 caused the transconductance dispersion and the gate leakage current.

* 正會員, 浦項工科大學校 新素材工學科
(Department of Materials Science and Engineering,

Pohang University of Science and technology)
※ 본 연구는 국가지정연구실(NRL)지원으로 수행되었음.
接受日字:1998年7月20日, 수정완료일:2000年4月20日

I. 서 론

GaAs metal semiconductor field effect transistors (MESFETs) 소자는 1MHz의 낮은 주파수 영역에서 소자의 이득과 직접적으로 관련이 있는 전달컨덕턴스 값이 주파수에 따라서 감소하는 전달컨덕턴스 분산(transconductance dispersion) 현상을 보인다. 전달컨덕턴스 분산 현상은 전류-전압 특성의 hysteresis^[1], 낮은 항복 전압 특성^[2], 그리고 낮은 주파수에서의 noise 증가 현상^[3]들과 밀접한 관계가 있는 것으로 알려져 있다.

이러한 주파수 분산 특성은 소자의 작동 주파수보다 낮은 주파수 대역에서 관찰됨에도 불구하고 소자의 마이크로웨이브 특성에 영향을 미친다. 즉, FET을 이용하여 선형 전력 증폭기를 구현하기 위해서는 동작 주파수 대역에서 소자의 특성을 정확하게 예측할 수 있는 대신호 모델이 필수적이다. 대신호 등가 모델은 일반적으로 DC 전류-전압 특성과 동작 주파수 대역에서의 산란 계수(scattering parameter)의 측정을 통해서 이루어진다. 그런데 소자 변수의 주파수 분산 현상에 의해서 DC와 RF 주파수 대역에서 전류-전압 특성이 바뀌게 되어 소자의 정확한 특성 예측이 어렵게 되고 그 결과 우수한 선형 증폭기의 구현이 어렵게 된다. 따라서 이러한 전달컨덕턴스 분산(transconductance dispersion) 현상을 최소화하여야 하고 이를 위해서는 분산 현상의 원인 규명이 선행되어야 한다.

GaAs MESFET 소자의 전달컨덕턴스는 주파수에 따라서 감소하거나 증가하는 경향을 나타낸다. 주파수에 따른 전달컨덕턴스 감소는 소자의 게이트 및 소오스/드레인 전극의 ungated 반도체 표면과 밀접한 관련이 있는 것으로 생각된다.^[4, 5] 즉, 감소된 전달컨덕턴스의 크기는 소자의 표면 누설 전류에 따라서 증가하고^[4] 소자의 표면 보호막 형성 후, 전달컨덕턴스 분산의 크기가 감소하는 것으로 보고되었다.^[5] 반면 주파수에 따른 전달컨덕턴스의 증가는 소자 내부의 전자 trap에 의해서 발생하는 것으로 생각된다. 즉, 전달컨덕턴스 분산을 나타내지 않은 MESFET 소자에 중성자를 조사한 후, 전달컨덕턴스는 주파수에 따라서 증가하는 것으로 보고되었는데 이는 중성자 조사에 의해서 소자 내부에 전자 trap이 생성되어진 것으로 생각되어져 왔다.^[6] 그러나 아직까지 전달컨덕턴스 분산과 소자 표면 또는 내부에 존재하는 trap과의 상관관계는 명확히 규명되어

있지 않은데 그 이유는 FET 소자의 전달컨덕턴스 분산을 유발하는 trap에 대한 정량적인 분석 결과가 없었기 때문이다.

따라서 본 연구에서는 FET 소자의 표면 및 내부에 존재하는 trap의 활성화 에너지와 포획 단면적에 대한 정량적인 정보를 얻을 수 있는 capacitance DLTS 측정을 통하여 GaAs MESFET 소자의 전달컨덕턴스 분산 현상 및 게이트 누설 전류 형성의 원인이 되는 표면 결함의 실체를 규명하였다. 온도 변화에 따른 전달컨덕턴스 분산 측정 및 게이트 누설 전류 측정으로부터 구한 활성화 에너지를 DLTS 스펙트럼에서 관찰된 표면 및 내부 trap의 활성화 에너지와 비교하여 MESFET.

II. 소자 제작 및 실험 방법

Fig. 1은 본 연구에 사용된 에피 층 구조의 단면도이다. 반 절연 GaAs 기판 위에 MBE(molecular beam epitaxy) 방법을 이용하여 성장하였다. 버퍼 층으로 undoped GaAs를 1 μm 두께로 성장한 후 채널 층으로는 5 × 10¹⁷/cm³의 높게 도핑된 층과 1 × 10¹⁶/cm³의 낮게 도핑된 층을 각각 300 Å, 1800 Å 두께로 성장하였다. 산소 흡착에 의한 표면 결함 생성을 억제하기 위해서 캡 층으로써 undoped GaAs 500 Å 성장시켰다.

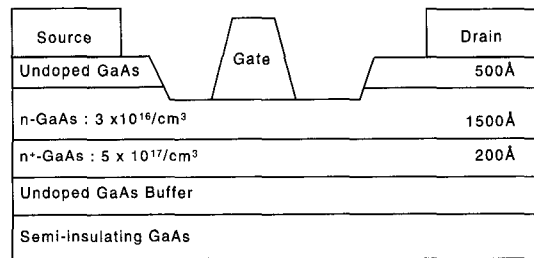


그림 1. 이중 채널층을 갖는 high-low doped GaAs MESFET 구조

Fig. 1. Structure of high-low doped GaAs MESFET.

MESFET 소자의 제작은, 먼저 소자와 소자 사이를 분리하기 위하여 채널 층이 형성되는 부분만을 남기고 나머지 부분을 습식 식각 방법으로 buffer까지 식각하였다. 낮은 옴릭 접촉 특성을 얻기 위하여 Au/Ge/Ni/Au 다층 박막을 전자선 증착기(electron beam evaporator)로 증착한 후, 400 °C에서 10 초간 급속 열처리

하였다. 이를 통해 $5 \times 10^{-6} \Omega\text{cm}^2$ 의 낮은 접촉 저항을 얻었다. 게이트 전극은 형상 반전 공정(image reversal lithography) 을 이용하여 게이트 패턴을 형성한 후, undoped cap 층과 채널 층을 500 Å 습식 식각한 후, 전자선 증착기를 이용하여 Ti/Pt/Au 층을 증착하여 형성하였다. 그 후, CVD(chemical vapor deposition) 방법으로 Si_3N_4 을 증착하여 소자 보호막을 형성하였다. 소오스 사이의 패드 연결에는 금도금 공정을 이용하였고 소자의 열 저항을 감소시키기 위해서 기판의 뒷면을 lapping 한 후, Au를 증착하였다.

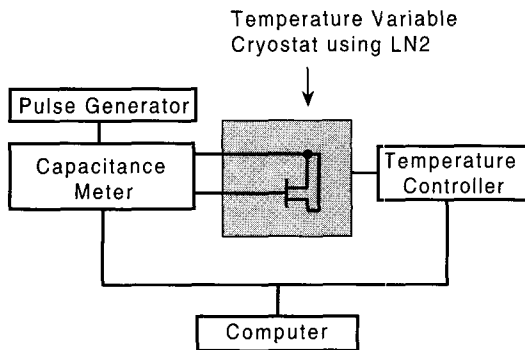


그림 2. DLTS 측정 장치도
Fig. 2. Schematic diagram of DLTS system.

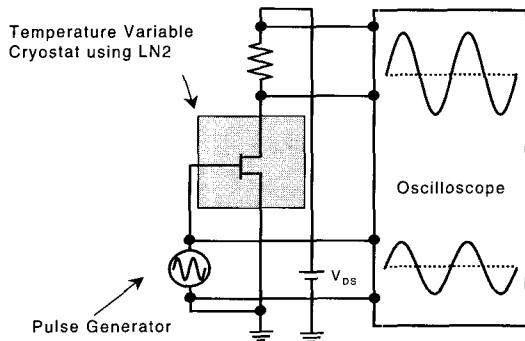


그림 3. 전달컨덕턴스 분산 실험 장치도
Fig. 3. Schematic diagram of transconductance dispersion measurement.

본 연구에서는 소자의 게이트와 소오스/드레인 사이의 ungated 반도체 표면(ungated 영역) 이 DLTS 스펙트럼에 미치는 영향을 분석하기 위하여 소오스와 드레인 사이의 전체 간격 중에서 ungated 영역의 크기가 서로 다른 두 종류의 소자를 제작하였다. 한 종류의 소자는 게이트와 소오스/드레인 간격이 각각 $0.5 \mu\text{m}$ 와 $1.1 \mu\text{m}$ 이고 길이가 $1 \mu\text{m}$ 인 게이트 92개가 병렬로 연결된

multi-finger-gate MESFET 소자이고 다른 소자는 게이트와 소오스/드레인 간격은 multi-finger-gate PHEMT 소자와 동일하면서 게이트 길이가 $100 \mu\text{m}$ 인 FAT MESFET 소자이다. Multi-finger-gate와 FAT MESFET의 게이트 면적 비는 92:100이고 ungated 영역의 비는 92:1으로써 ungated 영역이 DLTS 스펙트럼의 크기에 미치는 영향은 100:1이다.

식 (1)과 같이 정의된 소자의 전달컨덕턴스 즉, 게이트 전압의 변화에 대한 드레인 전류의 변화량을 측정하기 위하여 그림 2와 같이 함수 발생기(function generator), 오실로스코프, 그리고 전력 공급기로 구성된 장치를 이용하였다. 그리고 소자 온도에 따른 전달컨덕턴스를 구하기 위하여 소자를 온도 조절이 가능한 저온 chamber에 장착한 후 실험하였다.

$$G_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}} \quad (1)$$

함수 발생기를 이용해서 게이트 단에 sine 파를 입력하고 그에 따른 드레인 전류의 sine 파의 크기는 오실로스코프를 이용하여 드레인 단에 연결된 저항 양단의 전압 강하를 통하여 소자의 전달컨덕턴스를 구하였다. 이때 게이트 입력 주파수는 1 Hz에서 100 kHz까지 변화 시켜주었다.

DLTS 측정 장비는 그림 3과 같이 저온 chamber, 펄스 발생기, 온도 조절기, 전정 용량 측정기 등으로 구성되어 있다. 소자의 온도는 액체 질소를 이용하여 90 K 이하로 떨어뜨린 후 400 K까지 3 K/min의 속도로 증가 시켜주었다. DLTS 스펙트럼 $S(T)$ 는 샘플링 시간 t_1 과 t_2 에서 과도 전정 용량(capacitance transient)의 차이로 정의된다. 즉,

$$S(T) = C(t_1) - C(t_2) \quad (2)$$

전자 trap의 경우, trap에 포획된 전자들이 trap으로부터 방출되면서 공핍 영역의 크기는 감소하고 공핍 영역의 크기와 반비례 관계에 있는 전정 용량의 크기는 증가하기 때문에 DLTS 스펙트럼은 음의 값을 갖는 반면 전공 trap의 경우에는 반대로 양의 값을 갖게 된다. 상세 균형의 원리(principle of detailed balance) 로부터 forbidden band 내의 에너지 준위가 ET인 trap에 갇힌 전자의 방출 속도 $e_n [1/\text{sec}]$ 는 식(3)와 같이 표현된다.

$$e_n = \sigma v_{th} N_C \exp\left(-\frac{E_C - E_T}{kT}\right) = AT^2 \exp\left(-\frac{E_C - E_T}{kT}\right) \quad (3)$$

+식 (3)에서 σ 는 전자 trap의 포획 단면적, v_{th} 는 전자의 열적 속도, N_c 는 conduction band의 유효 상태 밀도, kT 는 열 에너지, 그리고 A 는 온도와 무관한 상수이다.

DLTS 스펙트럼 peak의 온도에서 $\frac{\partial S(T)}{\partial T} = 0$ 의 관계식이 성립하고 이로부터 e_n 은 식 (4)와 같이 결정된다.

$$e_n = \frac{\ln(t_2/t_1)}{t_2 - t_1} \quad (4)$$

온도에 따른 trap의 방출 속도를 구하기 위해서 본 DLTS 측정에서는 $t_2/t_1 = 4$ 로 두고 t_1 의 값을 50, 100, 200, 400, 800 ms로 변화 시켜주었다. 그리고 활성화 에너지와 포획 단면적은 식 (3)의 $\log(T^2/en)$ 와 $1/T$ 의 관계에서 구해진 직선의 기울기와 Y 축 절편으로부터 각각 구하였다.

III. 결과 및 고찰

3.1. DLTS 측정

그림 4는 GaAs MESFET 소자의 I-V 특성 곡선이다. 측정에 의한 열 발생을 최소화하기 위하여 0.1 msec의 펄스를 이용하여 측정하였다. 소자의 pinch-off 전압 및 항복 전압(breakdown voltage)은 각각 2.1 V와 21 V로 측정되었다. $V_{gs} = + 0.5$ V에서 최대 전류 및 그 밀도는 5.9 A와 279 mA/mm 그리고 전달 컨덕턴스 G_m 은 120 582 mS/mm로 측정되었다.

그림 5은 multi-gate-finger MESFET 소자의 capacitance DLTS 스펙트럼이다. 펄스 전압 V_p 는 0 V

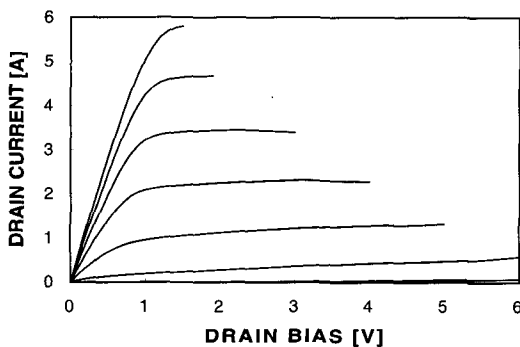


그림 4. GaAs MESFET의 전류 전압 특성 곡선. $V_{gs} = + 0.5$ V ~ - 2.5 V, $V_{gs} = 0.5$ V
Fig. 4. I-V characteristics of the GaAs MESFET. $V_{gs} = + 0.5$ V ~ - 2.5 V, $V_{gs} = 0.5$ V.

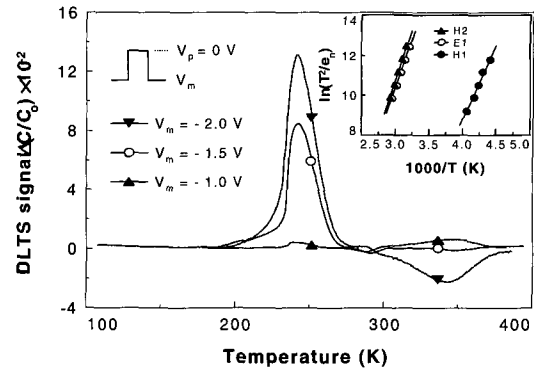


그림 5. GaAs MESFET의 capacitance DLTS 스펙트럼
Fig. 5. Capacitance DLTS spectra of the GaAs MESFET.

로 일정하게 두고 역 전압 V_m 을 -1 V에서 -2 V까지 0.5 V 간격으로 변화 시켜주면서 DLTS 스펙트럼을 구하였다. 250 K(이하 'H1'로 명명함) 와 340 K(이하 'H2'로 명명함) 에서 두 종류의 전공 trap 신호가 관찰되었고 V_m 이 1.5 V에서 2.0 V로 감소함에 따라서 전공 trap이 관찰되던 340 K에서 전자 트랩(이하 E1으로 명명함)이 관찰되었다. 각 trap의 활성화 에너지와 포획 단면적을 결정하기 위하여 샘플링 시간을 $t_2/t_1 = 4$ 로 두고 t_1 의 값을 50, 100, 200, 400, 800 ms로 변화 시켜 가면서 DLTS 실험을 반복하여 Fig. 4와 같이 각 trap에 대한 peak의 온도 의존성을 구하였다. 각 trap에 대해 결정된 활성화 에너지와 포획 단면적을 Table 1에 요약하였다.

표 1. 온도에표 I H1, H2, E1에 대한 활성화 에너지와 포획 단면적

Table 1. Activation energies and capture cross sections for H1, H2, and E1 traps.

Type of trap	Activation energy (eV)	Capture cross section (cm ²)
H1	0.65 0.07	9.2 x 10 ⁻¹³
H2	0.88 0.04	7.6 x 10 ⁻¹⁴
E1	0.84 0.01	4.0 x 10 ⁻¹⁴

E1의 활성화 에너지는 GaAs의 반 절연 (semi-insulating) 특성을 나타내는 trap으로 알려져 있는 EL2의 활성화 에너지 0.80 ± 0.06 eV^[7] 와 잘 일치하였고 이로부터 본 연구의 E2는 EL2에 의한 것으로 생각된다. N-type 반도체에서는 전공 신호가 관찰될 수 없음

에도 불구하고 본 연구에서는 두 종류의 전공 trap과 같은 신호(hole trap-like signal)가 관찰되었다. 이는 소자의 ungated 영역의 반도체 표면에 존재하는 표면 결함(surface states)에 의한 것으로 해석될 수 있다.^{[8][10]} 그림 6은 FAT MESFET 소자의 DLTS 스펙트럼이다. Multi-gate-finger MESFET 소자에서는 관찰되던 전공 trap 신호는 더 이상 관찰되지 않았다. 이

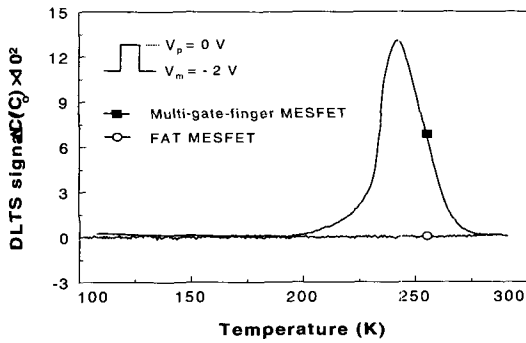


그림 6. Multi-gate-finger와 FAT MESFET의 DLTS 스펙트럼
Fig. 6. DLTS spectra of multi-gate-finger and FAT MESFET.

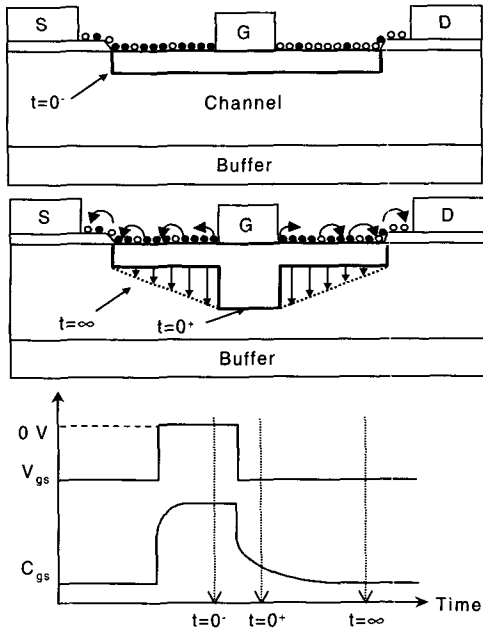


그림 7. MESFET의 DLTS 측정에서 표면 결함에 의한 hole-like signal의 형성기구
Fig. 7. Formation mechanism of hole trap-like signal due to surface states in DLTS measurements of MESFET.

로부터 본 DLTS 실험에서 관찰된 hole trap-like signal은 ungated 영역의 반도체 표면에 존재하는 표면 결함에 의한 것임을 알 수 있다.

그림 7은 FET 구조에서 표면 결함에 의해서 hole trap-like signal이 형성되는 과정을 보여주고 있다. GaAs의 표면에서 Fermi 준위는 표면 결함에 의해서 conduction band로부터 약 0.8 eV의 위치에 고정되는 것으로 알려져 있다. 따라서 그림 7 (a)과 같이 게이트 바이어스가 0 V일 경우, 소오스에서 드레인까지 공핍 영역의 크기는 일정하다. 그림 7 (b)는 게이트에 역 전압이 가해졌을 때의 공핍 영역의 변화를 나타내고 있다. 게이트에 역 전압이 인가되면 게이트 모서리에는 강한 전기장이 형성되고 그 결과 게이트 모서리로부터 전자가 방출된다.^[11] 방출된 전자중 일부는 소자 내부의 채널 층을 통하여 소오스/드레인 오믹 전극으로 이동해 가고 나머지 전자들은 반도체 표면으로 방출되어 표면 결함에 포획된다. 표면 결함에 포획된 전자들은 게이트에서 소오스와 드레인 오믹 전극 방향으로 형성되어 있는 전기장에 의하여 표면 결함 층을 hopping하면서 오믹 전극으로 이동한다. 시간이 지남에 따라 표면 결함에 포획된 전자의 전체 농도는 증가하고 전하 중성 관계(charge neutrality relationship)에 의하여 ungated 영역 아래의 공핍 영역의 크기도 증가한다. 이는 전공 트랩에 전공이 포획되면서 공핍 영역의 크기가 증가하는 것과 같은 효과를 나타내어 DLTS 스펙트럼 상에서 hole trap-like signal를 만들어 내는 것이다.

3.2. 전달 컨덕턴스 분산 측정

DLTS 스펙트럼에서 관찰된 표면 결함이 소자의 전기적 특성에 미치는 영향을 분석하기 위하여 전달컨덕턴스 분산과 온도 변화에 따른 게이트 누설 전류를 측정하였다. 그림 8는 MESFET 소자의 전달컨덕턴스 분산 결과이다. 게이트와 드레인 전압이 각각 -2.0 V와 0.1 V에서 전달컨덕턴스를 측정하였다. 각 주파수에서의 전달컨덕턴스의 크기를 1 Hz에서의 값으로 나누어 plot하였다. 소자의 온도가 310 K일 때 전달컨덕턴스는 5.5 Hz~300 Hz 사이에서 주파수가 증가할수록 10 % 감소하였다.

주파수가 증가함에 따라 전달컨덕턴스가 감소하는 이유는 게이트와 드레인 사이의 ungated 영역에 존재하는 표면 결함과 게이트로부터 표면으로 방출된 전자와의 상호작용에 의한 것으로 설명될 수 있다.^{[4][5]} 음의 DC 전압에 추가된 sine 파가 게이트에 인가되면, 게이

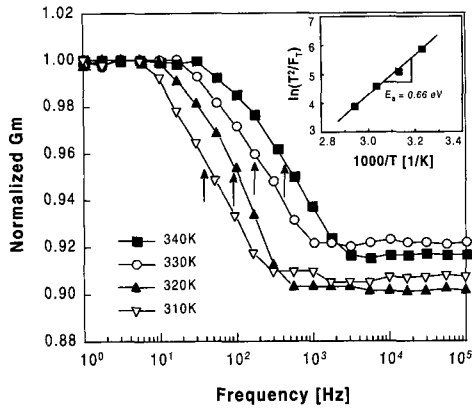


그림 8. GaAs MESFET의 전달컨덕턴스 분산 결과
Fig. 8. The transconductance dispersion of the GaAs MESFET.

트 모서리(edge)로부터 전자가 게이트와 소오스/드레인 사이의 표면으로 방출된다. 인가되는 주파수가 낮은 경우, 전자는 인가된 sine 파를 따라 표면 결함에 포획되고 방출되는 과정을 반복하게 된다. 즉, 게이트 아래의 채널 층뿐만 아니라 게이트와 소오스/드레인 사이의 표면 아래에서도 공핍 영역도 modulation 된다. 그러나 인가 주파수가 증가하면, 표면 결함에 포획된 전자는 더 이상 sine 파를 따라 이동하지 못하기 때문에 표면 아래의 공핍 층은 입력 sine 파를 따라 변화하지 못하게 된다. 즉, 입력 sine 파에 따라 modulation 되는 채널 층의 두께가 상대적으로 감소하게 되므로 전달컨덕턴스는 감소한다.

그림 8에서 전달컨덕턴스 분산량의 50%에 해당하는 주파수를 전이 주파수로 정의하고 그림에서 화살표로 나타내었다.^[12] 소자의 온도가 증가할수록 전이 주파수는 높은 주파수 영역으로 이동하였다. 이는 온도가 증가할수록 trap에 갇힌 전자의 방출 주파수가 증가하기 때문이다. 삽입 그림은 식 (2)를 이용하여 전이 주파수의 온도 의존성을 나타낸 것으로 전자가 trap으로부터 방출되는데 필요한 활성화 에너지는 0.66 ± 0.02 eV로 계산되었다. MESFET 소자의 전달컨덕턴스 분산 및 DLTS 결과를 비교해볼 때, 전달컨덕턴스 분산으로부터 구한 활성화 에너지 0.66 ± 0.02 eV와 DLTS 스펙트럼에서 관찰된 표면 결함 HI의 활성화 에너지 0.6 ± 0.07 eV는 잘 일치한다. 따라서 주파수에 따른 전달컨덕턴스의 감소는 표면 결함과 밀접한 관련이 있다는 사실에 비추어볼 때 표면 결함 HI이 전달컨덕턴스 분산의 원인임을 알 수 있다.

3.3. 온도에 따른 게이트 누설 전류 측정

MESFET 소자의 DLTS 스펙트럼에서 hole trap-like signal은 게이트 전극에서 소자 표면으로 방출된 전자가 표면 결함을 hopping하여 소오스/드레인 오믹 전극 쪽으로 이동해가면서 생성되는 것으로 해석하였다. 이에 본 연구에서는 제안된 mechanism을 검증하기 위하여 소자의 온도를 변화 시켜가면서 소자의 게이트 전류를 측정하였다. 그림 9는 310 K와 350 K 사이의 온도 구간에서 게이트의 역 방향 및 순 방향 게이트 누설 전류 곡선이다. 소자의 온도가 증가할수록 누설 전류의 크기는 증가하였고 소자의 온도가 350 K일 때 0.15 V 이하의 전압에서 순 방향과 역 방향의 전류의 크기가 일치하는 오믹 특성을 나타내었다.^{[4],[13]}

게이트 전극의 오믹 전류-전압 특성은 소자의 게이트와 소오스/드레인 사이의 ungated 영역의 반도체 표면을 통한 전자의 이동으로 설명할 수 있다.^[13] 그림 10에서와 같이 게이트 전극에서 반도체 내부인 A 방향으로 전자가 이동하기 위해서는 금속과 반도체 사이의 높은 전위 장벽을 극복하여야 한다. 그러나 게이트 전극에서 반도체 표면인 B 방향의 경우, 전자는 thermionic-field emission에 의해서 게이트에서 표면 결함으로 이동하게 된다. 표면 결함으로 이동한 전자는

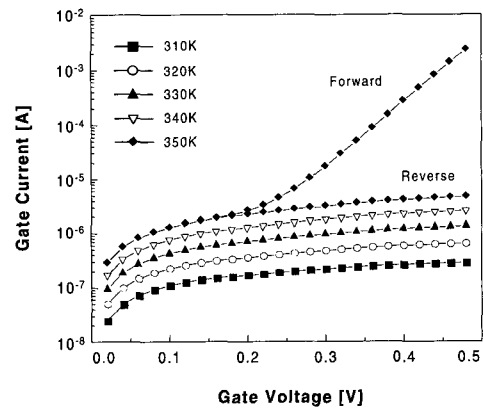


그림 9. MESFET 소자에서 온도 변화에 따른 게이트 누설 전류 특성. 게이트 전압이 + 0.20 V 이하에서는 순 방향 및 역 방향 전류가 일치하는 오믹 특성을 나타내었다

Fig. 9. Temperature dependence of gate leakage current of MESFET. The forward current at 350 K is also shown. The forward and reverse characteristics at 350 K show the presence of ohmic region below the gate voltage of + 0.20 V.

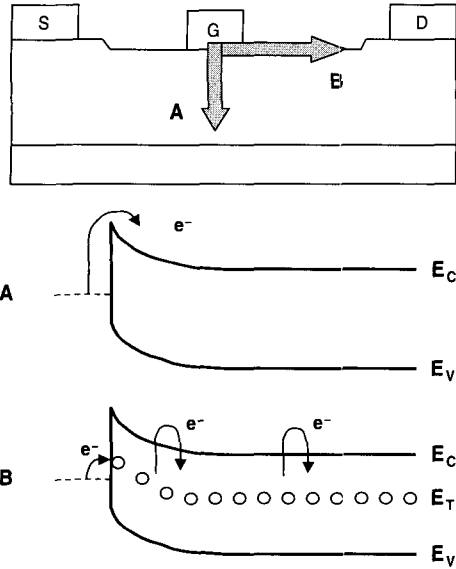


그림 10. 게이트와 드레인 사이에 존재하는 표면 결함에 의한 게이트 누설 전류의 형성 기구
 Fig. 10. Schematic explanation for the gate leakage current through the surface states between gate and drain electrodes.

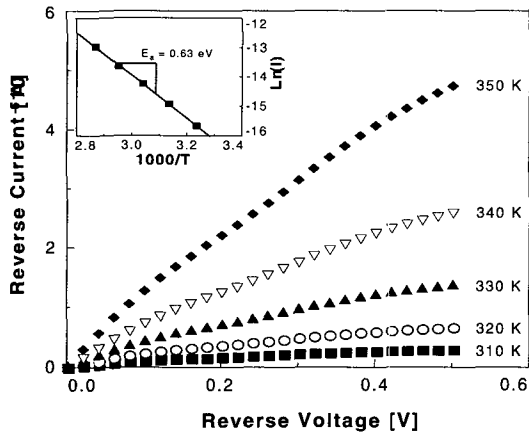


그림 11. 온도에 따른 게이트 누설 전류의 변화. 삽입 그림은 0.2 V의 게이트 전압에서 측정된 게이트 누설 전류의 온도 의존성으로부터 구한 활성화 에너지를 나타낸다
 Fig. 11. The gate leakage current as a function of device temperature. The inset is the temperature dependence of the gate leakage current, measured at the reverse gate bias of 0.2 V.

열에너지에 의하여 표면 결함에서 conduction band로 방출되고 표면을 따라서 드레인 방향으로 이동하다가 표면 결함에 다시 포획된다. 전자가 표면 결함에 연속

적으로 포획되고 방출되는 과정을 통하여 전자는 소스/드레인 오믹 전극으로 이동하게 된다.

역 전압이 인가된 경우, 표면 누설 전류 $I_R(T)$ 는 식 (5)와 같이 표현된다.^[13]

$$I_R(T) = \frac{q\mu_s n_0 \delta W V_R}{L_{gs}} \exp\left(-\frac{E_a}{kT}\right) \quad (5)$$

식 (5)에서 μ_s 는 반도체 표면에서의 전자 이동도, n_0 는 표면 결함의 농도, δ 는 표면 전도 층의 두께, W 는 게이트 폭, V_R 는 역 전압, L_{gs} 는 게이트와 소스 사이의 간격이다. 그림 11에서 게이트 전류-전압 곡선이 오믹 특성을 나타내는 전압인 -0.2 V에서 전류의 크기를 측정 후, 이를 식 (5)를 이용하여 전류 크기의 온도의 의존성으로부터 반도체 표면을 따른 전자의 전도로부터 구한 활성화 0.63 ± 0.01 eV로 계산되었다.

게이트 표면 누설 전류의 온도 의존성으로부터 구한 활성화 에너지는 MESFET 소자의 DLTS 스펙트럼에서 관찰된 표면 결함 H1의 활성화 에너지 0.65 ± 0.07 eV와 비슷한 값을 갖는다. 이는 표면 누설 전류가 반도체의 게이트와 드레인 사이의 un gated 영역에 존재하는 표면 결함 H1을 통한 전자의 hopping에 의해서 생성됨을 의미한다.

IV. 요약

GaAs MESFET 소자의 전달컨덕턴스 분산 현상과 게이트 누설 전류의 원인을 capacitance DLTS 측정을 이용하여 해석하였다. DLTS 측정에서는 활성화 에너지가 각각 0.65 ± 0.07 eV와 0.88 ± 0.04 eV인 두개의 표면 결함과 0.84 ± 0.01 eV의 활성화 에너지를 갖는 EL2를 관찰하였다. 전달컨덕턴스 분산 측정 결과, 전달컨덕턴스의 값은 5.5 Hz ~ 300 Hz의 주파수 영역에서 감소하였다. 전달컨덕턴스 분산을 온도의 함수로 측정한 결과, 온도가 증가할수록 전이 주파수는 증가하였고 전이 주파수의 온도 의존성으로부터 0.66 ± 0.02 eV의 활성화 에너지를 구할 수 있었다. 게이트 표면 누설 전류의 측정에서는 0.15 V 이하의 게이트 전압에서 순 방향과 역 방향 게이트 전압이 일치하는 오믹 전류-전압 특성을 나타내었다. 오믹 특성을 나타내는 전압 영역인 -0.2 V에서 구한 게이트 누설 전류의 온도 의존성으로부터 구한 활성화 에너지는 0.63 ± 0.01 eV로 계산되었다. GaAs MESFET 소자의 전달컨덕턴

스 분산과 게이트 누설 전류 결과를 DLTS 결과와 비교해볼 때, 전달컨덕턴스 분산과 게이트 누설 전류로부터 구한 활성화 에너지 0.66 ± 0.02 eV와 0.63 ± 0.01 eV는 DLTS 스펙트럼에서 관찰된 표면 결함 H1 의 활성화 에너지 0.65 ± 0.07 eV와 잘 일치하였다. 이로부터 표면 결함 H1이 주파수에 따라서 감소하는 전달컨덕턴스 분산 및 게이트 누설 전류의 원인을 알 수 있었다.

참 고 문 헌

- [1] M. Ozeki, Kodama, M. Takikawa and A. Shibatomi, "Analysis of electrical and optical properties of insulating film-GaAs interfaces using MESFET type structures," J. Vac. Sci. Technol., vol.21, no. 2, pp. 437~441, 1982.
- [2] T. M. Barton and P. H. Ladbrooke, "The role of device surface in high-voltage behavior of the GaAs MESFET's," Solid State Electron., vol. 29, no. 8, pp. 807~813, 1986.
- [3] J. Graffeuil, Z. Hadjoub, J. P. Fortea, and M. Pouysegur, "Analysis of capacitance and transconductance frequency dispersion in MESFET's for surface characterization," Solid State Electron., vol. 29, no. 10, pp. 1087~1097, 1986.
- [4] M. Ozeki, K. Kodama, and A. Shibatomi, "Surface analysis in GaAs MESFET's by gm frequency measurement," Inst. Cong. Ser. no. 63, pp. 323~328.
- [5] P. H. Ladbrooke and S. R. Blight, Low-field low-frequency dispersion of transconductance in GaAs MESFET's with implications for other rate-dependent anomalies, IEEE Trans. Electron Devices, vol. ED-35, no. 3, pp. 257~267, 1988.
- [6] G. Meneghesso, A. Paccagnella, D. V. Camin, N. Fedyaikin, G. Pessina, and C. Canali, Study of Neutron Damage in GaAs MESFET's, IEEE Trans. Nuclear Science vol. 44, no. 3, pp. 840~846, 1997.
- [7] Y. Y. Shan, C. C. Ling, A. H. Deng, B. K. Panda, C. D. Beling, and S. Fung, EL2 deep-level transient study in semi-insulating GaAs using positron-lifetime spectroscopy, Phys. Rev. B, vol. 55, no. 12, pp. 7624~7628, 1997.
- [8] S. R. Blight, R. H. Wallis, and H. Thomas, "Surface influence on the conductance DLTS spectra of GaAs MESFET's," IEEE Trans. Electron Devices, vol. ED-33, pp. 1447~1453, 1986.
- [9] J. H. Zhao, "Modeling the effects of surface states on DLTS spectra of GaAs MESFET's," IEEE Trans. Electron Devices, vol. 37, pp. 1235~1244, 1990.
- [10] J. P. Harrang, A. Tardella, M. Rosso, P. Alnot, and J. F. Peray, Conductance transient spectroscopy of metal-semiconductor field effect transistors, J. Appl. Phys., vol. 61, no. 5, pp. 1931~1936, 1987.
- [11] T. M. Barton and P. H. Ladbrooke, The role of device surface in the high voltage behavior of the GaAs MESFET, Solid State Electron. Vol. 29, no. 8, pp. 807~813, 1986.
- [12] A. Paccagnella, C. Tedesco, C. Canali, A. Cetrionio and C. Lanzieri, "Frequency dispersion of transconductance: A tool to characterise deep levels in III-V FETs," Electron. Lett. vol. 28, no. 22, 1992.
- [13] V. R. Balakrishnan, V. Kumar and S. Ghosh, Experimental evidence of surface conduction contributing to transconductance dispersion in GaAs MESFET's, IEEE Trans. Electron Devices, vol. 44, no. 7, pp. 1060~1065, 1997.

저 자 소 개



崔 炆 鎭(正會員)

1996년 2월 : 서울대학교 무기재료 공학과 학사. 1998년 2월 : 포항공과대학교 재료금속공학과 석사. 2001년 8월 : 포항공과대학교 신소재공학과 박사. <주관심분야> 화합물반도체 소자의 제작 및 물성분석



李 鐘 覽(正會員)

1980년 2월 : 한양대학교 금속공학과 학사. 1982년 2월 : KAIST 재료공학과 석사. 1985년 2월 : KAIST 재료공학과 박사. 1985년 6월~1986년 10월 : Northwest University 및 Michigan Technological University 박사후과정 연구원. 1987년~1995년 : 한국전자통신연구원 선임 및 책임연구원. 1996년~현재 : 포항공과대학교 신소재공학과 부교수 및 교수. <주관심분야> 화합물 반도체를 이용한 전자 및 광전 소자 제작, GaN 및 SiC 등 극대 밴드갭 반도체의 금속/반도체 접합 및 계면의 특성 평가, 반도체 표면의 표면결합이 소자의 전기적 특성에 미치는 영향 분석