

論文2001-38SD-10-11

낮은 전류-입력 임피던스를 갖는 A급 바이폴라 전류 콘베이어 (CCII)와 그것의 오프셋 보상된 CCII의 설계

(A Design of Class A Bipolar Current Conveyor(CCII) with Low Current-Input Impedance and Its Offset Compensated CCII)

車炯雨 *

(Hyeong-Woo Cha)

요 약

고정도 전류-모드 신호 처리를 위한 낮은 전류-입력 임피던스를 갖는 A급 바이폴라 제 2세대 전류 콘베이어(CCII)와 그것의 오프셋 보상된 CCII를 제안하였다. 제안한 CCII는 전류 입력을 위한 정류된 전류-셀, 전압 입력을 위한 이미터 폴로워, 그리고 전류 출력을 위한 전류 미러로 구성된다. 이 구성에서, 전류 입력 단자의 임피던스를 줄이기 위해 두 입력 단은 전류 미러에 의해 결합되었다. 실험 결과, CCII의 전류 입력 단자의 임피던스는 $8.4\ \Omega$ 이하였고, 전류 입력 단자의 오프셋 전압은 $40\ \text{mV}$ 로 나타났다. 이 오프셋을 줄이기 위하여 오프셋 보상된 CCII는 제안한 CCII의 회로 구성에 다이오드-결선된 npn과 pnp 트랜지스터를 첨가시켰다. 실험 결과, 오프셋 보상된 CCII의 전류 입력 단자의 임피던스는 $2.1\ \Omega$ 이하였고, 전압 오프셋은 $0.05\ \text{mV}$ 로 나타났다. 제안한 두 CCII를 전압 폴로워로 사용할 때 3-dB 차단 주파수는 30 MHz이었다. 전력 소비는 6 mW이다.

Abstract

Class A bipolar second-generation current conveyor (CCII) with low current-input impedance and its offset-compensated CCII for high-accuracy current-mode signal processing are proposed. The CCII consists of a regulated current-cell for current input, an emitter follower for voltage input, and a cascode current mirror for current output. In these architecture, the two input stages are coupled by current mirror to reduce the current input impedance. Experiments show that the CCII has impedance of $8.4\ \Omega$ and offset voltage of $40\ \text{mV}$ at current input terminal. To reduce this offset, the offset-compensated CCII adopts diode-connected npn and pnp transistor in the proposed CCII. Experiments show that the offset-compensated CCII has current input impedance of $2.1\ \Omega$ and offset voltage of $0.05\ \text{mV}$. The 3-dB cutoff frequency of the CCII when used as a voltage follower extends beyond 30 MHz. The power dissipation is 7.0 mW

* 正會員, 淸州大學校 電子·情報通信·半導體工學部

(School of Electronic, Information & Communication, Semiconductor Eng., Chongju University)

※ 본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

接受日字:2001年2月1日, 수정완료일:2001年9月28日

I. 서 론

제 2세대 전류 콘베이어(second-generation current conveyor : CCII)는 전류-모드 신호 처리의 기본 구성 소자로서 잘 알려져 있다^{[1],[2]}. 이 소자는 Y 단자의 전압을 폴로워(follower)하는 X 단자가 전압 폴로워의 기능을 하고, X 단자로 유입 및 유출되는 전류를 콘베이

어(conveyor)하는 Z 단자가 전류 폴로워의 기능을 하고 있기 때문에, 전류-모드 신호 처리의 기본 구성 회로로서 CCII 자체 및 그것의 응용 회로의 연구가 활발히 진행되고 있다^{[3],[4]}. 이상적인 CCII의 전압 입력 Y 단자는 무한대의 입력 임피던스, 전류 입력 X 단자는 영(zero)의 입력 임피던스, 그리고 전류 출력 Z 단자는 무한대의 출력 임피던스를 갖는다.

전류 콘베이어(CCII)를 IC로 실현하기 위해 여러 가지 회로 구성이 개발되었으나, 그 대부분은 연산 증폭기(op-amp)를 이용한 전압-전류 변환기와 전류 미러를 조합한 회로 구성이었다. 이러한 CCII는 신호 처리 주파수 대역이 연산 증폭기의 주파수 특성에 의해 결정되기 때문에 전류-모드 특성이 없어지게 된다^{[5]-[6]}. 따라서 연산 증폭기를 사용하지 않고 트랜지스터만으로 구성되는 CCII가 필요하게 되었다.

최근, 연산 증폭기를 사용하지 않고 트랜지스터로만 구성된 A급 CMOS CCII가 발표되었다^[7]. 이 경우에서 pMOS와 nMOS의 정합을 가정하고 간단한 모델 파라미터를 사용하여 레벨(level) 1의 시뮬레이션을 통하여 그 동작 원리를 확인하였다. 그 결과, 연산 증폭기를 사용한 CCII 보다는 우수한 주파수 특성(3-dB 차단 주파수가 700MHz 정도) 및 전압 폴로워의 전달 특성을 얻을 수 있었다. 이 CMOS CCII의 회로 구성을 1.2 μm 표준 CMOS 공정을 이용하여 일본 야마하(YAMAHA) 반도체 회사를 통해 실제 칩(chip)으로 제작하여 그 성능을 측정한 결과가 또한 발표되었다^{[8]-[9]}. 이 결과에서 pMOS와 nMOS 트랜지스터의 트랜스컨덕턴스 부정합(표준 CMOS 제조 공정상 회로의 중심부에 있는 pMOS와 nMOS의 정합은 불가능함)으로 인하여, 20MHz 정도의 대역폭, 전압 폴로워의 비선형성, 좁은 전압 선형 범위, 큰 전류-입력 임피던스, 그리고 큰 오프셋 전압을 갖는 문제점을 갖고 있다는 것을 알 수 있었다.

이런 문제를 해결하는 방법은 크게 두 가지가 있다. 그 첫 번째는 완전한 튜인-웰(twin-well) 구조를 BiCMOS 공정을 이용하여 pMOS와 nMOS를 완전히 정합시킨 칩으로 제작하는 것이다^[10]. 그러나, 이 경우 제조 공정이 복잡해지는 문제점이 있다. 두 번째는 바이폴라 트랜지스터로 교체 및 회로를 재구성 또는 최적화 하는 것이다. 즉, 바이폴라 트랜지스터의 고유 특성인 npn과 pnp 트랜지스터의 트랜스컨덕턴스 g_m 은 열전압과 컬렉터 전류의 비(V_T/I_C)로 주어지기 때문

에 이 두 종류의 트랜지스터의 컬렉터 전류를 동일하게 하면 CMOS가 갖는 문제점을 해결할 수 있을 것이다^[11].

본 논문의 연구목적 그 첫 번째는 종래의 A급 CMOS CCII가 갖는 문제점을 해결하는 두 번째 방법을 이용하여 CMOS 트랜지스터를 바이폴라로 재구성 및 최적화 하여 컴퓨터 시뮬레이션과 개별소자를 사용한 브레드보드(breadboard) 실험을 통하여 그 동작 원리와 성능을 확인하는 것이다. 재구성 및 최적화된 바이폴라 A급 CCII의 회로 역시, npn과 pnp 트랜지스터의 베이스와 이미터 간의 전압 $[v_{BE} = V_T \ln(I_C/I_S)]$, 여기서 I_S 는 역포화 전류로서 npn과 pnp는 서로 다른 값을 갖고 있음이 다르기 때문에 오프셋이 발생하는 문제점이 있다. 이것은 두 트랜지스터의 베이스(base)와 이미터(emitter) 접합 면적을 정밀하게 조절함으로써 줄일 수 있지만, 이를 위해서는 정확한 마스크(mask) 설계와 정밀 제조 공정이 필요하다^{[12]-[13]}.

본 논문의 두 번째 연구 목적은 재구성 및 최적화된 A급 바이폴라 CCII의 문제점인 오프셋을 간단한 회로 설계만으로 보상할 수 있는 CCII 회로를 제안하는 것이다. 다음 장에서, 제안한 A급 바이폴라 CCII 회로들의 회로 구성 및 동작 원리에 대해 살펴보고, 실험을 통하여 그 동작 원리의 확인 및 그 성능을 평가한다. 성능 평가는 종래의 바이폴라 CCII 회로와 먼저 비교 분석하고, 최종적으로 본 저자가 발표한 A급 CMOS CCII와도 비교 검토한다.

II. 회로 구성 및 동작 원리

1. 종래의 A급 정극성 바이폴라 전류 콘베이어 트랜지스터만으로 구성된 종래의 A급 정극성(positive) 바이폴라 전류 콘베이어(CCII+)는 그림 1에 나타났다. 회로는 전압 폴로워 기능을 하기 위해 npn 이미터 폴로워 Q_1 와 pnp 이미터 폴로워 Q_2 가 직렬로 연결되었고, X 단자에 유입되는 전류를 복제 또는 폴로워(follower)시키기 위해 사용된 전류 미러 Q_3 과 Q_4 로 구성된다. 이 회로 구성은 간단하지만 X 단자 임피던스가 크기 때문에 이상적인 전압 폴로워로서 동작을 하지 못하는 문제점과 이상적인 전류 폴로워의 동작을 하기 위해 X 단자에 공급되는 신호 전류원의 출력 임피던스가 무한대가 되어야만 한다는 문제점을

안고 있다^{[6],[11]}.

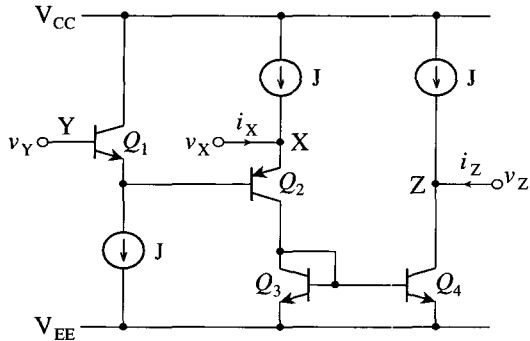


그림 1. 기본적인 A급 CCII+ 회로도
Fig. 1. Circuit diagram of basic class A CCII+.

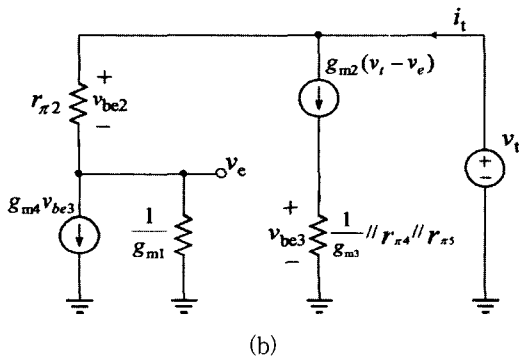
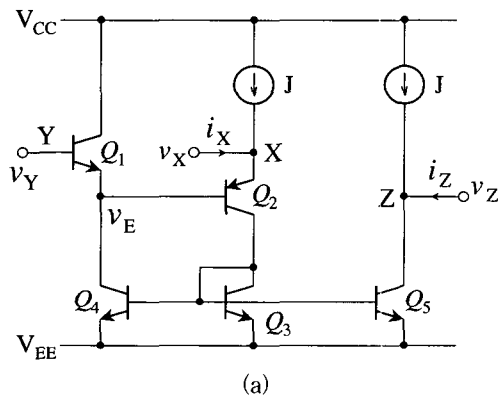


그림 2. (a) 제안한 A급 CCII+의 기본 회로도와 (b) r_X 를 구하기 위한 소신호 등가 회로

Fig. 2. (a) Basic circuit diagram of proposed class A CCII+ and (b) small-signal equivalent circuit for r_X .

2. A급 정극성 바이폴라 전류 콘베이어

그림 2(a)에 제안한 A급 정극성 바이폴라 전류 콘베이어(CCII+)의 기본 회로를 나타냈다. 회로는 전류 입

력을 위해 정류된(regulated) 전류 셀(cell)을 구성하는 트랜지스터 Q_1, Q_2, Q_3 , 그리고 Q_4 , 전압 입력을 위한 npn 이미터 폴로워를 구성하는 Q_1 과 Q_4 , 전류 입력 X 단자에 인가된 전류를 전류 출력 Z 단자로 복제하기 위한 전류 미러 Q_3 와 Q_5 으로 구성된다. 또한, 그림 2(a)의 회로에서는 그림1에 나타난 종래의 CCII+와 달리, v_{BE2} 의 변화와 v_{BE1} 의 변화를 같게 하기 위해 전류 미러 Q_3 와 Q_4 를 사용해 신호 전류 i_X 와 바이어스 전류 J를 귀환시켰다. 베이스 전류를 무시하고 전류 미러로 사용된 Q_3 와 Q_5 가 정합되었다고 가정하면 $i_Z = i_X$ 가 된다. 또한, 전류 i_X 는 Q_3 와 Q_4 로 구성된 전류 미러를 통해 Q_1 의 이미터에도 흐르게 된다. 따라서, 다음과 같은 관계식이 성립된다.

$$g_{m1}(v_Y - v_E) = g_{m2}(v_X - v_E) = -\frac{v_X}{R_X} \quad (1)$$

여기서 g_{m1} 과 g_{m2} 는 각각 Q_1 과 Q_2 의 트랜스컨덕턴스이고, v_E 는 Q_1 의 이미터 전압, R_X 는 X 단자와 접지간에 접속된 부하 저항이다. 식 (1)으로부터 v_Y 에 대한 v_X 의 관계식을 구하면

$$\frac{v_X}{v_Y} = \frac{g_{m1} g_{m2} R_X}{g_{m1} - g_{m2} + g_{m1} g_{m2} R_X} \quad (2)$$

가 된다. 위 식으로부터 $g_{m1} = g_{m2}$ 혹은 $g_{m1} g_{m2} R_X \gg (g_{m1} - g_{m2})$ 의 경우, R_X 와 관계없이 v_X 는 정확하게 v_Y 에 일치한다는 것을 알 수 있다.

X 단자의 입력 임피던스 r_X 를 구하기 위한 소신호 등가 회로를 그림 2(b)에 나타냈다. 전류 미러 Q_3 와 Q_4 가 정합되었다고 가정하고, 그림 2(b)으로부터 r_X 를 구하면 다음과 같이 된다.

$$r_X \equiv \frac{v_t}{i_t} = \frac{1}{g_{m2}} - \frac{1}{g_{m1}} + \frac{1}{g_{m1} g_{m2} r_{\pi 2}} \quad (3)$$

여기서, $r_{\pi 2}$ 는 Q_2 의 베이스와 이미터간의 저항이다. 전류 미러 Q_3 과 Q_4 에 의해 $i_{C1} = i_{C2}$ 가 되므로 $g_{m1} = g_{m2}$ 가 된다. 따라서, r_X 를 무시할 정도로 작은 값이 되므로 X 단자는 가상 접지(virtual ground)가 형성되어질 것이다.

신호 전류 i_X 를 X 단자에 입력하였을 경우, 입력 신

호 전류 i_x 는 Q_3 와 Q_4 로 형성된 전류 미러 통해 i_{c1} 이 되므로, 단자 Y에서의 입력 전류는 $i_Y = (1/\beta_1) i_x$ 가 된다. 따라서, Y 단자의 입력 임피던스 r_Y 는 다음과 같이 나타낼 수 있다^[1].

$$r_Y \equiv \frac{v_Y}{i_Y} = \beta_1 \frac{v_X}{i_x} = \beta_1 R_X \quad (4)$$

여기서, β_1 는 Q_1 의 유한한 공통-이미터 전류 이득 (common-emitter current gain)이다. 우리는 적절한 부하 저항 R_X 값을 선택함으로써 r_Y 를 높일 수 있다. Z 단자의 출력 임피던스는 전류 미러 구성(윌슨 또는 캐스코드 등)에 의해 높게 할 수 있기 때문에 i_Z 는 부하의 영향을 거의 받지 않는다. 따라서, 제안한 그림 2(a)의 회로에 대한 입력과 출력 관계는 위의 수식들에 근거하여 다음의 행렬식으로 표현할 수 있다^[1].

$$\begin{bmatrix} i_Y \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_Y \\ i_X \\ v_Z \end{bmatrix} \quad (5)$$

또한, 교차-결합(cross-coupled) 전류 미러를 사용해 i_Z 를 반전시킴으로써 부극성 전류 콘베이어(CCII-)도 실현할 수 있다^[2].

그림 2(a)에 제안한 A급 CCII+는 전류 미러 Q_3 와 Q_4 에 의해, $i_{c1} = i_{c2}$ 가 되어 식 (5)의 행렬식이 성립된다고 할 수 있다. 그러나, npn 트랜지스터 Q_1 과 pnp 트랜지스터 Q_2 의 부정합, 즉 바이폴라 트랜지스터의 대신호 모델에 관한 $I-V$ 관계식 $v_{BE} = V_T \ln(I_S/i_C)$ 에 의해, $I_{S1} \neq I_{S2}$ 가 되기 때문에 전류 입력 X 단자에 일정한 오프셋 전압이 발생된다^[11]. 따라서, 고정도의 전류-모드 신호처리의 기본 회로로는 부적합하다고 할 수 있다. 다음 절에서는, 그림 2(a)가 갖고 있는 문제점인 오프셋 전압을 보상한 CCII에 대한 회로를 제안함과 동시에 그 회로의 동작 원리를 설명한다.

3. 오프셋 보상된 A급 정극성 바이폴라 전류 콘베이어

그림 3(a)에 제안한 오프셋 보상된 정극성 바이폴라 전류 콘베이어(CCII+)의 기본 회로도를 나타냈다^[13]. 이 회로의 기본 구성은 그림 2(a)의 회로와 동일하며, 다른 점은 X 단자의 오프셋 전압을 보상하기 위해 다이오드 결선된 pnp 트랜지스터 Q_6 와 npn Q_7 을 사용

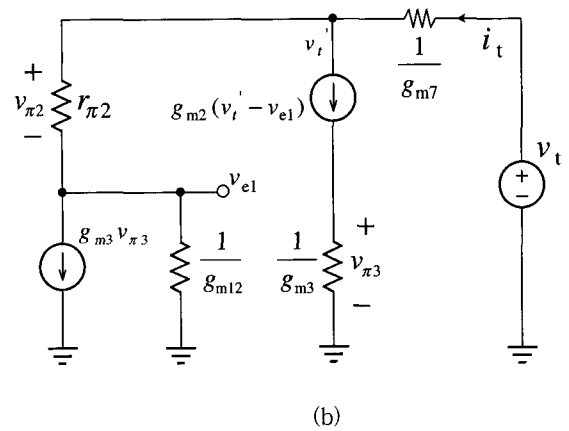
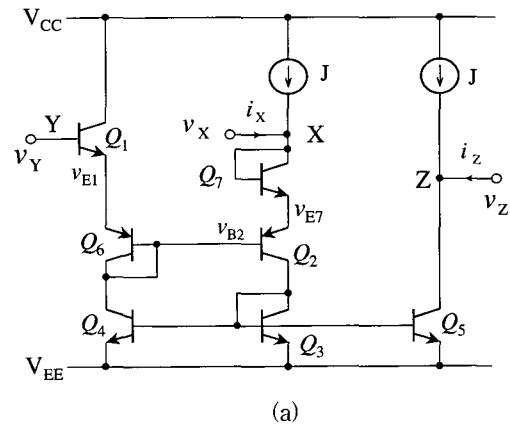


그림 3. (a) 오프셋 보상된 A급 CCII+의 기본 회로도 와 (b) r_X 를 구하기 위한 소신호 등가 회로

Fig. 3. (a) Basic circuit diagram of offset-compensated class A CCII+ and (b) small-signal equivalent circuit for r_X .

한 것이다. 모든 트랜지스터들의 베이스 전류를 무시한다면 전류 미러 Q_3 와 Q_4 에 의해 $i_{c1} = i_{c6} = i_{c2} = i_{c1}$ 이 된다. 따라서, Q_1 , Q_6 , Q_2 , 그리고 Q_7 의 루프(loop)에서는 v_{BE7} (nnp 트랜지스터)의 변화는 v_{BE1} (nnp 트랜지스터)의 변화로 상쇄시키고, v_{BE2} (pnp 트랜지스터)의 변화는 v_{BE6} (pnp 트랜지스터)의 변화로 각각 상쇄시키 오프셋을 보상하는 특징을 갖는다. 따라서, Y 단자에 인가된 전압 v_Y 는 X 단자의 전압 v_X 가 될 것이다. 또한, 전류 미러 Q_3 와 Q_5 에 의해 $i_Z = i_X$ 가 된다. 이 전류 i_X 는 Q_3 와 Q_4 로 구성된 전류 미러를 통해 Q_1 의 이미터에도 흐르게 된다. 따라서, 다음과 같은 관계식이 성립된다.

$$\begin{aligned}
 g_{m1}(v_Y - v_{E1}) &= g_{m6}(v_{E1} - v_{E2}) \\
 &= g_{m7}(v_X - v_{E1}) = g_{m2}(v_{E1} - v_{E2}) \quad (6) \\
 &= -\frac{v_X}{R_X}
 \end{aligned}$$

여기서 $g_{mi}(i=1, 2, 6, 7)$ 는 트랜지스터 Q_i ($i=1, 2, 6, 7$)의 트랜스컨덕턴스이고, v_{E1} 은 Q_1 의 이미터 전압, v_{E2} 는 Q_2 의 베이스 전압, v_{E1} 은 Q_7 의 이미터 전압, 그리고 R_X 는 단자 X와 접지간에 접속된 부하 저항이다. 식 (6)으로부터 v_Y 에 대한 v_X 의 관계식을 구하면 다음과 같이 주어진다.

$$\begin{aligned}
 \frac{v_Y}{v_X} &= 1 + \frac{1}{g_{m7} R_X} \\
 &- \frac{g_{m1}g_{m2} + g_{m2}g_{m6}}{g_{m1}R_X(g_{m2}g_{m6} + g_{m6}g_{m7})} \quad (7)
 \end{aligned}$$

Q_1, Q_2, Q_6 그리고 Q_7 의 베이스 전류를 무시하면 이들의 컬렉터 전류는 모두 동일하고, Q_1 과 Q_7 은 동일한 npn 트랜지스터이고 Q_2 와 Q_6 는 pnp 트랜지스터이므로, 우리는 $g_{m1} = g_{m7}, g_{m2} = g_{m6}$ 이 된다는 것을 알 수 있다. 따라서, 식 (7)은 정확하게 $v_Y / v_X = 1$ 이 된다는 것을 알 수 있으며 오프셋 전압이 매우 작아질 것이다. 단자 X의 입력 임피던스 r_X 를 구하기 위한 소신호 등가 회로를 그림 3(b)에 나타냈다. 그림 3(b)에 나타낸 등가 회로를 이용하면 r_X 는 다음과 같이 나타낼 수 있다.

$$\begin{aligned}
 r_X \equiv \frac{v_i}{i_i} &= \frac{1}{g_{m2}} - \frac{1}{g_{m12}} \\
 &+ \frac{1}{g_{m12}g_{m2}r_{\pi 2}} + \frac{1}{g_{m1}} \quad (8)
 \end{aligned}$$

여기서,

$$\frac{1}{g_{m12}} = \frac{1}{g_{m1}} + \frac{1}{g_{m2}} \quad (9)$$

이다. 전류 미러 Q_3 과 Q_4 에 의해 $g_{m1} = g_{m7} = g_{m2}$ 가 되므로 식(9)을 식 (8)을 대입하여 정리하면

$$r_X = \frac{g_{m1} + g_{m2}}{g_{m1}g_{m2}^2r_{\pi 2}} = \frac{2V_T}{I_{C1}\beta_2} \quad (10)$$

가 되어 X 단자는 가상 접지라고 할 수 있을 것이다.

오프셋 보상된 CCII+의 Y와 Z 단자는 그림 2(a)에

나타낸 CCII+ 회로와 같은 구성을 갖고 있기 때문에 Y 단자의 입력 임피던스 r_Y 와 Z 단자의 출력 임피던스 r_Z 는 그것과 각각 동일할 것이다. 따라서, 그림 3(a)에 나타낸 회로도 역시 식 (5)와 같은 행렬식을 만족할 것이며 교차-결합 전류 미러를 사용해 i_Z 를 반전 시킴으로써 오프셋 보상된 부극성 전류 콘베이어(CCII-)도 실현할 수 있다^[2].

4. 제안한 CCII+들의 완전한 회로

그림 2(a)에 나타낸 A급 정극성 전류 콘베이어 (CCII+)의 완전한 회로를 그림 4에 나타냈다. 이 회로와 그림 2(a)의 기본적인 CCII+ 회로의 차이점은 (1) 바이어스 정전류원 J를 캐스코드(cascode) 전류 미러를 이용하여 실현, (2) 이미터 폴로워 Q_1 에 대해 얼리 효과(Early effect)를 줄이기 위해 다이오드 접속된 트랜지스터 Q_{15} 과 Q_{16} 의 사용, (3) 전류 출력 Z 단자의 임피던스를 높이기 위해 바이어스 회로(Q_8, Q_{12}, Q_{17} , 그리고 Q_{18} 로 구성)와 Q_{14} 를 각각 사용한 것이다. 그림 3(a)에 제시한 오프셋 보상된 CCII+의 완전한 회로는 그림 5에 나타냈다. 오프셋 보상을 위해 사용한 Q_6 과 Q_7 를 제외하고는 그림 4와 동일하다.

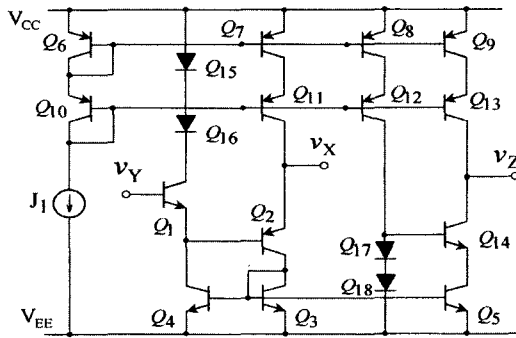


그림 4. 제안한 A급 CCII+의 완전한 회로.
Fig. 4. Complete circuit of the proposed CCII+.

그림 4와 5의 CCII+에 대해 베이스 전류를 무시하고 $v_X/v_Y, r_Y$, 그리고 r_X 를 구하면 그림 2(a)와 3(a)의 그것들과 각각 일치한다. 그러나, 정류된 전류 셀과 다수의 전류 미러들로 구성된 그림 4와 5에 나타낸 CCII+의 회로 성능은 유한한 공통-이미터 전류 이득 β 값에 영향을 받는다. 이하, 유한한 β 값을 고려해 그림 4의 CCII+에 대한 입-출력 관계 및 단자 특성을 설명한다.

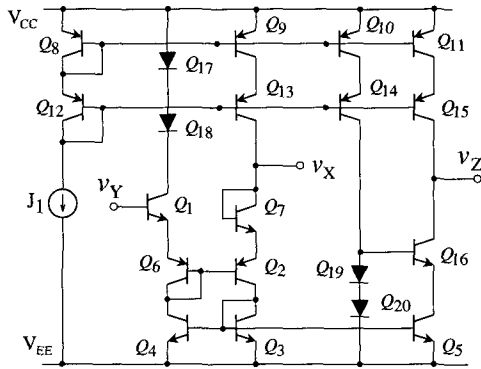


그림 5. 오프셋 보상된 CCII의 완전한 회로도
Fig. 5. Complete circuit of the offset-compensated CCII+.

바이어스 전류 J_1 에 대해 pnp 트랜지스터의 전류 미러들과 i_X 에 대해 npn 트랜지스터의 전류 미러들을 고려하여, i_X 에 대한 i_Z 를 구하면 다음과 같이 주어진다.

$$i_Z = \left(1 - \frac{\alpha_P}{1 + \frac{4}{\beta_N}}\right) \left(\frac{1}{1 + \frac{4}{\beta_P}}\right) J_1 + \left(\frac{\alpha_P}{1 + \frac{4}{\beta_N}}\right) i_X \quad (11)$$

여기서, β_P 와 β_N 는 pnp와 npn 트랜지스터의 각각의 공통-이미터 전류 이득이고 $\alpha_P = \beta_P / (\beta_P + 1)$ 이다. 또한, i_{C2} 에 대한 i_{C1} 를 구하면

$$i_{C1} = \left(\frac{1}{1 + \frac{5}{\beta_N}} + \frac{\alpha_N}{\beta_P + 1}\right) i_{C2} = B i_{C2} \quad (12)$$

이 된다. 여기서, $\alpha_N = \beta_N / (\beta_N + 1)$ 이고 B는 식 (12)의 괄호 안의 항이다. 위 식으로부터 $g_{m1} = B g_{m2}$ 이 된다. 따라서, 그림 4의 CCII+에 대한 실제의 v_X/v_Y , r_X , 그리고 r_Y 는 각각 다음과 같이 주어진다.

$$\frac{v_X}{v_Y} = \frac{B g_{m2} R_X}{B - 1 + B g_{m2} R_X} \quad (13)$$

$$r_X = \frac{1}{g_{m2}} \left(1 - \frac{1}{B} + \frac{1}{B g_{m2} r_{\pi 2}}\right) \quad (14)$$

$$r_Y = \beta_1 \frac{v_X}{B i_X} = \frac{\beta_1}{B} R_X \quad (15)$$

Z 단자의 임피던스 r_Z 는 다음과 주어진다.

$$r_Z(\text{CCII}+) = (\beta_{13} r_{O13}) // (\beta_{14} r_{O14}) \quad (16)$$

여기서, r_{O13} 와 r_{O14} 는 Q_{13} 와 Q_{14} 의 컬렉터 단자들 둘러다본 각각의 출력 저항이다.

그림 5에 나타난 CCII+ 회로는 그림 4에 나타난 회로의 오프셋 전압은 보상하지만, 오프셋 보상용 다이오드-결선된 트랜지스터 Q_6 과 Q_7 의 사용으로 인하여 X 단자에 나타나는 전압의 다이내믹(dynamic) 범위가 약 0.7 V로 줄어드는 문제점이 있다. 따라서, Z 단자의 출력 전류의 다이내믹 범위도 줄어드는 단점이 있다. 따라서, 우리는 본 연구에서 제안한 CCII+를 응용할 경우 오프셋 전압이 중요한 시스템 회로 설계를 할 경우 그림 5에 나타난 회로를 이용하고 다이내믹 범위가 중요한 시스템 설계를 할 경우는 그림 4에 나타난 회로를 응용해야할 것으로 사료된다.

III. 실험 결과 및 고찰

제안한 그림 4의 A급 바이폴라 CCII+와 그림 5의 오프셋 보상된 CCII+의 동작 원리와 성능을 PSPICE 시뮬레이션을 통해 확인하였다. 시뮬레이션에 사용된 바이폴라 트랜지스터 모델은 가장 일반적인 것으로 컬렉터 전류가 10 mA일 때 전류 이득 대역폭(current gain band product) f_T 가 450 MHz인 MPQ2N3904 (nnp)와 MPQ2N3906(pnp)이며, 완전한 모델 파라미터(parameter)는 표 1에 나타냈다^{[13]-[14]}. 시뮬레이션할 때, 전원 전압 $V_{CC} = -V_{EE} = 3.5$ V, 바이어스 전류원

표 1. MPQ2N3906(pnp)과 MPQ2N3904(nnp)의 모델 파라미터

Table 1. Model parameters of MPQ2N3906(pnp) and MPQ2N3904(nnp).

.model MPQ2N3906 PNP(Is=1.41f Xti=3 Eg=1.11 Vaf=18.7 Bf=180.7 Ne=1.5 Ise=0 Ikr=80m Xtb=1.5 Br=4.977 Nc=2 Isc=0 Ikr=0 Rc=2.5 Cjc=9.728p Mjc=.5776 Vjc=.75 Fc=.5 Cje=8.063p Mje=.3677 Vje=.75 Tr=33.42n Tf=179.3p Itf=.4 Vtf=4 Xtf=6 Rb=10)
.model MPQ2N3904 NPN(Is=6.734f Xti=3 Eg=1.11 Vaf=74 Bf=416.4 Ne=1.259 Ise=6.734f Ikr=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

J_1 은 캐스코드(cascode) 전류 미러로 구성하였고 $J_1=200 \mu A$ 로 각각 설정했다. 제안한 CCII+의 회로 성능을 비교하기 위해, 그림 1에 나타난 종래의 CCII+의 회로를 동일한 조건으로 설정하여 PSPICE 시뮬레이션하였다. 또한, 그림 1, 4, 그리고 5에 나타난 회로를 개별소자인 트랜지스터 어레이(array) MPQ3904와 MPQ3906를 사용하여 시뮬레이션과 같은 조건으로 브레드보드상에서 실험 및 측정하였다. 이때 바이어스 전류 J_1 의 값은 $100 \text{ k}\Omega$ 의 정밀 가변 저항기를 사용하여 설정했다. 직류 전압 및 전류 측정은 HP974, 전압 신호원은 HP33120A, 그리고 파형 관측은 TDS360으로 각각 사용하였다.

그림 6는 CCII+의 Y 단자와 Z 단자를 접지시키고 X 단자에 직류 전류 i_x 를 입력했을 때 i_x 에 대한 v_x 의 특성, 즉 X 단자의 입력 임피던스와 오프셋 전압을 시뮬레이션한 결과이다. 그림으로부터 그림 4와 5에 나타난 CCII+의 X 단자의 입력 임피던스 r_x 는 각각 8.4Ω 과 2.1Ω 임을 알 수 있고, 이 값들은 종래의 CCII+(그림 1의 회로)의 그것보다 각각 22.5와 90배 작은 값이다. 또한, 그림 1과 4의 CCII+의 경우, Q_1 과 Q_2 의 v_{BE} 의 부정합에 의해 40 mV 의 오프셋 전압이 존재하지만 그림 5의 CCII+의 경우 오프셋 보상 회로에 의해 오프셋 전압이 0.05 mV 임을 알 수 있다.

그림 7(a)는 X 단자에 부하 저항 $R_x=10 \text{ k}\Omega$ 으로 종단했을 때, 입력 전압 v_y 에 대한 v_x 의 전압 폴로워 특성 및 오프셋 전압을 시뮬레이션한 결과이다. 그림에서 오른쪽 Y축은 Y 단자의 전압과 X 단자의 전압 차 (v_y-v_x), 즉 오프셋 전압의 변화를 나타낸 것이다. 그림 1과 그림 4의 CCII+는 40 mV 정도의 오프셋 전압을 갖고 있고 -2.75 V 부터 $+2.0 \text{ V}$ 까지의 입력 범위에서 선형적인 전압 폴로워 동작을 하고 있다는 것을 알 수 있다. 그러나, 그림 5의 CCII+는 오프셋 보상 회로에 의해 0에 가까운 오프셋을 갖고 -2 V 부터 $+2 \text{ V}$ 까지의 입력 범위에서 선형적인 전압 폴로워 동작을 하고 있다는 것을 알 수 있다. 즉, 오프셋은 보상되었지만 출력 스윙(swing) 범위가 0.75 V 정도로 줄어들었다. 시뮬레이션과 같은 조건으로 브레드보드상에서 실험한 전압 폴로워 특성을 그림 7(b)에 나타냈다. 이 그림에서 마크(mark)로 표시된 부분이 측정된 결과의 데이터에 해당된다. 이 결과로부터 시뮬레이션한 결과와 거의 일치한다는 것을 알 수 있다.

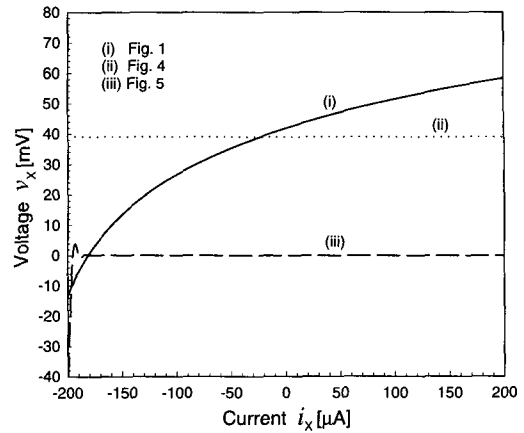


그림 6. i_x 에 대한 v_x 의 입력 임피던스 특성.
Fig. 6. Input impedance characteristics of i_x vs. v_x .

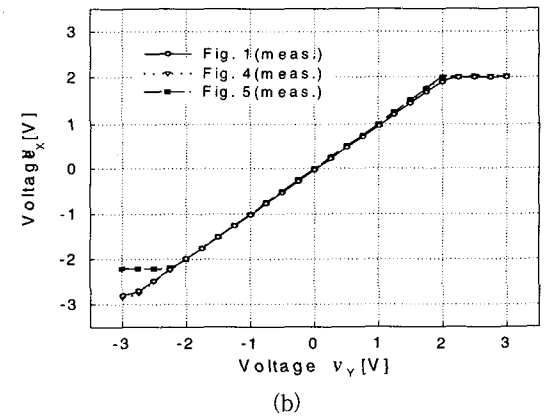
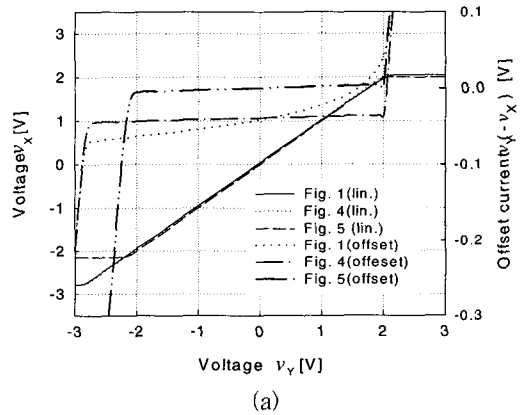


그림 7. v_y 에 대한 v_x 의 전압 폴로워 특성; (a) 시뮬레이션 결과, (b) 브레드보드 실험 측정 결과
Fig. 7. Voltage follower characteristics of v_y vs. v_x ; (a) simulation results and (b) measurement results of breadboard experiment.

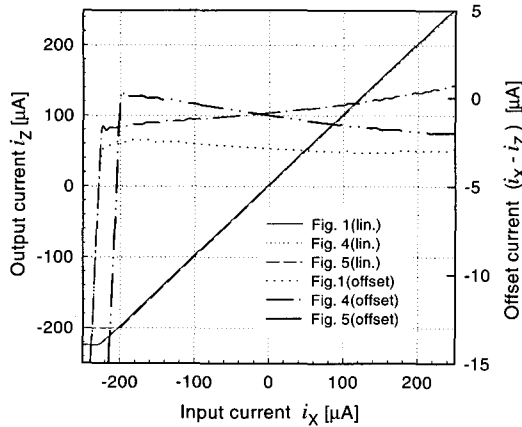


그림 8. i_x 에 대한 i_z 의 전류 플로워 및 오프셋 전류 특성.

Fig. 8 Characteristics of current follower i_z vs. i_x and offset current.

그림 8은 Y 단자를 접지시키고 Z 단자에 부하 저항 $R_Z = 1\text{ k}\Omega$ 으로 중단했을 때, 입력 전류 i_x 에 대한 출력 전류 i_z 의 특성 및 오프셋 전압을 시뮬레이션한 결과이다. 그림에서 오른쪽 Y축은 X 단자의 전류와 Z 단자의 전류 차 ($i_x - i_z$), 즉 오프셋 전류의 변화를 나타낸 것이다. 이 결과로부터, 그림 1, 4, 그리고 5에 나타낸 모든 CCII+가 $-200\text{ }\mu\text{A}$ 부터 $+200\text{ }\mu\text{A}$ 까지의 입력 범위에서 선형적인 전류 플로워로 동작을 하고 있다는 것을 알 수 있다. 또한, 그림 1, 4, 그리고 5에 나타낸 CCII+의 출력 오프셋 전류가 각각 $3\text{ }\mu\text{A}$, $1\text{ }\mu\text{A}$ 그리고 $1\text{ }\mu\text{A}$ 임을 알 수 있다. 이들 오프셋 전류는 유한한 공통-이미터 전류 이득 β 에 의한 것이다.

그림 9(a)는 그림 1, 4, 그리고 5에 나타낸 CCII+를 비반전 전압 증폭기로 사용했을 경우, 각각의 전압 이득 v_z/v_y 와 v_x/v_y 에 대한 주파수 특성을 시뮬레이션한 결과이다. X 와 Z 단자에 R_X 와 R_Z 로 각각 중단했을 때 이상적인 이득(X 단자의 내부 임피던스가 0인 경우)은 $v_z/v_y = R_Z/R_X$ 이 된다. 그림 9(a)로부터, $R_X = R_Z = 10\text{ k}\Omega$ 일 경우 모든 CCII+의 전압 이득이 $v_z/v_y = 1$ 이라는 것을 알 수 있다. 이득을 높이기 위해 $R_X = 500\text{ }\Omega$, $R_Z = 12.5\text{ k}\Omega$ 로 설정했을 경우, 그림 5에 나타낸 오프셋 보상된 CCII+는 이론식 ($v_z/v_y = 25$)에 가까운 이득 특성을 얻을 수 있다는 것을 알 수 있다. 그림 4에서 제안한 CCII+의 v_z/v_y

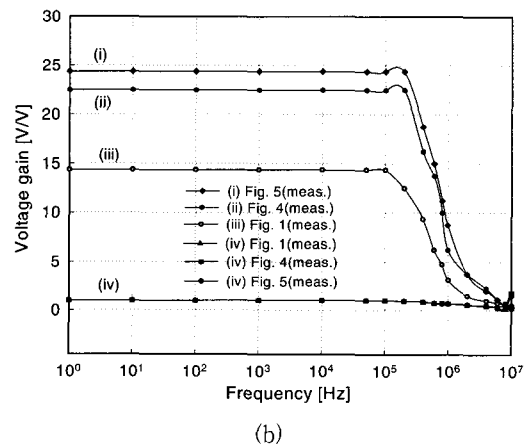
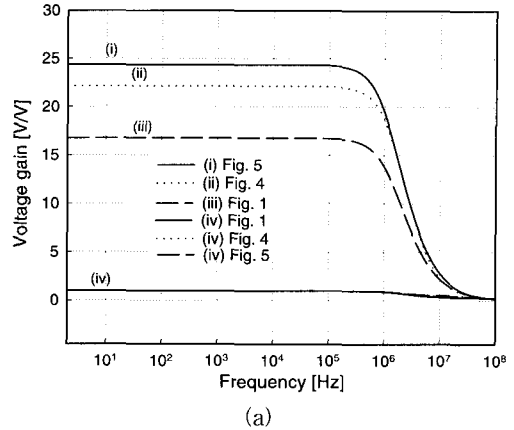


그림 9. 제안한 CCII+를 전압 증폭기로 응용하였을 경우 주파수 특성; (a) 시뮬레이션 결과, (b) 브레드보드 실험 측정 결과 (i) Fig. 5($R_X = 500$, $R_Z = 12.5\text{ k}\Omega$ 일 때 전압이득 v_z/v_y). (ii) Fig. 4($R_X = 500$, $R_Z = 12.5\text{ k}\Omega$ 일 때 전압이득 v_z/v_y). (iii) Fig. 1($R_X = 500$, $R_Z = 12.5\text{ k}\Omega$ 일 때 전압이득 v_z/v_y). (iv) Fig. 1, 4, and 5 ($R_X = R_Z = 10\text{ k}\Omega$ 일 때 전압이득 v_x/v_y)

Fig. 9 Frequency characteristics of the CCII+ when used as a voltage amplifier; (a) simulation results and. (b) measurement results of breadboard experiment. (i) Fig. 5(voltage gain v_z/v_y at $R_X = 500$, $R_Z = 12.5\text{ k}\Omega$). (ii) Fig. 4(voltage gain v_z/v_y at $R_X = 500$, $R_Z = 12.5\text{ k}\Omega$). (iii) Fig. 1(voltage gain v_z/v_y at $R_X = 500$, $R_Z = 12.5\text{ k}\Omega$). (iv) Fig. 1, 4, and 5(voltage gain v_x/v_y at $R_X = R_Z = 10\text{ k}\Omega$)

의 이득은 22.5로서 이론식과 차이가 남을 알 수 있다. 이것은 X 단자의 내부 임피던스 r_x 가 0이 아니기 때

문에 전압 이득이 $v_z/v_Y = R_z/(R_x + r_x)$ 로 주어지고 유한한 β 값에 영향을 받기 때문이라고 할 수 있다. 그러나, 그림 1에 나타난 종래의 CCII+의 전압 이득은 이론식보다 현저히 떨어짐을 알 수 있다. 또한, 제안한 두 CCII+의 전압 이득 $v_x/v_Y=1$ 에 대한 3-dB 차단 주파수는 30 MHz 이상이다. 그림 9(a)에 대한 컴퓨터 시뮬레이션과 같은 조건으로 브레드보드상에서 실험한 비반전 전압 증폭기 특성을 그림 9(b)에 나타냈다. 이때 입력 신호 전압 v_Y 의 크기를 80 mV로 설정하였다. 그림에서 마크(mark)로 표시된 부분이 측정된 결과의 데이터에 해당된다. 이 결과로부터 제안한 두 종류의 A급 CCII+의 회로는 저주파에서 전압 이득 특성은 시뮬레이션한 결과와 거의 일치한다는 것을 알 수 있다. 그러나, 고주파 부분에서는 브레드보드상에서 실험한 결과의 주파수 특성이 떨어진다는 것을 알 수 있다. 이것은 브레드보드상에서 각각의 소자들을 연결한 도선의 저항과 기생 커패시터에 의해서 발생하는 것으로 사료된다.

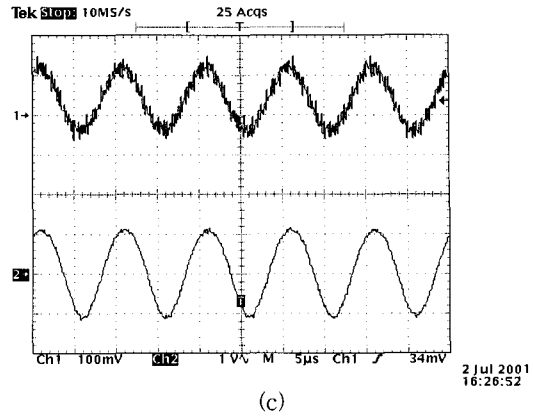
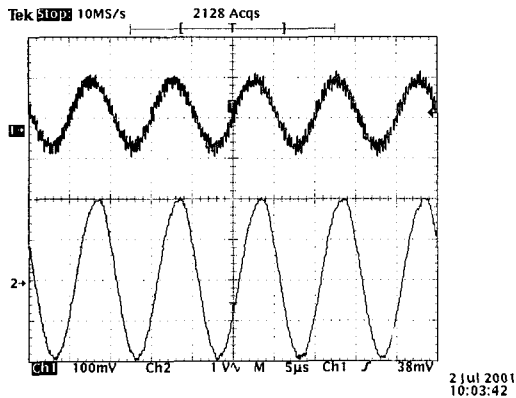
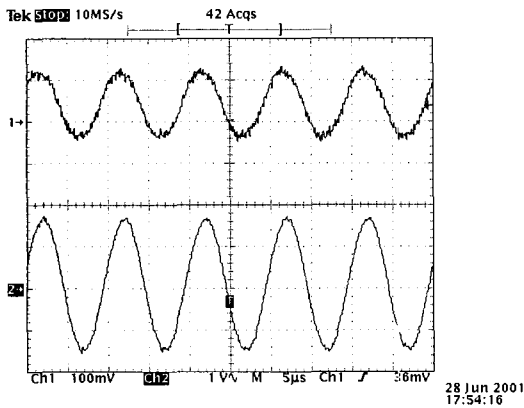


그림 10. 제안한 CCII+를 전압 증폭기로 응용하였을 경우 ($R_x=500, R_z=12.5$ k Ω 일 때) 입력과 출력 파형 (상측 파형은 입력 신호, 하측 파형은 Z 단자의 출력.) $R_x=500, R_z=12.5$ k Ω . (upper waveform is input signal and lower is output of Z terminal) (a) CCII+ of Fig. 5, (b) CCII+ of Fig. 4, (c) CCII+ of Fig. 1

Fig. 10. Input and output waveforms of CCII+ when used as a voltage amplifier (at $R_x=500, R_z=12.5$ k Ω). (upper waveform is input signal and lower is output of Z terminal) (a) CCII+ of Fig. 5, (b) CCII+ of Fig. 4, (c) CCII+ of Fig. 1.



(a)



(b)

그림 9(b)에 나타난 비반전 전압 증폭기 특성 실험에서 입력 주파수가 100 kHz일 때 관측된 입력과 출력 파형을 그림 10에 나타냈다. 그림 10의 (a)는 그림 5의 CCII+, (b)는 그림 4의 CCII+, 그리고 그림 (c)는 그림 1의 CCII+에 해당되는 각각의 결과이다. 이들의 결과로부터 오프셋 보상된 CCII의 경우 이론식 $v_z = (R_z/R_x)v_Y = 25 \times 80$ mV = 2.0 V 과 거의 일치한 파형을 얻을 수 있다는 것을 알 수 있다. 제안한 두 CCII+의 전력 비는 각각 6 mW이다.

본 연구에서 제안한 A급 바이폴라 CCII들과 본 저자가 발표한 A급 CMOS CCII의 성능 비교를 표 2에 나타냈다. 이 표에서 순번 1에 해당되는 참고문헌 [7]의 실험은 pMOS와 nMOS의 정합을 가정하고 기본적인 모델 파라미터를 사용하여 레벨 1으로 컴퓨터 시뮬레이션한 결과이다. 순번 2와 3에 해당하는 참고문헌 [8]와 [9]의 실험은 1.2 μ m 표준 CMOS 공정을 이용하여 일본 야마하(YAMAHA) 반도체 회사를 통해 실제 칩(chip)으로 제작하여 그 성능을 측정된 결과이다. 이

결과로부터, 본 논문에서 제안한 오프셋 보상된 바이폴라 CCII가 전체적으로 가장 우수한 특성을 갖고 있다는 것을 알 수 있다. 따라서, 제안한 오프셋 보상된 바이폴라 CCII는 고정도의 전류-모드 신호처리에 적합할 것으로 사료된다.

표 2. CMOS A급 CCII와의 성능 비교

Table 2. Performance comparison with class A CMOS CCII.

순번	CCII 종류	전류-입력 임피던스	VF의 선형오차	VF의 선형범위	3-dB차단 주파수	오프셋 전압
1	A급 CMOS CCII 참고문헌[7]	50 Ω	1.6%	-2.0V~+2.0V	700MHz	24mV
2	A급 CMOS CCII, 참고문헌[8-9]	300 Ω	10%	-0.5V~+1.8V	20MHz	-0.43V
3	종래의 BJT CCII+(그림1)	180 Ω	5%	-2.7V~+2.7V	30MHz	40mV
4	최적화된 BJT CCII+(그림4)	8.4 Ω	1.5%	-2.0V~+2.0V	30MHz	40mV
5	오프셋 보상된 BJT CCII+(그림5)	2.1 Ω	1.2%	-2.0V~+2.0V	30MHz	0.05mV

(여기서 VF는 전압 폴로워를 의미함)

IV. 결 론

낮은 전류-입력 임피던스를 갖는 A급 바이폴라 정극성 전류 콘베이어(CCII+)를 재구성 및 최적화 하였고 이것의 오프셋 전압을 보상하는 A급바이폴라 CCII+를 또한 제안하였다. 제안된 CCII+들은 컴퓨터 시뮬레이션과 개별소자를 이용한 브레드보드 실험을 통하여 동작 원리와 성능을 확인하였다. 제안한 두 CCII+는 종래의 CCII+의 구성과 다르게 전류 입력 단자의 임피던스를 줄이기 위해 전압 입력단과 전류 입력단을 전류 미러로 결합한 것이다. 이것을 기초로 하여 최적화된 CCII+는 우수한 주파수 특성과 종래의 CCII+ 보다 22.5배 작은 전류 입력 단자의 임피던스를 갖고 있지만 전류 입력 단자에 40 mV 정도 오프셋 전압이 생기는 문제점이 있다. 이 문제점을 해결하기 위해, 제안한 오프셋 보상된 CCII+의 회로에서는 개발한 CCII+의 회로 구성에 npn과 pnp 트랜지스터를 각각 1 개씩만 첨가시켜 오프셋 전압을 0.05 mV로 감소시켰다. 따라서, 제안한 오프셋 보상된 CCII+는 이상적인 단자 특성을 갖고 있기 때문에 고정도의 전류-모드 신호 처리의 기본 빌딩 블록으로 매우 유용하게 사용되리라 기대된다.

참 고 문 헌

- [1] A. S. Sedra and K. C. Smith, "A second-generation current conveyor and its applications," IEEE Transactions on Circuit Theory, vol. CT-17, pp. 132~134, Feb. 1970.
- [2] A. S. Sedra, G. W. Roberts, and F. Gohh, "The current conveyor : history, process and new results," IEE Proceeding, vol. 137. Pt. G, no. 2, pp. 78~87, Apr. 1990.
- [3] C.-M. Chang, "Current mode allpass/notch and bandpass filter using single CCII," Electron. Lett., vol. 27, no. 20, pp. 1812~1813, Sept. 1991.
- [4] W. Kiranon, J. Kesorn and P. Wardkein, "Current controlled oscillator based on translinear conveyors," Electron. Lett., vol. 32, no. 15, pp. 1330~1331, July 1996.
- [5] C. Toumazou, F. J. Lidgley, and D. G. Haigh, Analogue IC design : the current-mode approach, London ; Peter Peregrinus, 1990, chap. 4.
- [6] A. Payne and C. Toumaou, "Practical integrated current conveyors," in IEEE ISCAS Tutorials, pp. 632~641, 1994.
- [7] H.-W. Cha and K. Watanabe, "Wideband CMOS current conveyors," Electron. Lett., vol. 32, no. 14, pp. 1245~1246, July 1996.
- [8] 차 형우, "A급 CMOS 전류 콘베이어(CCII)," 대한전자공학회 논문지, 제34권, 제9호, pp. 1~9, 1997년 9월
- [9] H.-W. Cha S. Ogawa and K. Watanabe, "Class A CMOS Current Conveyors," IEICE Trans. Fundamentals, vol. E81-A, no. 6, pp. 1164~1167, June 1998.
- [10] R. H. Havemann and R. H. Eklund, "Overview of BiCMOS device and process integration," in IEEE Press BiCMOS integrated circuit design with analog, digital, and smart power applications, pp. 32~40, 1994.
- [11] 차 형우, 김 종필, 박 상렬, 정 원섭, "A급 바이폴라 전류 콘베이어(CCII)," 1997년도 대한전자공학 회추계종합학술대회논문지 제20권 제2호, pp. 73

1~734, 1997년 11월

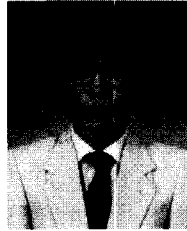
[12] A. B. Grebene, Bipolar and MOS analog integrated circuit design, John Wiley & Sons, chap. 7.9, 1984

[13] 차 형우, 이 주찬, 박 회중, 정 원섭, “오프셋 보상된 A급 바이폴라 전류 콘베이어(CCII),” 1999년도 대한전자공학회추계종합학술대회논문지 제 22권 제2호, pp. 971~974, 1997년 11월

[14] DesignLab Release 8, MicroSim. Co. LTC.

[15] Data sheet MMPQ3906 and MMPQ3904, Fairchild semiconductor.

저 자 소 개



車 炯 雨(正會員)

1989년 2월 : 청주대학교 반도체공학과 졸업. 1991년 2월 : 청주대학교 대학원 전자공학과 공학석사 학위 취득. 1997년 3월 : 일본 静岡 (Shizuoka)대학 대학원 전자과학연구과 공학박사 학위 취득. 1997년 9월~현재 : 청주대학교 이공대학 전자·정보통신·반도체 공학부 교수. 1991년 3월~1993년 6월 : 대덕연구단지(내) BlueCode 근무. <주관심분야> Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등임