

論文2001-38SD-11-7

저 전력 전하 재활용 롬 구조 (A Low Power Charge Recycling ROM Architecture)

梁炳燾*, 金利燮**

(Byung-Do Yang and Lee-Sup Kim)

요 약

새로운 저전력 전하 재활용 롬(charge recycling ROM) 구조를 제안하였다. 전하 재활용 롬은 전력 소모를 줄이기 위하여 전체 롬에서의 소모전력의 약90%를 소모하는 비트라인(bit line)에 전하 재활용 방식을 사용한 롬이다. 제안된 방식을 사용하였을 경우, 비트라인의 수가 무한이 많고 감지 증폭기(sense amplifier)가 무한히 미세한 전압차를 감지할 수 있다면, 롬의 비트라인은 전력을 거의 소모하지 않는다. 그러나, 실제 존재하는 감지 증폭기는 매우 작은 전압차를 감지할 수 없기 때문에, 롬에서의 전력 감소량은 제한 된다. 모의 실험 결과는 전하 재활용 롬이 기존의 저 전력 콘택트 프로그래밍 롬(contact programming ROM)의 13% ~ 78% 전력만을 소모함을 보여준다.

Abstract

A new low power charge-recycling ROM architecture is proposed. The charge-recycling ROM uses charge-recycling method in bit lines of ROM to save the power consumption. About 90% of the total power used in the ROM is consumed in bit lines. With the proposed method, power consumption in ROM bit lines can be reduced asymptotically to zero if the number of bit lines is infinite and the sense amplifiers detect infinitely small voltage difference. However, the real sense amplifiers cannot sense very small voltage difference. Therefore, reduction of power consumption is limited. The simulation results show that the charge-recycling ROM only consumes 13% ~ 78% of the conventional low power contact programming mask ROM.

I. 서 론

PDA, 핸드폰, 노트북 컴퓨터와 같은 무선 휴대 기기의 사용이 증가함에 따라, 전력 소모가 VLSI 칩 설계

의 주된 관심사가 되고 있다. 롬(ROM)은 디지털 필터나 DSP와 같은 VLSI 칩에서 매우 중요한 부분 중의 하나로 사용 빈도가 매우 높으며 크기도 지속적으로 증가하고 있기 때문에, 롬의 전력 소모를 줄임으로써 전체 VLSI 칩에서의 전력 소모를 크게 줄일 수 있다. 이와 같은 이유에 의하여 롬의 전력 소모를 줄이기 위한 많은 기술들이 제안되었다.^{[1]-[3]}

롬의 비트라인(bit line)은 상대적으로 큰 커패시턴스(capacitance)를 가지고 있으며 동시에 많은 수의 비트라인이 선택되기 때문에, 롬의 비트라인에서의 전력 소모가 롬 전체 전력 소모의 90%에 이를 정도로 비트라인에서 대부분의 전력이 소모된다.^[1] 따라서, 대부분의 롬을 위한 저전력 기술들은 롬의 비트라인에서 소모되

* 學生會員, ** 正會員, 韓國科學技術院 電子電算學科 電氣 및 電子工學 전공

(Division of Electrical Engineering, Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학기술원과 미세정보센터의 지원을 받아 수행되었습니다.

接受日字:2001年6月20日, 수정완료일:2001年10月9日

는 전력을 줄이는데 초점이 맞추어져 있다.

본 논문에는, 롬의 비트라인에서의 전력 소모를 줄이기 위하여 전하 재활용 롬(charge recycling ROM) 구조가 제안되었다. 전하 재활용 롬은 전하 재활용^[4] 방식을 사용하여 롬의 비트라인에서 소모되는 전력의 대부분을 줄인 저 전력 롬이다. 동시에 더 많은 수의 비트라인이 선택되어 사용될수록 재활용 롬은 기존의 다른 저 전력 롬들에 비하여 더욱 적은 전력을 소모하게 된다.

2장 1절에서는 롬의 비트라인에서의 전하 재활용 동작 개념을 설명한다. 전하 재활용 롬은 비트라인에서의 전압 스윙(voltage swing)을 줄이고 다른 비트라인에서 사용한 전하를 재활용 함으로써 전력 소모를 줄인다. 2장 2절에서는 롬의 비트라인들 사이의 작은 전압차를 감지하여 롬에 저장된 데이터를 얻기 위하여 사용하는 감지 증폭기(sense amplifier)를 설명한다. 2장 3절에서는 제안된 전하 재활용 롬의 전체 구조를 설명하고, 2장 4절에서는 롬의 코어 셀(core cell) 트랜지스터들의 효과적인 레이아웃(layout)을 제안한다. 3장에서는 모의 실험 결과를 보여주고 기존의 저전력 롬들과 비교를 한다. 마지막으로 4장에서는 결론을 맺는다.

II. 전하 재활용 롬 구조

1. 전하 재활용 롬의 동작 개념

그림 1과 그림 2는 전하 재활용 롬의 동작 개념을 설명하고 있다. 모든 비트라인은 여러 개의 그룹들로 묶여져 있으며, 각 그룹들은 N 개의 비트라인 쌍을 가진 2N 개의 비트라인으로 구성된다. 한 쌍의 비트라인에서 사용된 전하들은 다음 클럭(clock)에 같은 그룹의 인접한 다른 두 개의 비트라인에서 다시 사용된다. 이와 같이 이전에 다른 비트라인에서 사용한 전하를 다른 비트라인에서 재 사용하는 것이 전하 재활용 롬의 기본 개념이다.

그림 1은 롬에 저장되는 데이터에 의하여 프로그램 되는 연결선들과 비트라인을 보여준다. 기존의 롬들은 한 개의 비트라인을 사용하여 1 비트 데이터를 얻었다. 그러나, 제안된 전하 재활용 롬은 1 비트의 데이터를 얻기 위하여 두 개의 비트라인을 사용한다. 이것은 두 개의 비트라인에 작은 전압차를 감지하여 저장되어 데이터를 얻어내는 DRAM과 같은 원리이다. 0 또는 1의 데이터에 의하여 한 쌍의 비트라인과 인접한 비트라인

의 연결 구조가 그림1과 같이 결정된다. 한 쌍의 비트라인은 그림 1에서와 같이 비트라인(bit line)과 비트라인바($\overline{\text{bit line}}$)로 구성되어 있다. 비트라인의 전압이 비트라인바의 전압보다 높을 경우에는 롬에 저장된 데이터는 1이고, 비트라인바의 전압이 비트라인의 전압보다 높을 경우에는 롬에 저장된 데이터는 0이 된다. 롬 데이터가 1이면, 비트라인은 더 높은 전압을 가지는 인접한 비트라인에 연결되고 비트라인바는 더 낮은 전압을 가지는 인접한 비트라인에 연결된다. 반대로, 롬의 데이터가 0이면, 비트라인은 더 낮은 전압을 가지는 인

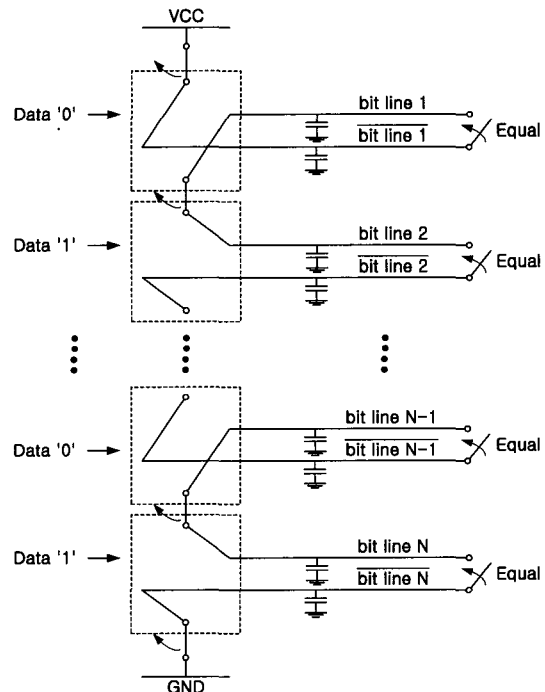


그림 1. 전하 재활용 롬의 개념
Fig. 1. Concept of charge recycling ROM.

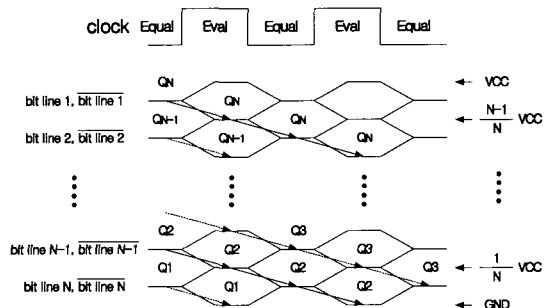


그림 2. 전하 재활용 롬의 동작 개념
Fig. 2. Concept of charge recycling operation.

접한 비트라인에 연결되고 비트라인비는 더 높은 전압을 가지는 인접한 비트라인에 연결된다. 가장 높은 전압을 가지는 비트라인 쌍의 경우에는 더 높은 전압을 가진 비트라인과 연결되어야 하는 비트라인은 전원 전압인 VCC에 연결된다. 반대로, 가장 낮은 전압을 가지는 비트라인 쌍의 경우에는 더 낮은 전압을 가진 비트라인과 연결되어야 하는 비트라인은 접지 전압인 GND에 연결된다.

저장되는 데이터에 의하여 프로그램되는 연결선들은 트랜지스터와 연결되어 만들어진다. 롬이 equalization 상태에 있을 때, 인접한 비트라인 쌍들 사이의 프로그램된 연결선들은 끊어지고 equal 신호에 의하여 전압차를 가지는 각 비트라인 쌍의 두 개의 비트라인들은 연결되어 전하를 공유하면서 같은 전압을 가진다. N개의 비트라인 쌍을 가지는 그룹의 M번째 비트라인 쌍의 전압은 evaluation 상태에서 $(N-M)/N \times VCC$ 과 $(N-M+1)/N \times VCC$ 이다. 따라서, equalization 상태가 되면 두 비트라인의 평균전압을 가지게 되어 $(2N-2M+1)/2N \times VCC$ 전압이 된다. 롬이 evaluation 상태에 있을 때, equal 신호에 의하여 연결되었던 각 비트라인 쌍 안에서의 두 비트라인 사이의 연결은 끊기고 eval 신호에 의하여 인접한 비트라인 쌍들 사이의 프로그램된 연결선들이 이어진다. M번째 비트라인 쌍에서의 두 개의 비트라인은 서로 인접한 다른 두 개의 비트라인과의 연결에 의한 전하 공유로 서로 다른 전압을 가지게 된다. 한 비트라인과 $1/N \times VCC$ 의 전압차를 가지는 인접한 비트라인이 연결되어 전하를 공유함으로써 두 비트라인은 중간 전압을 가지게 된다. 모든 비트라인에는 정확하게 같은 수의 트랜지스터가 연결되어 있고 모든 비트라인의 길이가 같기 때문에, 모든 비트라인은 거의 같은 크기의 커패시턴스를 가지게 된다. 같은 크기의 두 개의 커패시턴스를 연결할 경우 두 개의 커패시턴스는 전하 공유에 의하여 두 커패시턴스의 중간 전압을 가지게 된다. 결과적으로 모든 비트라인 쌍은 $1/N \times VCC$ 의 전압차이를 가지게 되고, 각 비트라인 쌍의 두 비트라인들 중 어느 비트라인이 더 높은 전압을 가지는가를 감지함으로써 롬에 저장되어 있는 데이터를 얻을 수 있다.

그림 2과 같이 각 비트라인 쌍 안의 두 비트라인 사이의 전하공유와 다른 비트라인 쌍에 포함된 비트라인들 사이에서의 전하 공유 과정을 통하여 더 높은 전압을 가지는 비트라인 쌍에서 사용된 전하는 다음

클럭에서 더 낮은 전압을 가지는 비트라인 쌍에서 다시 사용된다. 처음 클럭에 첫 번째 비트라인 쌍에서 사용된 전하 Q_N 은 다음 클럭에는 두 번째 비트라인 쌍에서 사용된다. 그리고 그 다음 클럭에는 그 다음 비트라인 쌍에서 전하 Q_N 은 다시 사용된다. 한 그룹이 N개의 비트라인 쌍으로 이루어져 있는 경우, 이런 과정을 통하여 전하 Q_N 은 VCC에서 GND까지 이동하는 동안 N개의 비트라인 쌍을 통하여 N번 사용된다. 각 비트라인의 커패시턴스가 C_{BL} 이면, N 쌍의 비트라인은 한 클럭에 $N \times C_{BL} \times VCC$ 대신 $1/N \times C_{BL} \times VCC^2$ 의 전력을 소모하게 된다. 즉 비트라인에서 소모되는 전력량은 기존의 $1/N^2$ 배가 된다. 따라, N의 크기가 증가할수록 롬 비트라인에서의 전력 감소량은 더욱 크게 증가한다.

2. 감지 증폭기

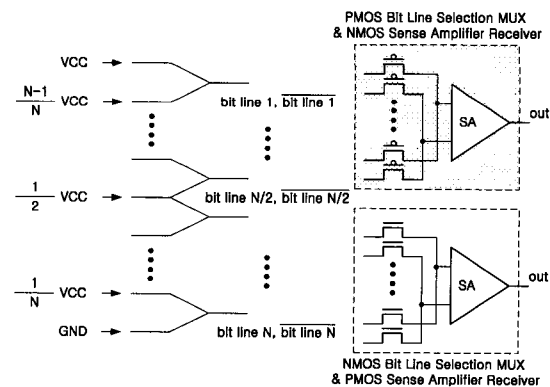


그림 3. 비트라인 선택 MUX와 감지 증폭기
Fig. 3. Bit line selection MUX and sense amplifier.

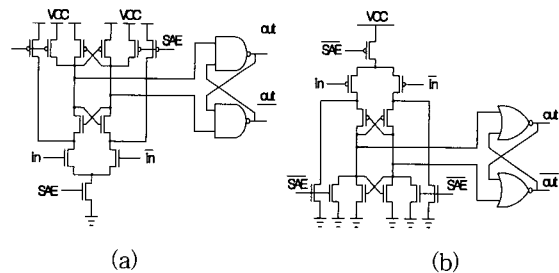


그림 4. 전하 재활용 롬에 사용되는 감지증폭기
(a) NMOS형 감지증폭기 (b) PMOS형 감지증폭기
Fig. 4. Sense amplifiers used in charge recycling ROM.
(a) NMOS type sense amplifier (b) PMOS type sense amplifier

그림 3에서와 같이 전하 재활용 롬의 비트라인에서의 전압은 VCC에서 GND까지 넓게 분포하고, 이렇게 넓은 전압 영역에서의 작은 전압 차이를 감지하기 위해서 두 가지 형태의 감지 증폭기가 필요하다. 그림 4에 있는 NMOS형 감지 증폭기는 $1/2 \times VCC$ 보다 높은 전압을 가지는 두 개의 비트라인의 전압차를 감지하기 위하여 필요하고, PMOS형 감지 증폭기는 $1/2 \times VCC$ 보다 낮은 전압을 가지는 두 개의 비트라인의 전압차를 감지하기 위하여 필요하다. $1/2 \times VCC$ 보다 낮은 전압이 감지 증폭기의 입력으로 들어왔을 때, NMOS형 감지 증폭기에서 입력 전압을 받아들이는 NMOS 트랜지스터들은 약하게 켜지거나 꺼져있는 상태가 된다. 그래서, NMOS형 감지 증폭기는 $1/2 \times VCC$ 보다 낮은 전압을 가지는 비트라인들 사이의 작은 전압차를 감지할 수 없다. 동일하게 PMOS형 감지 증폭기도 $1/2 \times VCC$ 보다 높은 전압을 가지는 두 개의 비트라인의 전압차를 감지할 수 없다.

롬의 전체 비트라인 쌍의 수에 비하여 실제적으로 롬에서 데이터를 얻는 비트 수가 적기 때문에 모든 비트라인 쌍의 전압을 감지할 필요는 없다. 따라서, 필요한 감지 증폭기의 수는 전체 비트라인 쌍의 수보다 적으며 롬에서 한번에 얻을 데이터를 가지고 있는 비트라인 쌍을 선택하기 위한 MUX가 필요하다.

전하 재활용 롬에서는 MUX 선택 신호를 만들기 위해서 기존의 롬들에서 사용하는 컬럼 디코더(column decoder)를 사용한다. 그러나 전하 재활용 롬은 그림 3에서와 같이 PMOS형과 NMOS형 두 가지의 MUX를 사용하기 때문에, 두 가지 형태의 MUX를 선택하기 위해서는 추가적으로 반대 전압을 가지는 MUX 선택 신호가 필요하다. 두 가지 형태의 MUX는 VCC에서 GND까지의 비트라인 전압을 전압 손실 없이 감지 증폭기에 넘겨주기 위해서 필요하다. PMOS형 비트라인 선택 MUX는 $1/2 \times VCC$ 이상의 전압을 통과 시키기 위해서 사용되고, NMOS형 비트라인 선택 MUX는 $1/2 \times VCC$ 이하의 전압을 통과시키기 위해서 사용된다.

한 그룹에서 필요한 MUX의 수는 한 그룹에서 얻어내는 데이터의 비트 수에 따라 변한다. 한 그룹의 비트라인 쌍의 수 N 이 8이고 출력 데이터 수가 4인 경우, 두 개의 PMOS형 4-to-2 MUX와 두 개의 NMOS형 4-to-2 MUX가 필요하다. 그리고, 두 개의 NMOS형

감지 증폭기와 두 개의 PMOS형 감지 증폭기도 필요하다. 한 그룹에서 최소로 필요한 MUX와 감지 증폭기의 수는 한 개의 PMOS형 MUX와 한 개의 NMOS형 MUX 그리고 한 개의 PMOS형 감지 증폭기와 한 개의 NMOS형 감지 증폭기이다. 한 그룹 혹은 여러 그룹에서의 출력 데이터의 비트 수가 단지 1비트인 경우에도 그룹마다 최소 두 개의 MUX와 두 개의 감지 증폭기는 필요하다.

3. 전하 재활용 롬 구조

그림 5는 전하 재활용 롬의 구조의 한 예를 보여주고 있다. 한 그룹은 8 쌍의 비트라인과 NMOS형과 PMOS형의 MUX와 감지 증폭기로 구성되어 있다. 비트라인 쌍들 중 VCC에 가까운 반은 PMOS 트랜지스터에 연결되고, GND에 가까운 다른 반은 NMOS 트랜지스터에 연결된다. 롬의 비트라인에 연결된 PMOS형과 NMOS형의 트랜지스터들을 동작시키기 위해서, 선택 신호와 선택 신호와 반대 전압을 가지는 신호가 쌍으로 필요하다. equalization 동안에는 $1/2 \times VCC$ 보다 높은 전압을 가지는 비트라인 쌍의 두 비트라인의 전압을 같게 하기 위해서 PMOS형의 트랜지스터가 사용되고, 이 PMOS형 트랜지스터를 구동하기 위해서 equal 신호의 반대 전압을 가지는 $\overline{\text{equal}}$ 신호가 사용된다. $1/2 \times VCC$ 보다 낮은 전압을 가지는 비트라인 쌍의 두 비트라인의 전압을 같게 하기 위해서 NMOS형 트랜지스터가 사용되고, 이를 위해서는 equal 신호가 사용된다. evaluation 동안에 $1/2 \times VCC$ 보다 높은 전압과 낮은 전압을 가지는 비트라인 쌍의 전하를 전압의 손실 없이 전달에 필요한 PMOS형과 NMOS형의 트랜지스터를 사용하기 위하여 워드라인(word line)과

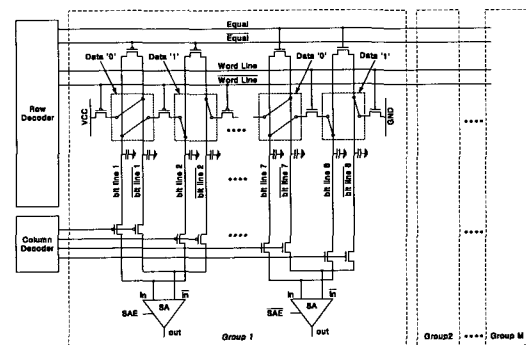


그림 5. 전하 재활용 롬 구조
Fig. 5. Charge recycling ROM architecture.

MUX 선택 신호의 경우에도 쌍으로 필요하다. 전하 재활용 룬에서 필요한 비트라인과 워드라인의 수는 기존의 룬 경우의 두 배에 이르지만, 각 이퀄라인(equal line)과 워드라인에 연결된 트랜지스터의 수가 기존 룬의 절반이다. 따라서, 룬의 데이터를 저장하기 위해서 필요한 전체 트랜지스터의 수는 기존은 룬에서 사용되는 트랜지스터의 수와 같게 된다.

쌍으로 필요한 이퀄라인과 워드라인에 의한 크기와 전력 소모의 증가는 크지 않다. 두 개의 워드라인은 하나의 트랜지스터 공간 위에 그려질 수 있기 때문에, 추가적으로 필요한 공간의 증가가 없다. 또한, 두개의 이퀄라인과 워드라인에 전력 소비 증가도 작다. 그 이유는 트랜지스터의 게이트(gate) 커패시턴스가 워드라인의 커패시턴스의 대부분을 차지하기 때문이다. 제안된 전하 재활용 룬은 기존의 저 전력 룬에 비하여 크기가

증가하지만, 전체 전력 소모의 대부분을 차지하는 비트라인에서의 전력 소모를 상당히 줄여준다.

4. ROM 셀 (cell) 트랜지스터 구조

그림 6은 제안된 전하 재활용 룬 코어의 프로그램된 셀(cell) 구조를 보여준다. 그림 6 (a)는 프로그램된 셀의 연결을 보여주는 스키메틱(schematic)이고 그림 6 (b)과 그림 6 (c)는 스키메틱의 레이아웃과 레이아웃의 단면도이다. 데이터를 프로그램하기 위한 연결선들은 그림에서와 같이 단순하여 레이아웃에서 쉽게 그려질 수 있다.

그림 6 (b)의 레이아웃에서 트랜지스터의 크기가 최소가 아님을 알 수 있다. 트랜지스터의 게이트의 두께는 트랜지스터 게이트 최소 두께의 약 2배이고 트랜지스터 사이의 공간은 최소이다. 결과적으로, 룬 코어의 크기는 기존의 가장 작은 셀 트랜지스터를 사용한 룬보다 약 1.5배 더 크게 된다.

III. 모의 실험 결과

표 1. 룬 성능 비교 (1K×32bits)

Table 1. Comparisons of ROM performance.

	Power [mW]	Area [mm ²]	Delay [ns]
Conventional ROM (CV-ROM) [1]	14.33	0.0978 (0.19mm×0.42mm)	2.6
ROM using HiCapCS (CS-ROM) [3]	6.20	0.1302 (0.31mm×0.42mm)	3.2
Charge Recycling ROM (CR-ROM)	3.53	0.1512 (0.27mm×0.56mm)	6.0

표1은 룬의 성능 비교를 보여준다. 성능 비교를 위하여 최소 크기의 셀 트랜지스터를 가진 32K 비트 룬 (256cells×256cells, 1K×32bits)들이 비교되었다. 모든 회로의 모의 실험은 0.25um CMOS 공정과 HSPICE 모델 파라미터(model parameter)를 사용하여 수행되었다. HSPICE 모의 실험 수행에 기생 커패시턴스와 기생 저항은 포함 되었으며, 전력 소모는 100MHz의 클럭 주파수와 전원 전압 2.5V에서 측정 되었다.

모의 실험에서 사용한 기존의 룬(CV-ROM : conventional ROM)^[1]은 계층적 워드라인과 선택적 비트라인 프리차지(precharge) 그리고 NMOS 비트라인 프리차지 등의 저전력 룬 기법들을 사용하였다.

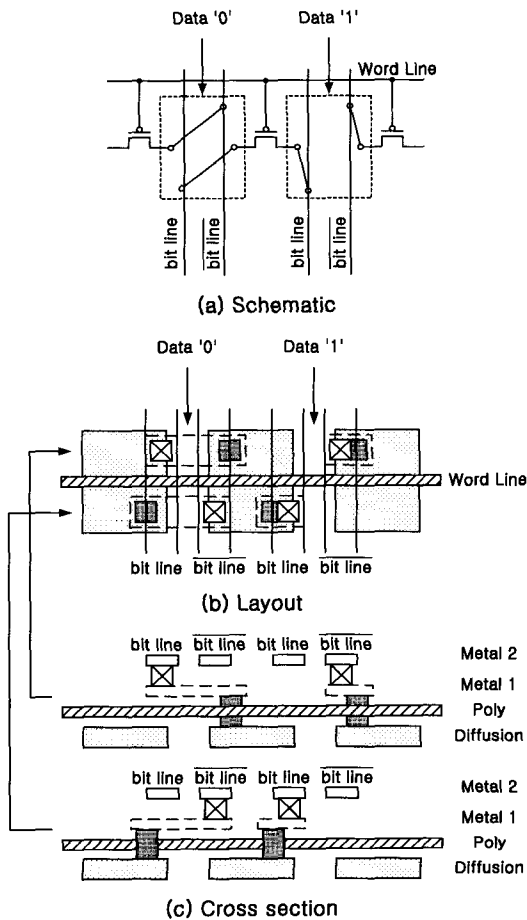


그림 6. 전하 재활용 ROM 셀 구조
Fig. 6. Charge recycling ROM cell structure.

HiCapCS를 사용한 롬(CS-ROM)^[2]은 비트라인에서의 전압 스윙(voltage swing)을 300mV로 조정하여 모의 실험을 하였다. 제안된 전하 재활용 롬(CR-ROM : charge recycling ROM)은 비트라인들 사이의 전압 차이를 300mV로 만들기 위하여 8쌍의 비트라인을 사용한다. CS-ROM과 전하 재활용 롬의 비트라인 스윙 전압을 300mV로 정한 것은 두 롬에서 사용하는 감지 증폭기의 최소 입력 전압차를 외부 잡음을 고려하여 300mV로 가정 했기 때문이다. 외부 잡음은 전원 전압의 변화와 신호선들로부터 발생하며, 이 잡음의 크기가 커질수록 비트라인의 전압차를 증가시켜야 한다. 이 잡음을 줄임으로써, 감지 증폭기는 비트라인에서의 더 작은 전압 차를 감지 할 수 있다. 또한, 비트라인에서의 스윙 전압을 줄임으로써, 전력을 소모를 줄일 수 있다.

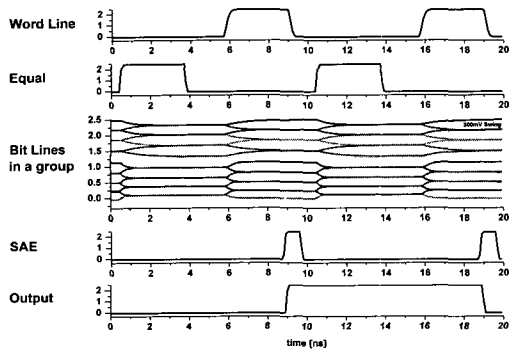


그림 7. 전하 재활용 롬의 모의 실험 파형
Fig. 7. Simulated waveforms of the CR-ROM.

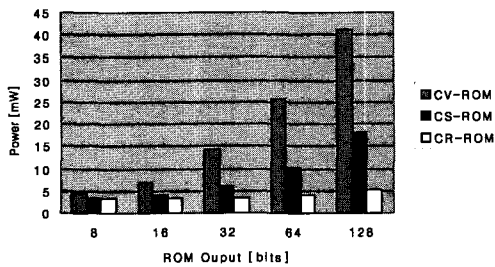


그림 8. 출력 비트 수에 따른 소모 전력
Fig. 8. Power consumption vs. output bit number.

그림 7은 전하 재사용 롬의 모의 실험 파형이다. 전하 재사용 동작에 의하여 한 그룹 안의 비트라인에서의 파형이 그림 7과 같이 만들어 진다. 이퀄라이징과 워드라인에서의 신호에 의하여 전하 재활용 동작이 수행

되고, SAE(sense amplifier enable) 신호에 의하여 감지 증폭기는 비트라인 쌍의 전압차를 감지하여 롬에 저장되어 있는 데이터를 얻어낸다.

그림 8은 32K 비트 롬(256 cells×256 cells)의 크기의 증가 없이 롬의 출력 비트를 증가시킬 때 전하 재사용 롬에서의 전력 소모가 다른 저 전력 롬들에서 보다 느리게 증가함을 보여준다. 즉 출력 비트가 많을수록 제안된 전하 재사용 롬이 기존의 다른 저 전력 롬들에 비하여 더욱 적게 전력을 소모함을 알 수 있다. 모의 실험 결과에서 전하 재사용 롬이 CV-ROM과 비교하여 단지 13% ~ 78%의 전력만을 소모함을 알 수 있다.

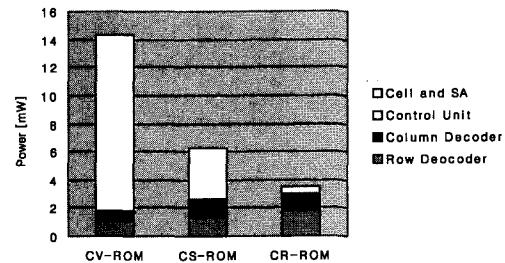
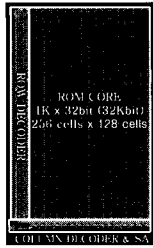


그림 9. 롬(1K×32bits)의 소모 전력
Fig. 9. Power consumptions in ROMs (1K×32bits)

그림 9는 32K 비트 롬(256 cells×256 cells, 1K×32bits)의 각 부분에서의 소모 전력을 측정 한 그림이다. 모의 실험 결과는 셀과 SA(감지 증폭기)의 전력 소모량이 제안된 전하 재활용 롬에서 상당히 줄어들었음을 보여 준다. 셀에서의 소모되는 전력의 대부분은 비트라인에서 소모되는데, 전하 재활용 롬은 비트라인에서 전력을 거의 소모하지 않기 때문에 롬 코어 셀에서의 전력 소모가 그림 9와 같이 작게 된다. 선택적 비트라인 프리차지(selective bit line precharge)를 하는 저전력 롬의 경우, 출력 비트라인의 수가 증가할수록 프리차지가 되는 비트라인의 수도 함께 증가하기 때문에 비트라인에서의 전력 소모 또한 함께 증가하지만, 전하 재활용 롬은 출력 비트의 수와 상관 없이 항상 모든 비트라인이 동작하므로 출력 비트가 증가 하여도 비트라인에서 소모되는 전력량은 일정하고 단지 출력 비트 증가에 따른 감지 증폭기의 수의 증가에 의하여 서만 소모 전력 증가가 발생한다. 그러나 감지 증폭기는 비트라인에 비하여 전력 소모량이 작기 때문에 출력 비트 수가 증가하여도 전하 재활용 롬에서의 전력

소모는 크게 증가하지 않는다.



Technology	0.25um CMOS
Supply Voltage	2.5V
Clock Frequency	100MHz
Organization	1K x 32 bits

그림 10. 레이아웃
Fig. 10. Layout.

IV. 결 론

본 논문에서는 전하 재활용^[4] 방식을 사용한 새로운 저 전력 전하 재활용 롬이 제안되었다. 모의 실험 결과는 제안된 전하 재활용 롬이 기존의 저 전력 롬과 비교하여 단지 13%~78%의 전력만을 소모하며 출력 비트가 증가할수록 더욱 효과적임을 보여 주었다. 전하 재활용 롬은 최소 크기의 롬 셀 트랜지스터를 가지는 기존의 저 전력 롬에 비하여 크기에서 약 1.5배 증가하고 속도에서 약 2.3배 느려지지만, 소모 전력은 기존의 저 전력 롬들 보다 매우 적게 소모한다. 제안된 전하 재활용 롬은 전력 소모가 매우 중요한 무선 휴대 기기에서 유용하게 사용될 수 있다. 특히, 많은 수의 출력 비트를 필요로 하는 디지털필터나 DSP에 적합하다.

참 고 문 헌

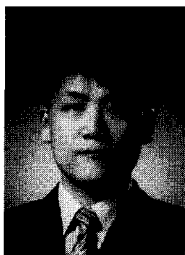
[1] Edwin de Angel, Earl E. Swartzlander, Jr. Survey of Low Power Techniques for ROMs. International Symposium on Low Power Electronics and Design, 1997, pages 7~11.

[2] R. Sasagawa, I. Fukushi, M. Hamaminato, S. Kawashima, High-speed Cascode Sensing Scheme for 1.0V Contact-programming Mask ROM. Symposium on VLSI Circuits, 1999, pages 95~96.

[3] M. M. Khellah, M. I. Elmasry, Low-Power Design of High-Capacitive CMOS Circuits Using a New Charge Sharing Scheme. IEEE International Solid-State Circuits Conference, 1999, pages 286~287.

[4] H. Yamauchi, H. Akamatsu, T. Fujita, An Asymptotically Zero Power Charge-Recycling Bus Architecture for Battery-Operated Ultrahigh Data Rate ULSIs. IEEE Journal of Solid-State Circuits Conference, Vol. 30, No. 4, April 1995, pages 423~431.

저 자 소 개



梁炳燾(學生會員)

1999년 2월 : 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업(공학사). 2001년 2월 : 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업(공학석사). 2001년 3월~현재 : 한국과학기술원 전자전산학과 전기및전자공학 전공 박사과정. <주관심분야> 저전력/고성능 VLSI 회로 설계



金利燮(正會員)

1982년 : 서울대학교 전자공학과 학사. 1986년 : Stanford University 전자공학과 석사. 1990년 : Stanford University 전자공학과 박사. 1990년~1993년 : Toshiba Corporation 연구원. 1993년~현재 : 한국과학기술원 전자전산학과 전기및전자공학 전공 부교수. <주관심분야> 멀티미디어 VLSI 설계, 저전력 설계, EML 설계, 3D Graphics