
무선 LAN용 비터비 복호기의 효율적인 설계

정인택*, 송상섭**

Design of Viterbi Decoder for Wireless LAN

In-Taek Jeong, Sang-Seob Song

요 약

다중 반송파방식 무선 LAN에서는 오류정정을 위해 구속장(constraint length : K)이 7인 64-state 길쌈부호를 사용하며, 복호기로 비터비 복호기를 사용한다. 비터비 복호기의 동작속도로는 24 Mbps의 입력 데이터에 대해 12 MHz 이상의 처리속도를 가져야한다. 이와 같이 고속의 비터비 복호기를 설계하기 위해서는 일반적으로 32조의 병렬 나비구조 ACS를 갖도록 한다. 병렬 나비구조 ACS를 갖는 비터비 복호기를 설계할 경우 단일 ACS 구조에 비해 상태 메트릭 메모리(state-metric memory), 역추적 메모리(trace back memory)를 관리하는 복잡한 제어회로가 필요하지 않다. 그러나 많은 ACS을 사용함으로 하드웨어의 복잡도가 증가하게 된다.

이에 대해, 본 연구에서는 모든 상태에서 코드워드를 발생시키는 별개의 회로를 단순한 연산으로 대체하며, ACS 기능을 위해 고속 저 전력 시스템에 용이한 새로운 가지값(branch metric) 계산방법을 개발하여 적용한다. 그리고 역추적 과정 시 고속 저 전력 동작을 위해 one-pointer방법을 채용하여 전체적으로 저 전력 비터비 복호기를 설계한다.

ABSTRACT

In this paper, we design high speed Viterbi decoding algorithm which is aimed for Wireless LAN. Wireless LAN transmits data at rate 6~54 Mbps. This high speed is not easy to implement Viterbi decoder with single ACS. So parallel ACS butterfly structure is to be used and several time-dependent problem is to be solved. We simulate Viterbi algorithm using new branch metric calculating method to save time, and consider trace back algorithm which is adaptable to high speed Viterbi decoder. With simulated, we determine the structure of Viterbi decoder. This architecture is available to high speed and low power Viterbi decoder.

* 전북대학교 전자공학과

** 전북대학교 전자정보공학부

접수일자: 2001. 3 14

I. 서 론

무선 LAN은 각 조직의 개인용 컴퓨터 및 서버들 간의 전송 데이터를 전파신호나 광신호 등으로 변환하여 무선으로 송수신하는 시스템으로 빌딩과 빌딩사이의 네트워크 연결, 단말기의 이동성이 요구되는 지역 또는 케이블 배선이 곤란한 지역 등에 다양하게 적용할 수 있다. 최근 고속 무선 LAN의 기술개발은 단일 반송파 전송방식보다 고 품질의 데이터 전송이 가능한 다중 반송파 전송방식에 많은 연구가 진행되고 있다. 그러나 국내 중소기업의 경우 단일 반송파 방식에 대한 연구개발은 많았으나, 다중 반송파 전송방식에 대한 연구는 미미한 실정이다.

이에 대해, 본 논문에서는 최근 유·무선 채널에서 고속 데이터 전송에 널리 사용되고 있는 다중 반송파를 이용한 OFDM(Orthogonal Frequency Division Multiplexing) 방식의 무선접속 방식을 갖는 IEEE 802.11a/D5.0의 규격에서 FEC 기능을 수행하는 길쌈 부호기의 복호기인 비터비 복호기를 고속으로 동작할 수 있도록 알고리즘을 설계한다.

이를 위해, BM(Branch Metric)부에서 가지값(BM0, BM1)을 계산하기 위해 요구되는 코드워드 발생 회로를 단순한 연산으로 변화시켜 가지값을 저 전력 고속으로 계산하도록 한다. TB(Trace Back)부에서 역추적 동작을 저 전력 고속으로 동작할 수 있는 one-point 방법을 채용한다. 이와 같은 구조를 갖는 비터비 복호기를 보다 효과적으로 구현하기 위해 시뮬레이션을 통하여 상태메트릭 비트수, 역추적 깊이 등 중요 변수를 하드웨어 효율적인 구조를 기반으로 제시하도록 한다.

II. 무선 LAN의 FEC

그림 1은 다중 반송파 전송방식인 OFDM 무선 접속방식을 갖는 IEEE 802.11a/D5.0에서 제시된 무선 LAN에 대한 전체 기능 블록도이다[1].

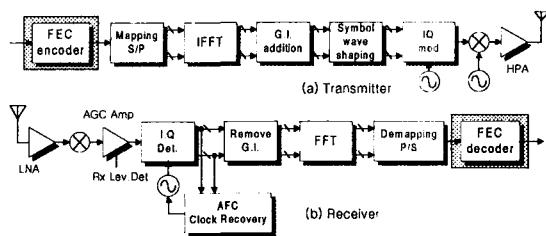


그림 1. OFDM 방식의 무선 LAN의 기능 블록도.

본 논문에서 고려한 FEC는 그림 1의 음영으로 표시된 FEC 부호기와 FEC 복호기이다.

표 1. OFDM방식 무선 LAN의 주요 매개변수

매개변수	규격
Data rate	12 Mbits/s
Modulation	QPSK-OFDM
FEC	K=7, 길쌈부호
부-채널 수	48
부-채널의 대역폭	0.3125 MHz

다음 표 1은 IEEE 802.11a/D5.0 규격[1] 중 본 논문에 해당되는 5 GHz에 12 Mbits/s 데이터 전송률을 갖는 규격들이다. 표 1에서와 같이 무선 LAN의 규격에서 FEC 기능으로는 구속장이 7인 64-state 길쌈부호를 사용하며, 복호기로는 비터비 복호기를 사용한다.

이에 대한 길쌈부호의 부호기 구조는 그림 2와 같이 부호율이 1/2이고, 생성 다항식이 $g_0 = 133_8$, $g_1 = 171_8$ 을 갖는 부호기 구조를 사용한다. 그리고 길쌈부호의 복호기 최적 구조로는 비터비 복호기가 널리 알려져 있다. 무선 LAN에서 비터비 복호기의 동작속도로는 24 Mbps의 입력 데이터에 대해 적어도 12 MHz 이상의 처리속도를 가져야 한다. 이와 같이 고속의 비터비 복호기를 설계하기 위해서는 나비구조를 적용한 ACS(Add Compare Select)블럭을 32조 병렬로 동작하게 한다. 병렬 ACS 나비 구조의 비터비 복호기를 설계할 경우 단일 ACS 구조에 비해 ACS간의 통신을 위한 layout은 복잡해지나, 상태메트릭 메모리, 역추적 메모리를 관리하는 제어회로는 간단해 진다.

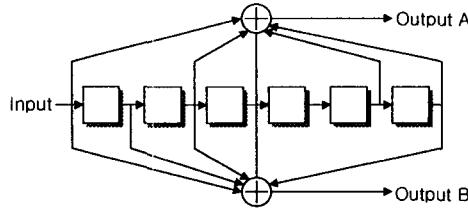


그림 2. R=1/2 길쌈 부호기

III. 병렬 ACS 비터비 복호기의 구조

비터비 복호기의 기능동작은 그림 3과 같이 나타낼 수 있다.

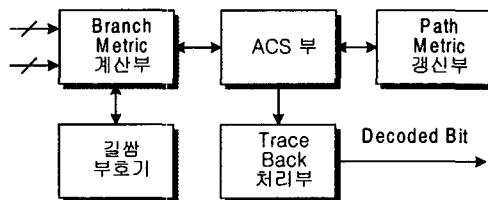


그림 3. 비터비 복호기의 블록도

먼저, 연성 판정을 통하여 입력된 데이터를 이용하여 BM 계산부에서 각 가지값을 계산한다. 계산된 가지값은 ACS부에 연결되어 생존 경로를 결정하여 정보를 TB부에 전달하고 경로 값을 갱신한다. TB부에서는 ACS부에서 최소 상태값을 받아서 역추적한 후에 복호된 데이터를 얻는다. 위와 같이 동작하는 비터비 복호기를 고속으로 동작시키기 위해서는 각 블록들이 고속으로 동작할 수 있는 구조를 가져야 한다.

(1) BM 부

비터비 복호기에서 BM부는 입력된 심볼과 상태의 천이로 발생되는 코드워드(C_0, C_1)를 이용하여 ACS 계산에 필요한 가지값(BM_0, BM_1)을 계산한다. 각 ACS부에서는 발생된 코드워드에 따라 가지값을 선택해서 이전의 상태값에 더해 새로운 상태값을 발생시킨다. 따라서 상태 천이에 따른 코드워드를 발생시키는 회로와 가지값을 계산하는 회로가 필요하다. 이에 대해 본 논문에서는 그림 4에서와 같이 효율적인 구조를 개발하여 보다 빠르게 가지값을 계산하도록 하였다.

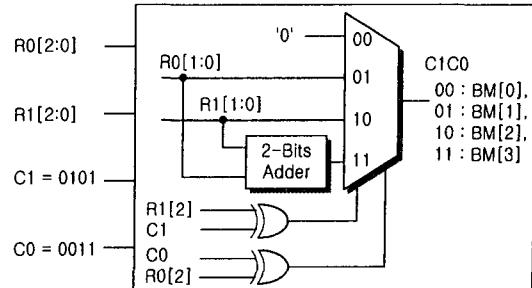


그림 4. BM부 기능 블록도

그림 4에서 3 비트로 양자화 되어 입력된 입력신호(R_0, R_1)와 코드워드(C_0, C_1)가 갖는 4가지값들 각각에 대해 가지값($BM[0], BM[1], BM[2], BM[3]$)을 계산한다. 즉, 3 비트 입력값(R_0, R_1)과 "00"(C_0, C_1)은 식(1)을 이용하여 가지값 $BM[0]$ 을 계산한다. 이와 같이 계산된 가지값들은 테이블 형태로 ACS부에 전달된다. ACS부에서는 현재 상태값(SM)과 생성다항식(g_0, g_1) 각각에 논리곱 연산을 수행한 결과의 패리티(논리곱의 결과에 1의 개수가 홀수이면 1, 짝수개이면 0)로부터 코드워드(C_0, C_1)를 생성한다. 생성된 코드워드로 BM부에서 계산된 BM값을 선택하여 BM_0 을 계산하고, 생성된 코드워드에 부정연산을 수행하여 그 결과 값에 대한 BM값으로 BM_1 값을 선택한다.

이 구조를 사용할 경우, 모든 상태에서 코드워드를 발생시키는 별개의 회로를 필요하지 않기 때문에 하드웨어 복잡도와 동작속도 면에서 기능을 향상시킬 수 있다.

$$\frac{-r_i c_i + |r_i|}{2} = \begin{cases} |r_i|, & c_i, r_i \text{ 동부호} \\ 0, & c_i, r_i \text{ 이부호} \end{cases} \quad \dots \dots \dots (1)$$

(2) 병렬 ACS 나비구조

ACS부에서는 BM부에서 테이블형태로 전달된 가지값들($BM[3], BM[2], BM[1], BM[0]$)을 각 상태에서 저장하고 있는 코드워드를 이용하여 그 상태에 대한 가지값 BM_0 과 BM_1 을 선택한다. 이에 대한 기능 블록도는 그림 5에 보이고 있으며, 가지값과 현재 상태값을 식 (2)를 이용하여 갱신된 새로운 상태값들은 "Min State"부에서 최소 상태값을 구하여 TB부로 전달하게 된다. 그리고 각 상태를 나타내는 상태값 중 최상위 비트는 TB부에서 역추적 과정을 위해 TB부

로 또한 진달된다.

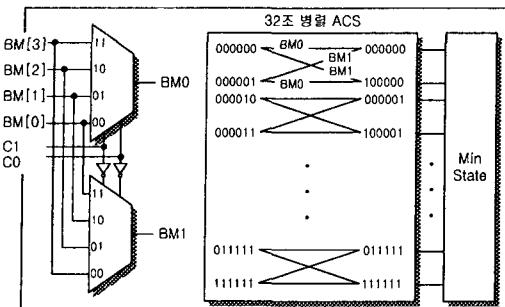


그림 5. 32조 병렬 ACS부의 기능 블록도

$$\begin{aligned} SM0X &= \min(SMX0 + BM0, SMX1 + BM1) \\ SM1X &= \min(SMX0 + BM1, SMX1 + BM0) \end{aligned} \quad \dots (2)$$

32조의 병렬 ACS 중 특정 ACS 나비구조의 내부 동작은 그림 6과 같다[2].

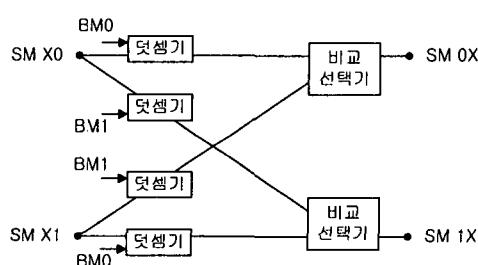


그림 6. 나비구조 적용의 ACS 회로

그러나 병렬 ACS 나비구조에서도 최소 상태값을 구하기 위한 단계는 필수적이다. 따라서 TB 메모리에 저장 시 지연이 뒤따른다.

(3) 역추적 방법

TB부는 ACS에서 결정된 생존경로에 대한 정보를 역추적 메모리에 저장한다. 그리고 역추적 방법에 따라 역추적 메모리의 구조가 결정된다. 고속 비터비 복호기에서 하나의 디코딩 값을 얻기 위해 매번 역추적 깊이만큼 역추적 동작을 수행하는 것은 비효율적이다. 또한, 한 비트를 복호하기 위해 전체 메모리의 값을 읽어내고 역 추적하는 것은 저 전력 구조에는 적합하지 않다.

따라서 메모리를 몇 개의 메모리 bank로 나누어 각 메모리 bank에 각 기 다른 동작을 취함으로써 메모리를 효율적으로 사용하고 고속동작에 적합한 역추적 방법이 요구된다[3]. 이러한 동작의 역추적 알고리즘에는 k-pointer even 알고리즘, k-pointer odd 알고리즘, one pointer 알고리즘, hybrid 알고리즘 등이 있다. 이 중 one-pointer 알고리즘은 가장 작은 메모리를 사용하여 가장 낮은 latency로 동작 할 뿐만 아니라, 요구하는 메모리 bank의 수 또한 작다. 따라서 저전력 고속동작 시 적합한 구조이다. One-pointer 방법에 대한 역추적 메모리의 구조는 그림 7과 같다.

그림 7을 보면 WR(Write new Data) 동작을 위한 포인터와 TBR(Trace Back Read)과 DC(Decode Read)의 메모리 읽기 동작을 수행하는 포인터가 있음을 알 수 있다. 하나의 메모리 bank에 WR 동작을 하는 동안 나머지 메모리 bank는 역추적하여 하나의 메모리 bank 만큼 복호된 결과를 얻는다.

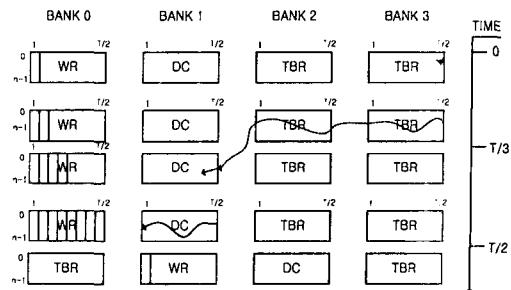


그림 7. one-pointer 구조를 사용한 TB 메모리

읽기 동작을 하는 포인터는 WR 동작을 하는 포인터보다 ($k=3$)배 빠르게 동작한다. 따라서 역추적 깊이인 T 값에 의해 $(k+1)T/(k-1)$ 개의 열을 가진 메모리 bank $k+1$ 개의 구조를 결정할 수 있다.

IV. 시뮬레이션 및 고찰

비터비 복호기의 시뮬레이션을 위해서 가우스 잡음만 고려하였으며, 8레벨 연성 판정 데이터를 복호기의 입력으로 사용하였다. 그리고 역추적 깊이는 42를 사용하였으며 상태값(SM)의 정규화 과정은 수행하지 않았다. 이에 대한 상태값(SM) 비트 수는 시뮬

레이션을 통하여 6 비트로 결정하였다.

이러한 구조를 요약해 보면 그림 9와 같다.

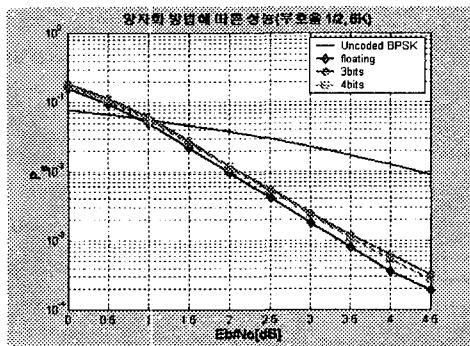


그림 8. 비터비 복호기의 성능분포

그림 8은 위와 같은 조건으로 시뮬레이션을 수행한 구속장 7인 비터비 복호기의 성능분포이다. 그림에서 우측 실선은 길쌈부호를 사용하지 않았을 때의 성능 분포를 나타내고 있다. 그림에서 보듯이 무선 LAN용 비터비 복호기에서는 4비트 연성판정 시와 3비트 연성판정 시 유사한 성능분포를 가짐을 알 수 있다. 이로 인해, 본 논문에서는 3비트 연성판정을 사용하여 비터비 복호기를 설계하였다.

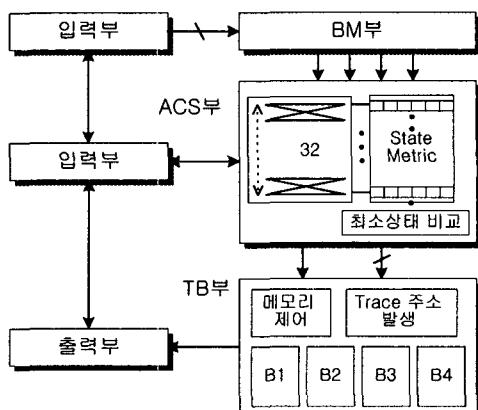


그림 9. K=7인 비터비 복호기 기능블록도

또한 시뮬레이션을 통해서 상태값(SM)을 위해 6비트를 할애했으며, 역추적 깊이를 42로, $k=3$ 인 one-pointer 방법을 결정하였다. 따라서 TB부의 메모리 bank의 개수는 4이고 각 메모리 bank의 열의 개수는 21이며 전체 역추적 메모리는 84의 열을 가진다.

V. 결 론

본 논문에서는 구속장이 7이고 부호율이 1/2인 길쌈부호를 사용하여 12Mbps급의 전송속도를 갖는 무선 LAN을 위한 비터비 복호기를 설계하였으며, 시뮬레이션을 통하여 설계변수와 구조를 결정하였다. 그리고 고속 동작과 저 전력 구조에 적합한 가지값(BM) 계산방법을 개발하여 적용하였으며, TB부에서는 trace back 횟수를 줄일 수 있는 one-pointer 알고리즘의 메모리 구조를 채용하여 저 전력 고속동작을 수행하도록 하였다.

참고문헌

- [1] IEEE 902.11, "Draft Supplement to Standard for Telecommunications and Information Exchange Between Systems-LAN/MAN Specific Requirement," P802.11a/D6.0, May 1999.
- [2] 송상섭, 박동선, 정승훈 등, "CDMA용 Viterbi 복호기의 최적구조 제시 및 FPGA 구현에 관한 연구," 한국전자통신연구원 보고서, 1995
- [3] Gennady Feygin, P. G. Gulak, "Architectural Tradeoffs for Survivor Sequence Memory Management in Viterbi Decoders", IEEE Transactions on Communications, Vol 1, No. 3, March 1993



정 인 택(In-Taek Jeong)
1994년 순천대학교 전자공학과 공학사
1997년 전북대학교 전자공학과 공학석사
1997~현재: 전북대학교 전자공학과 박사과정

*주관심분야: 고속 DSL 모뎀설계, 부호이론 등



송 상 섭(Sang-Seob Song)

1978년 2월 전북대학교 전기공학
과 공학사
1980년 2월 KAIST 전기 및 전자
공학과 공학석사
1986년 8월~1990년 8월:

Department of Electrical and Computer Engineering, University of Manitoba
1981년 3월~현재: 전북대학교 전자정보 공학부 교수
1994년~1996년: 전북대학교 공과대학 부학장
※주관심분야 : xDSL 모뎀, Home Network, 채널부
호, Gigabit Ethernet