
Redundant Binary 수치계를 이용한 radix-2 SRT 부동 소수점 제산기 유닛 설계

이종남*, 신경욱**

A Design of Radix-2 SRT Floating-Point Divider Unit using Redundant Binary
Number System

Jong-Nam Lee, Kyung-Wook Shin

요 약

IEEE-754 부동소수점 표준을 지원하는 radix-2 SRT 제산기 유닛을 redundant binary (RB) 수치계를 이용하여 설계하였다. RB 수치계를 이용함으로써 기존의 2의 보수 수치계를 이용하는 경우에 비해 부분 몫 결정 회로의 동작속도를 약 20% 향상시킴과 아울러 회로 단순화를 이루었다. 또한, 새로운 RB 가산기 회로를 제안함으로써 가수 제산기를 효율적으로 구현하여 기존의 방식에 비해 면적을 약 20%의 감소시켰다. 설계된 부동소수점 제산기는 배정도 형식과 5가지의 예외처리 및 4가지의 반올림 모드를 지원하며, Verilog HDL로 설계되어 Verilog-XL로 검증하였다.

ABSTRACT

This paper describes a design of radix-2 SRT divider unit, which supports IEEE-754 floating-point standard, using redundant binary number system (RBNS). With the RBNS, the partial quotient decision logic can operate about 20% faster, as well as can be implemented with a simple hardware when compared to the conventional methods based on two's complement arithmetic. By using a new redundant binary adder proposed in this paper, the mantissa divider is efficiently implemented, thus resulting in about 20% smaller area than other works. The divider unit supports double precision format, five exceptions and four rounding modes. It was verified with Verilog HDL and Verilog-XL.

키워드

Divider, Radix-2 SRT divider, IEEE-754, Redundant binary

* (주)유니와이드테크놀러지
** 금오공과대학교 전자공학부
접수일자 :

감사의 글

본 연구는 반도체 설계교육센터(IDECS)의 CAD Tool 지원에 의한 연구결과의 일부임.

1. 서 론

최근의 컴퓨터 환경 및 디지털 신호처리 분야는 텍스트나 2차원 그래픽 정도만을 처리하던 수준에서 보다 자연스러운 미디어, 즉 음성 및 영상 등을 하나의 시스템에 집적하는 멀티미디어 시대로 급속히 발전하고있다. 따라서, 고성능 부동소수점 연산장치(Floating Point Unit; FPU)에 대한 요구가 크게 증가하고 있으며, 부동소수점 연산은 고성능 그래픽 응용분야의 좌표 계산 등에서 가장 핵심적인 요소이다. 부동소수점 연산장치에서 계산연산은 많은 사이클을 필요로 하므로 시스템 성능의 저하를 피하기 위해서는 하드웨어 구현이 필요하다. 따라서, 고성능 FPU를 구현하기 위해서는 고속이면서 효율적인 계산기 회로의 구현이 필수적이다^[1].

일반적으로 부동소수점 계산 과정은 지수 감산과 가수 계산으로 나누어지며, 가수 계산 과정에 많은 연산 시간을 필요로 한다. 가수 계산은 (i+1)-번째 연산을 수행하기 전에 i-번째 연산이 완전히 끝나야 하는 직렬 연산이므로, 가수 계산기의 구현 방법에 따라 전체 부동소수점 계산기의 성능이 결정된다.

부동소수점 계산기를 구현하는 방법은 크게 2가지로 구분된다. 첫째 방식은 가산/감산과 쉬프트 동작을 조합하여 구현하는 방법이며, 복원(restoring) 알고리즘, 비복원(non-restoring) 알고리즘, SRT 알고리즘 등이 이에 속한다. 둘째 방식은 승산을 이용하여 계산을 수행하는 방법으로 분모·분자에 동일한 수를 곱하는 수렴(convergence) 방식과 분모의 역수를 구해 곱하는 NR(Newton-Raphon) 방식 등이 이에 속한다^[2-3]. 현재 대부분의 부동소수점 계산기는 정확성과 하드웨어 구현 측면에서 유리한 SRT 알고리즘이 많이 사용되고 있다. SRT 알고리즘을 적용한 부동소수점 계산기는 가수 계산 과정에서 사용되는 수치계에 따라 2진 수치계 방식과 RB(redundant binary) 수치계 방식으로 나누어지며, RB 수치계 방식^[4]은 최근에 제안된 방식으로 2진 수치계 방식에 비해 가수 계산의 고속 연산이 가능하지만 면적이 증가하는 단점을 갖고 있다.

본 논문에서는 이와 같은 기존 방법의 단점을 개선하기 위해, 2진 수치계 방식의 SRT 계산기와 비교해 면적은 거의 동일하면서도 고속 연산이 가능한

새로운 RB 수치계 방식을 제안하며, 이를 적용한 회로설계를 기술한다. 본 논문에서 제안하는 RB 수치계를 이용한 radix 2 SRT 부동소수점 계산기는 Verilog HDL(hardware description language)을 이용하여 설계되었으며, IEEE-754 부동소수점 표준 배정도 입력^[5]과 표준에 정의된 5가지 예외처리 및 4가지의 반올림 모드를 모두 지원하도록 설계되었다.

본 논문의 II장에서는 부동소수점 표준, SRT 알고리즘 및 새로운 RB 수치계 방식을 이용한 부동소수점 계산기에 대해 기술하며, III장에서는 제안된 방식을 적용한 부동소수점 계산기의 구조, 회로설계, 회로 합성 및 논리 검증에 관해 기술한다.

II. RB 수치계를 이용한 radix-2 SRT 부동소수점 계산기

2.1 IEEE-754 부동소수점 표준^[5]

IEEE-754 부동소수점 표준은 부동소수점 데이터 형식, 반올림 알고리즘 및 예외처리를 통일하기 위한 표준으로 제정되었으며, 현재 대부분의 부동소수점 연산장치 설계에 이용되고 있다. 부동소수점 형식은 그림 1과 같으며, s는 1-비트의 부호, e는 바이어스된(biased) 지수, f는 가수(fraction)를 나타낸다. 정규화된 형식(1.xx...x)을 따르고 있으며, 정수부 1은 단점도와 배정도 표기에서는 생략된다.

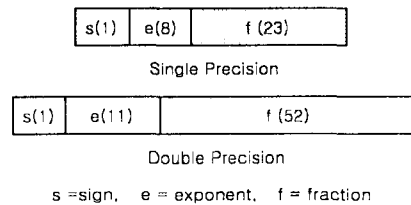


그림 1. IEEE-754 부동소수점 형식
Fig. 1. IEEE-754 Floating-Point Format

2.2 SRT 알고리즘^[2-3]

SRT 알고리즘은 계산 알고리즘을 개발한 세 사람(Sweeney, Robertson, Tocher)의 이름을 따서 붙인 알고리즘으로, 비복원 알고리즘의 부분 몫 결정 시 가산이나 감산이 필요 없는 0을 추가함으로써, 전체

적으로 가산·감산의 수를 줄여 동작 속도가 향상되도록 고안된 알고리즘이다.

초기 SRT 알고리즘의 순환 식과 부분 몫 결정 조건은 다음과 같다.

$$r_i = 2r_{i-1} - q_i D \quad (i = 1, 2, \dots, m) \quad (1)$$

여기서, $r_0 = X$: 피제수
 q_i : i -번째 반복에서의 몫 비트
 r_i : 부분 나머지
 D : 제수

$$q_i = \begin{cases} 1 & \text{if } 2r_{i-1} \geq D \\ 0 & \text{if } -D \leq 2r_{i-1} < D \\ \bar{1} & \text{if } 2r_{i-1} < -D \end{cases} \quad (2)$$

식(2)와 같은 부분 몫 결정 조건은 비복원 알고리즘이 $2r_{i-1}$ 의 부호만을 검사하여 부분 몫을 결정하는 것에 비해 상당히 어려워지게 된다. 만약, 제수가 부동소수점 수와 같이 한정된 범위를 갖는 경우 (예를 들어, $1/2 \leq |D| < 1$ 이면), 부분 몫 $q_i = 0$ 인 $2r_{i-1}$ 의 영역을 식(3)과 같이 표현할 수 있다.

$$-D \leq -1/2 \leq 2r_{i-1} < 1/2 \leq D \quad (3)$$

이와 같이 영역을 설정하는 경우의 장점은 $2r_{i-1}$ 를 $+D$ 와 비교하지 않고, 고정 상수 $\pm 1/2$ 과 비교함으로써 부분 몫 결정 회로를 쉽게 구현할 수 있다. SRT 알고리즘의 부분 몫 결정 조건은 식(4)와 그림 2와 같이 나타낼 수 있다.

$$q_i = \begin{cases} 1 & \text{if } 2r_{i-1} \geq 1/2 \\ 0 & \text{if } -1/2 \leq 2r_{i-1} < 1/2 \\ \bar{1} & \text{if } 2r_{i-1} < -1/2 \end{cases} \quad (4)$$

일반적으로 연산속도를 향상시키기 위해, CPA (carry propagation adder) 대신에 CSA (carry save adder)를 사용하고 부분 몫 결정을 위해 필요한 비트

만 근사 가산기 (approximate remainder adder)를 이용하여 연산하는 방식을 채택하고 있다. SRT 알고리즘에서 최종적으로 얻어진 나머지의 부호가 피제수의 부호와 같아야 하며, 최종 나머지의 부호가 피제수의 부호와 다른 경우, 다음과 같이 최종 몫과 나머지를 정정한다.

- (a) 제수와 피제수의 부호가 같은 경우 ;
 - 나머지 \leftarrow 최종 나머지 + D
 - $Q_{corrected} \leftarrow Q - \text{ulp}$
(ulp; unit in the last position)
- (b) 제수와 피제수의 부호가 다른 경우
 - 나머지 \leftarrow 최종 나머지 - D
 - $Q_{corrected} \leftarrow Q + \text{ulp}$

또한, signed-digit (SD) 수로 표현된 몫을 이진수로 변환해 주는 과정이 필요하며, 이와 같은 변환은 전체 제산기의 고속 동작을 위하여 on-the-fly 변환을 사용한다.

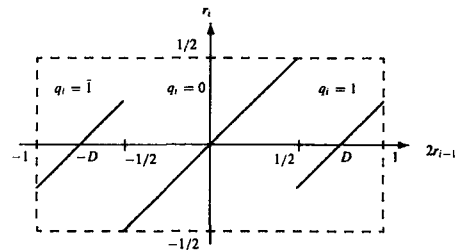


그림 2. SRT 알고리즘의 부분 몫 결정 조건
 Fig. 2 Condition for partial quotient decision of SRT algorithm

2.3 RB 수치계를 이용한 radix-2 부동소수점 제산기

RB 수치계를 이용한 radix-2 부동소수점 제산기는 이진 수치계 대신에 RB 수치계를 이용하는 방식이며, 동작속도 측면에서 효율적인 설계가 가능하다는 장점을 갖는다. 제산기의 i -번째 연산은 부분 몫 결정과 부분 나머지 계산으로 이루어진다.

이진 수치계를 사용하는 부분 몫 결정 방법에서는 4-비트 근사 덧셈 과정이 필요하며, 근사 덧셈된 값과 실제 값의 차이가 최하위 비트를 기준으로

$0 \leq \text{오차} < 2$ 이므로 최하위 비트 보다 큰 오차를 가질 수 있다. 반면에, RB 수치계를 사용하는 경우에는 근사 덧셈 과정이 필요 없으면서도 근사 값과 실제 값의 차이가 $-1 < \text{오차} < 1$ 즉, 0을 기준으로 대칭적인 특성을 나타내어 항상 오차의 절대값이 최하위 비트 보다 작은 범위를 갖는다. 이러한 대칭적인 특성은 부분 몫 q_i 를 결정할 때, 이진 수치계를 사용하여 q_i 를 결정하는 것보다 적은 수의 입력 비트를 필요로 한다. 이와 같은 두 가지 특성으로 인하여 이진 수치계를 사용하는 경우 보다 고속이면서도 단순한 부분 몫 결정 회로의 구현이 가능하다. 이진 수치계와 RB 수치계를 이용한 부분 몫 결정 조건은 각각 식(5)와 식(6)으로 표현되며, 이를 도식적으로 나타내면 그림 3과 같다.

$$q_i = \begin{cases} 1 & \text{if } \hat{2}r_{i-1} \geq 1/2 \\ 0 & \text{if } -1/2 \leq \hat{2}r_{i-1} < 1/2 \\ \bar{1} & \text{if } \hat{2}r_{i-1} < -1/2 \end{cases} \quad (5)$$

$$q_i = \begin{cases} 1 & \text{if } \hat{2}r_{i-1} \geq 1 \\ 0 & \text{if } \hat{2}r_{i-1} = 0 \\ \bar{1} & \text{if } \hat{2}r_{i-1} \leq -1 \end{cases} \quad (6)$$

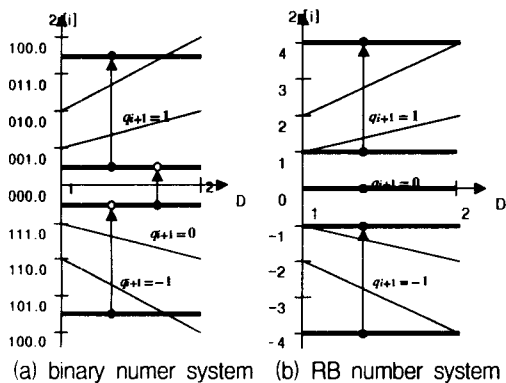


그림 3. 부분 몫 결정 조건
Fig. 3 Conditions for partial quotient decision

RB 수치계를 이용한 부분 나머지 계산 회로는 RB 가산기로 구성된다. 기존의 RB 수치계 방식^[4]에서는 SD $\{-1, 0, 1\}$ 를 $+1 = (1, 0)$, $0 = (0, 0)$,

$-1 = (0, 1)$ 로 정의하며, 두 개의 RB 수를 가산하여 하나의 RB 수를 출력하는 RB 가산기를 사용한다. 이와 같은 기존의 방법은 세 개의 이진수를 두 개의 RB 수로 변환해야하므로, 하나의 이진수를 두 배의 정보량을 갖는 RB 수로 변환함으로써 부분 나머지 연산 시, 이진 수치계의 3:2 CSA를 사용하는 경우 보다 많은 게이트를 필요로 하며, 따라서 전체 계산기의 면적을 증가시키게 된다. 본 논문에서는 SD 수를 기존의 방식과는 다르게 $+1 = (1, 1)$, $0 = (1, 0)$, $(0, 1)$, $-1 = (0, 0)$ 으로 정의하는 RB 수치계^{[6][7]}를 사용함으로써 하나의 RB 수와 하나의 이진수를 가산할 수 있는 변형된 RB 가산기를 고안하였다. 즉, 두 개의 이진수를 하나의 RB 수로 변환한 후, 이를 나머지 하나의 이진수와 가산하여 하나의 RB 수를 출력하는 방법을 적용함으로써 면적은 이진 수치계를 사용하는 계산기와 거의 동일하면서 동작속도가 크게 향상된 계산기를 구현하였다. 본 논문에서 제안하는 변형된 RB 가산기 회로도 는 그림 4와 같다.

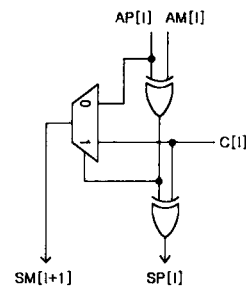


그림 4. 변형된 RB 가산기
Fig. 4 Modified RB adder

III. 회로 설계

3.1 아키텍처 개요

본 논문에서 설계된 radix-2 SRT 부동소수점 계산기는 배정도 입력을 가지며, 표준에는 정의되어 있으나 연산속도와 하드웨어 부담 때문에 대부분의 부동소수점 계산기 설계에서 구현되지 않는 비정규화수와 트랩 (trap)의 구현은 제외하였다. 가수 계산기는 SRT 알고리즘을 이용하여 구현되었고, 표준에 정

의되어 있는 5가지 예외처리와 4가지 반올림 모드를 모두 지원한다. 두 개의 입력 데이터 형태에 따른 연산 동작은 아래와 같으며, 입력 데이터 형태가 둘 다 정상인 경우에만 실제적인 계산 과정을 수행하고, 입력 데이터 중 하나 이상이 정상인 경우는 입력에 의해서 출력이 직접 결정되므로 실제적인 계산과정은 생략되도록 설계되었다.

- normal / normal → normal operation
- 0 / normal → exact 0
- 0 / ∞ → exact 0
- normal / ∞ → exact 0
- ∞ / normal → exact ∞
- ∞ / 0 → exact ∞
- normal / 0 → exact ∞, division by zero
- ∞ / ∞ → quiet NAN, invalid operation
- 0 / 0 → quiet NAN, invalid operation
- sNAN / X → quiet NAN, invalid operation
- X / sNAN → quiet NAN, invalid operation
- qNAN / !sNAN → quiet NAN
- !sNAN / qNAN → quiet NAN

단, sNAN : signaling NAN (Not-A-Number)
 qNAN : quiet NAN
 X : don't care
 ! : don't care except

이와 같은 연산동작을 수행하는 부동소수점 계산기의 전체 블록도는 그림 5과 같으며, 입력 연산자의 영역을 검사하는 비트패턴 디코딩 블록, 지수감산 블록, 가수제산 블록, 최종 나머지의 부호를 검사하고 반올림 과정을 위해 최종 나머지가 0인지를 검사하는 부호/제로 검출 블록, SD로 표현된 몫을 이진수로 변환한 후 정규화 및 반올림을 하는 변환/반올림 블록, 초기 연산결과와 예외처리를 제어하는 제어블록, 그리고 최종 연산결과를 결정하는 출력처리 블록 등으로 구성된다.

설계된 계산기의 동작 타이밍 도는 그림 6과 같으며, 이진 수치계 방식 및 기존의 RB 수치계 방식의 동작과 유사하다. 출력 지연을 개선하기 위해 비트패턴 디코딩과 가수제산은 병렬처리 되도록 설계하였으며, 비트패턴 디코딩 후 입력 데이터 형태가 하나

라도 정상이 아닌 경우는 실제적인 계산과정이 필요가 없으므로 불필요한 전력소모를 줄이기 위해 가수제산이 중지되도록 설계되었다. 설계된 radix-2 계산기의 출력주기는 57-사이클이다.

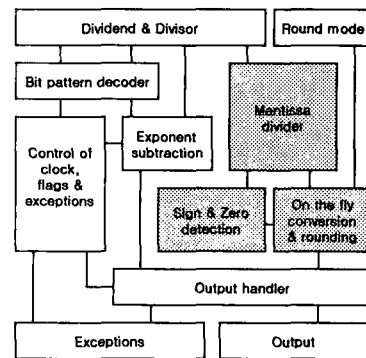


그림 5. 부동소수점 계산기의 블록도
 Fig. 5. Block diagram of floating-point divider

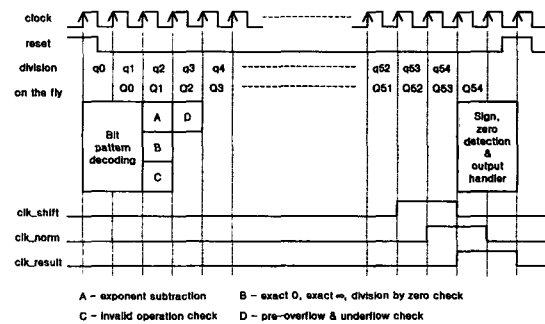


그림 6. radix-2 부동소수점 계산기의 동작 순서
 Fig. 6. Timing diagram of radix-2 floating-point divider

3.2 가수 계산기

가수 계산기 블록은 실제적인 계산을 수행하는 블록이며, 적용되는 수치계에 따라 구조가 달라진다. RB 수치계를 이용하여 설계된 가수 계산기의 블록도는 그림 7과 같으며, 피제수와 제수, 부분 나머지를 저장하는 레지스터, 부분 몫을 결정하는 Qsel 블록, 부분 나머지를 연산하는 가산/정규화 블록, 그리고 변형된 RB 가산기 및 멀티플렉서로 구성된다.

Qsel 블록은 근사 덧셈 과정 없이 RB 수의 최상위 3-디지트만을 이용하여 식(6)과 같은 조건으로 부분 몫이 결정되도록 설계하였으며, 그림 8은 설계된

회로도이다. RB 수치계를 사용하는 경우에는 부분 나머지 계산 후 $2r_{i-1}$ 를 구하기 위해 좌로 1-비트 이동시키면서 최상위 1-비트를 잘라버리는 정규화 과정이 필요하다. 즉, 3-디지트 RB 입력과 3-비트 2진수의 가산결과 중, 상위 2-비트를 버리게 되는데 상위 2-비트가 "00"인 경우는 문제가 없으나, 그렇지 않은 경우에는 결과 값이 틀리게 된다. 따라서, 출력 상위 2-비트가 "00"이 아닌 경우에는 "00"이 되도록 정규화 과정이 필요하다. 정규화를 위한 직접적인 방법은 가산된 출력의 상위 2-비트가 "00"으로 표현되도록 변환하는 것이며, 이 방법은 변환과정이 최악의 경우 연산에 놓이게 되어 연산시간이 증가되는 단점을 갖는다. 본 논문에서는 가능한 모든 입력조건에 대해 가산/정규화한 후 출력을 선택하는 방법을 사용하였다. 즉, 이진수 3-비트는 부분 몫 q_i 의 값에 따라 "000", "001" 및 "110" 중 하나의 값만을 가지므로 Q_{se} 회로와 병렬로 세 가지 경우를 모두 가산/정규화한 후, Q_{sel} 회로에서 결정된 q_i 에 따라 출력이 선택되도록 하였다. 따라서, 변환에 따른 연산시간의 증가는 없으며, 가산/정규화 과정에서 공통으로 사용되는 로직이 많아 가산/정규화 회로는 그림 9와 같이 단순하게 구현된다.

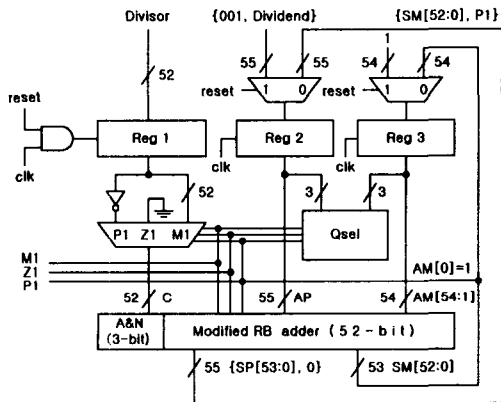


그림 7. 가수 제산기의 블록도
Fig. 7. Block diagram of mantissa divider

변환/반올림 블록은 SD로 표현된 몫을 이진수로 변환한 후 정규화 및 반올림 기능을 수행하며, 정상 모드와 쉬프트 모드를 갖는다. 정상 모드는 반올림

모드가 "nearest even"인 경우의 모든 반복 단계와 나머지 세 가지 반올림 모드 (즉, toward 0, toward $-\infty$, toward $+\infty$)의 마지막 반복 단계를 제외한 모든 단계에 해당된다. 쉬프트 모드는 세 가지 모드의 마지막 반복 단계에만 해당된다. 효율적인 하드웨어 구현을 위해서는 반올림 모드에 따른 출력 비트가 서로 일치해야 하므로 세 가지 반올림 모드의 마지막 단계에 쉬프트 모드를 추가하여 출력처리 블록이 쉽게 구현되도록 하였다.

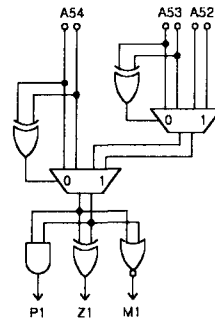


그림 8. RB 수치계를 이용한 부분 몫 결정 회로
Fig. 8. Partial quotient decision circuit using RB number system

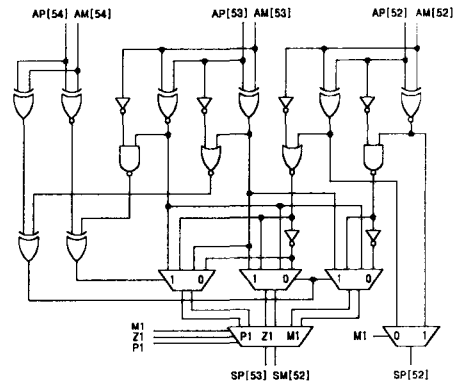


그림 9. 가산/정규화 회로
Fig. 9. Addition/Normalization circuit

3.3 회로 합성 및 검증

설계된 회로는 Verilog HDL을 이용하여 모델링 되었으며, Cadence의 Verilog-XL을 사용하여 모든 논리 검증을 수행하였다. 설계된 부동소수점 제산기

를 Verilog HDL로 모델링한 후, 랜덤 테스트 벡터와 두 개의 입력이 모두 정상인 경우에 해당되는 테스트 벡터를 임의적으로 생성하여 논리검증을 수행하였다.

그림 10은 Verilog-XL을 이용한 전체 부동소수점 계산기의 논리검증 결과이다. 그림에서, 첫 번째 열과 두 번째 열의 숫자들은 각각 16진수로 표현된 64-비트의 피제수와 제수를 나타내며, 세 번째 열의 숫자들은 계산 결과를 나타낸다. 네 번째 열의 5-비트 신호는 예외처리 결과를 나타낸다. 이와 같은 시뮬레이션을 통해 설계된 계산기 회로의 논리기능이 정상적으로 동작함을 확인하였다.

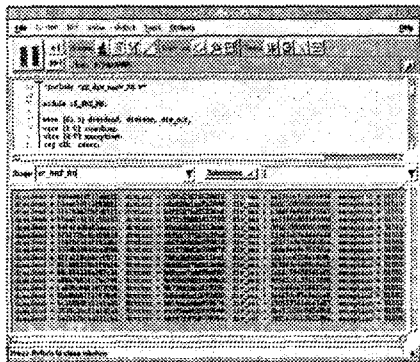


그림 10. Verilog-XL을 이용한 논리 검증
Fig. 10. Logic simulation using Verilog-XL

설계된 가수 계산기 블록을 Synopsys로 논리 합성한 결과는 그림 11과 같다. 표 1은 설계된 가수 계산기의 동작속도와 면적을 2진 수치계를 이용한 방법 및 기존의 RB 수치계를 이용한 방법과 비교한 결과이다. 표 1에 제시된 연산시간 및 면적은 0.6- μ m 3-metal CMOS 표준 셀 라이브러리와 Synopsys 합성 툴을 이용하여 얻은 결과이다. 또한, 전체 연산시간은 레지스터의 연산시간을 포함하고 있으며, 면적은 2입력 NAND 게이트의 면적을 1로 하여 나타낸 게이트 수이다. RB 수치계를 이용하는 것이 2진 수치계를 이용하는 방법 보다 동작속도 측면에서 유리하다는 것을 알 수 있으며, 본 논문에서 제안한 방법이 이진 수치계를 이용하는 가수 계산기와 비교해 면적은 거의 동일하면서도 동작속도가 약 20% 향상되었음을 알 수 있다. 또한, 기존의 RB 수치계 방

식에 비해 RB 가산기가 단순화되어 면적이 약 20% 감소되었으며 연산시간도 약 5% 감소되었음을 알 수 있다.

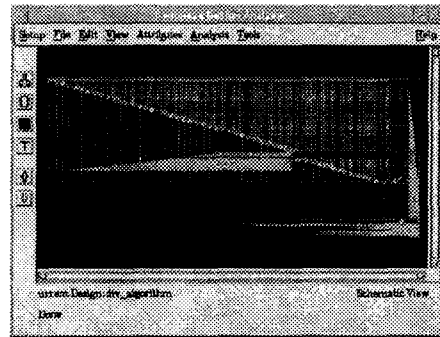


그림 11. 가수 계산기 블록의 합성 결과
Fig. 11. Logic synthesis of the Mantissa divider block

표 1. 수치계에 따른 가수 계산기의 비교

Table 1. Comparison of mantissa divider

	2진 수치계	기존 RB 수치계	본 논문의 방법
가수 계산기의 연산 시간 (비율)	8.58 ns (1)	7.27 ns (0.847)	6.91 ns (0.805)
Qsel의 연산 시간 (비율)	5.04 ns (1)	3.62 ns (0.718)	3.62 ns (0.718)
면적 (비율)	2173 gate (1)	2639 gate (1.214)	2189 gate (1.007)

IV. 결론

본 논문에서는 고속의 radix-2 부동소수점 계산기 구현을 위한 새로운 RB 수치계 방식을 제안하였다. 가수 계산에 RB 수치계를 사용하여 부분 몫 결정 회로를 단순하게 구현하였으며, 본 논문에서 제안된 방식의 장점은 다음과 같다. 첫째, 이진 수치계를 이용하는 가수 계산기와 비교해 면적은 거의 동일하면서도 연산시간은 약 20% 감소된 고속의 부동소수점 계산기의 구현이 가능하다. 둘째, 변형된 RB 가산기를 제안함으로써 기존의 RB 수치계 방식^[4]에 비해 면적은 약 20%, 연산시간은 약 5% 감소된 고집적/고속의 부동소수점 계산기의 구현이 가능하다.

설계된 계산기는 radix-2 계산기에 비해 작은 연

산 사이클을 필요로 하는 high-radix 계산기 설계에 적용 가능하며, FPU가 내장된 단일 칩 마이크로 프로세서, 마이크로 컨트롤러, 디지털 신호처리 프로세서의 구현에 적용 가능한 것으로 판단된다.

참고문헌

[1] P. Soderquist and M. Leeser, "Division and square root : choosing the right implementation", *IEEE Micro*, pp. 56-66, July/August, 1997.

[2] I. Koren, "Computer Arithmetic Algorithms", *Prentice-Hall International Editions*, 1993.

[3] M. D. Ercegovac and T. Lang, "Division and square root : digit-recurrence algorithms and implementations", *Kluwer Academic*, 1994.

[4] H. Suzuki, H. Makino, K. Mashiko and H. Hamano, "A floating-point divider using redundant binary circuits and an asynchronous clock scheme", *Proc. of IEEE ICCD, VLSI in computers & processors*, pp. 685-689, December 1997.

[5] IEEE Standard Committee, "IEEE Standard for Binary Floating Point Arithmetic", New York : *IEEE*, 1985.

[6] 김호하, 신경욱, "Radix-4 Booth recoding과 RB 연산을 이용한 새로운 복소수 승산 알고리즘 및 10-bit CMAC 코어 설계", *대한전자공학회 논문지, C편*, vol. 35, no. 9, pp. 11-20, September 1998.

[7] K. W. Shin, B. S. Song and K. Bacrania, "A 200-MHz complex-number multiplier using redundant binary arithmetic", *IEEE J. of Solid-State Circuits*, IEEE, vol. 33, no. 6, pp. 904-909, June 1997.



辛 卿 旭 (Kyung-Wook Shin)

약력

1984년 2월 한국항공대학교
전자공학과 졸업

1986년 2월 연세대학교 대학원
전자공학과 석사

1990년 8월 연세대학교 대학원
전자공학과 박사

1990년 9월~1991년 6월
한국전자통신연구소

1995. 8월~1996. 7
Univ. of Illinois at UC 방문연구

1991년 7월~현재 금오공과대학교
전자공학부 부교수

※ 관심분야 : 통신 및 신호처리용 집적회로 설계,
저전압/저전력 집적회로 설계,
암호 프로세서 설계, 반도체 IP 설계



李 鍾 男 (Jong-Nam Lee)

약력

1999년 2월 금오공과대학교
전자공학과 졸업

2001년 2월 금오공과대학교
전자공학과 석사

2001년 2월 (주)유니와이드
테크놀로지 연구원

※ 관심분야 : 통신 및 신호처리용 집적회로 설계,
FPU 설계, IP 설계