

유도대전소자모델(FCDM)을 이용한 ESD에 의한 반도체소자의 손상 메커니즘 해석

김두현[†] · 김상렬^{*}

충북대학교 안전공학과 · *안동과학대학 산업보건과
(2001. 4. 10. 접수 / 2001. 6. 22 채택)

An Analysis of Damage Mechanism of Semiconductor Devices by ESD Using Field-induced Charged Device Model

Doo-Hyun Kim[†] · Sang-Ryull Kim^{*}

Department of Safety Engineering, Chungbuk National University

^{*}Department of Industrial Health, Andong Science College

(Received April 10, 2001 / Accepted June 22, 2001)

Abstract : In order to analyze the mechanism of semiconductor device damages by ESD, this paper adopts a new charged-device model(CDM), field-induced charged model(FCDM), simulator that is suitable for rapid, routine testing of semiconductor devices and provides a fast and inexpensive test that faithfully represents ESD hazards in plants. The high voltage applied to the device under test is raised by the field of non-contacting electrodes in the FCDM simulator, which avoids premature device stressing and permits a faster test cycle. Discharge current and time are measured and calculated. The FCDM simulator places the device at a high voltage without transferring charge to it, by using a non-contacting electrode. The only charge transfer in the FCDM simulator happens during the discharge. This paper examine the field charging mechanism, measure device thresholds, and analyze failure modes. The FCDM simulator provides a fast and inexpensive test that faithfully represents factory ESD hazards. The damaged devices obtained in the simulator are analyzed and evaluated by SEM. Also the results in this paper can be used for to prevent semiconductor devices from ESD hazards.

Key Words : electrostatic discharge(ESD), field-induced charged device model(FCDM), scanning electron microscope (SEM)

1. 서 론

반도체소자의 미세화, 집적화가 진행되어 점차 소형화 및 박형화되고 이에 따라 반도체소자의 정전기방전에 대한 정전기내성은 작아지고 있다. 이로 인하여 생산공정에서의 반도체소자의 정전기방전(Electrostatic Discharges ; ESD)에 의한 위험성이 증대되고 여러 형태의 피해가 발생되고 있다. 반도체소자의 파괴 및 열화의 메커니즘은 크게 2가지로 나눌 수 있는데 하나는 열적 파괴이고, 다른 하나는 전계파괴이다. 반도체소자의 파괴 및 손상으로 인한

산업체의 손실을 감소시키기 위해서는 특히 방전으로 인한 소자의 파괴 메커니즘에 대한 정확한 이해가 필요하다. 복잡한 메커니즘을 분석하기 위한 기초연구로 package형 반도체소자의 정전기 완화특성을 해석하기 위한 실험을 이미 수행하여 그 결과를 참고문헌 1)에 제시하였으며, 이 실험을 통하여 반도체소자의 형태, package 재료, 습도 및 핀수에 따른 소자의 대전전위와 전위감쇠를 측정하였고 이 완화특성을 이용하여 반도체소자의 대전위험성과 방전가능성을 분석하였다.³⁾ 또한 이 정전기 완화특성 실험에서 나타난 방전특성을 이용하여 ESD에 의한 반도체소자의 손상특성을 측정하였으며 그 결과를 참고문헌 2)에 제시하였다. 반도체소자의 정전기 방전으로 인한 손상 메커니즘을 해석하기에 적

[†]To whom correspondence should be addressed.
dhk@cbucc.chungbuk.ac.kr

합한 모델은 전계유도에 의한 대전현상을 측정하기 위한 유도대전소자모델(Field-induced Charged Device Model ; FCDM)이며 다양한 반도체에 적용하여 인가전압에 따른 반도체소자의 손상특성 및 위험성에 대하여 많은 연구결과가 발표되었다⁴⁾.

반도체소자의 생산 및 조립과정에서 인체대전, 누전, 기타 공정상의 원인으로 인한 반도체소자의 파괴 위험성에 대한 대책은 어느 정도 강구되어 있으며, 반도체소자들은 비교적 저전계 환경에 대한 내성을 지니고 있다. 그러나 정전유도현상에 의한 고전계 환경에 노출되어 반도체소자가 대전되어 어떠한 경로로 ESD가 발생하여 입게 되는 손상 메커니즘 해석 및 대책은 대단히 미흡한 실정이다. 따라서, 본 연구에서는 반도체소자의 손상 메커니즘을 알아보기 위하여 FCDM을 적용하여 다양한 형태의 실험을 수행하였다. 특히, 반도체소자의 정전기 완화특성 실험¹⁾과 ESD에 의한 반도체소자의 손상특성에서 나타난 실험결과²⁾를 이용하여 ESD로 인한 반도체소자의 위험성 판단기준을 보다 정확하고 신뢰성 있게 분석하기 위하여 FCDM 실험의 결과를 적용·평가하고자 하였다. 따라서, FCDM simulator를 이용하여 실제 반도체소자에 대전된 전하량과 방전전류 및 방전시간을 측정하여 보다 정확한 반도체소자의 ESD에 의한 소자의 손상 메커니즘 해석을 위한 위험성을 분석·평가하였다. 한편, 이 실험을 통하여 손상 내지는 파괴된 반도체소자의 소자내부 상태를 주사전자현미경(Scanning electron microscope ; SEM)에 의해 조사 분석하였다.

2. 유도대전소자모델(FCDM)의 방전이론^{5~9)}

반도체소자가 제조공정이나 운반 등에서 여러 가지 원인에 의해 소자 자체가 대전상태가 된 후 다른 물체와 접촉하는 경우에 급속한 정전기방전을 일으킴으로써 소자의 파괴 가능성을 해석하는 모델은 대전소자모델(Charged Device Model ; CDM)이다. 이에 비해 FCDM은 CDM과 매우 유사한 모델로서 소자주변의 전장(전계) 변화에 의해 소자내부에 발생하는 과도전압, 과전류에 기인하여 유도된 정전기 방전현상을 해석하는 모델이다. 반도체소자는 미세화 됨에 따라 MOS(Metal Oxide Semiconductor) 트랜지스터의 게이트 산화막과 절연막의 박막화에 의해 절연내압이 낮아지고 있다^{10~11)}. 반도체 제조공정과 전자기기의 조립공정이 자동화되면서 소자의 마찰

공정이 증가하여 소자 자체가 대전하는 현상이 발생하기 쉽도록 되어 있다. 대전된 디바이스의 리드핀이 금속체에 접촉하여 전하가 흐름에 의해 급속히 전압이 상승하고 그 전압에 의해 주로 전계파괴가 발생한다. MOS 트랜지스터와 같이 산화막 게이트 구조를 가진 소자의 경우 외부 전계에 의해 대전되어 CDM과 같은 피해를 수반한다. CDM은 소자의 핀에 직접적으로 대전되는 경우인데 생산공정에서 이런 경우는 거의 발생되지 않는다. 따라서 대부분 ESD 문제들은 소자가 주위 환경의 충전체 근처에 있을 때 정전유도에 의해 발생되기 때문에 이러한 생산공정에서 FCDM의 적용이 유용하다. FCDM에 의한 반도체소자의 손상특성 실험에서 유도전압에 따른 소자를 분석한 결과 ESD에 의한 방전전류는 전극전압이 높을수록 증가하였으며, 전극전압이 11[kV]~17[kV]의 범위에서 소자의 특성변화가 있었고, 15[kV]~18[kV]에서 소자의 완전한 파괴가 일어났다. 따라서 정전기방전(ESD)에 의해 소자의 특성변화와 파괴가 일어났는데 이는 어떤 형태론든 외부 전계에 의해 소자가 대전된 다음 방전이 일어난다면 소자가 손상을 입게 되므로 전계가 유도되지 않도록 하여야 한다.

3. 실험장치 및 방법

3.1. FCDM 실험

본 실험에서 사용한 반도체소자에 대한 FCDM tester¹²⁾는 AT&T Bell Laboratories에서 고안한 실험장치이다. package형 반도체소자의 정전기방전 메커니즘을 연구하는데 유용한 장치로서 Fig. 1에서 보는 바와 같이 구리판(전극)에 전압을 DC 11,000~20,000[V]까지 Power Supply로 인가하여 전계를 형성시켜 Leads up 상태로 놓인 DUT(Device Under Test)에 대전시킨 후 AD(Approaching Discharge) 방법¹³⁾으로 방전전극으로 각각의 전압별로 방전시켜 Oscilloscope를 이용하여 전압파형 및 전류파형을 기록하였다. 여기에서의 ESD는 다중방전이 일어나는데 이것은 AD방법으로 방전전극을 반도체소자에서 서서히 접근시킬 때 전계내의 일정거리에서 최초 방전이 일어나고 더 가까이 접근함으로써 계속적으로 방전이 일어나기 때문이다. 이 전압파형과 전류파형을 이용하여 반도체소자의 방전전류값과 대전전하량을 계산하여 인가전압에 따른 반도체소자의 대전전하량과의 관련성 및 방전전류값과의 관련성

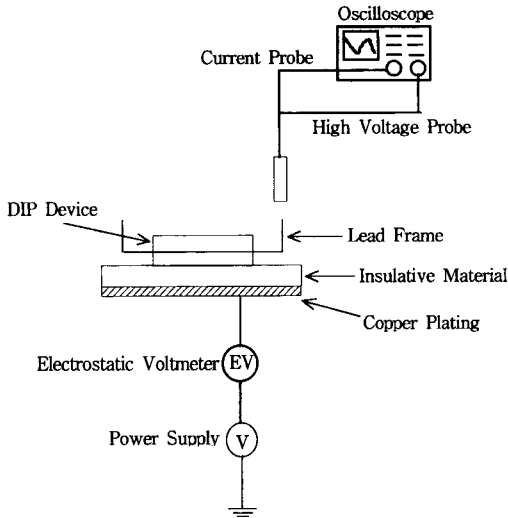


Fig 1. Advanced FCDM Tester

을 분석하였다.

실험에 사용된 FCDM tester는 다음과 같이 구성된다.

- (1) HV DC Power Supply(0~30kV ; DRP-HK2005, Dae Do Electronics Co)
- (2) Electrostatic Voltmeter(0~50kV ; ESH-28DX, No. ES 9804, Electrical Instrument Service INC.
- (3) Oscilloscope(500MHz ; 9354TM, LeCroy)
- (4) Discharge Probe(100[MΩ], 1,000 x 3.0[pF] ; Tektronix P6015A, Tektronix)
- (5) AC/DC Current Probe(DC to 100kHz ; Tektronix P6015A, Tektronix)

3.2. ESD에 의한 손상확인

AD(Approaching Discharge)방법을 사용하여 FCDM 실험을 실시한 후, 실험대상 반도체소자의 EMC (Epoxy material compounds) package를 발연질산으로 녹여서 package 내부의 반도체소자 chip을 증류수로 세정하여 주사전자현미경(Scanning electron microscope ; JSM-6400, JEOL LTD.)를 사용하여 반도체소자의 실제 손상상태를 촬영하여 ESD에 의한 소자의 손상 양상과 손상 정도를 확인하였다.

4. 결과 및 고찰

4.1. FCDM 실험결과 및 고찰

Fig. 2는 전극전압에 따른 방전전류를 나타낸 그

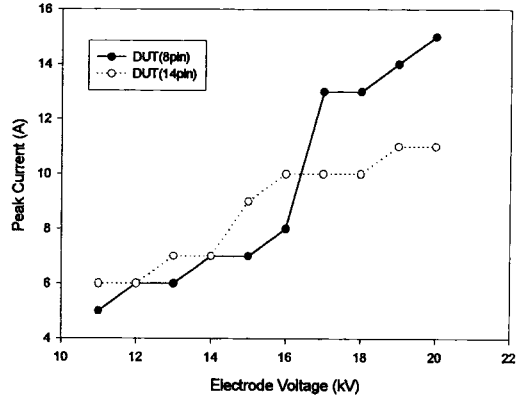


Fig. 2. A plot of peak current versus electrode voltage for devices in AD test

림으로 8pin 및 14pin 소자에서 대체적으로 전극전압이 클수록 방전전류도 크게 나타났다. 이것은 전극전압이 커질수록 고전계가 형성되어 반도체소자에 유도되는 전하량이 커지기 때문에 ESD에 의한 방전전류도 커지는 것으로 분석된다. 8pin 소자가 14pin 소자에 비해 16[kV]에서 방전전류가 크게 나타나는 것은 소자의 크기 차이에 따른 전계의 집중 현상이 14pin 소자에 비해 크게 나타나기 때문인 것으로 분석된다.

Fig. 3은 전극전압에 따른 반도체소자에 대전된 대전전하량을 나타낸 그림으로 8pin 및 14pin 소자에서 대체적으로 전극전압이 클수록 대전전하량도 크게 나타났다. 이것은 전극전압이 커질수록 고전계가 형성되어 반도체소자에 유도되는 전하량이 커지기 때문이다. 8pin 소자가 14pin 소자에 비해 16[kV]에서 방전전류가 크게 나타나는 것은 방전전류의

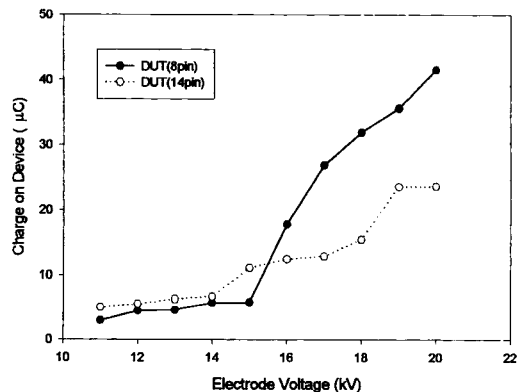


Fig. 3. A plot of charge versus electrode voltage for devices in AD test

Table 1. Calculated Charge for two types of DUT in Discharge Process

DUT(Devices Under Test)			
8pin		14pin	
Electrode Voltage(kV)	Charge (μC)	Electrode Voltage(kV)	Charge (μC)
11	2.98	11	4.97
12	4.44	12	5.48
13	4.60	13	6.24
14	5.68	14	6.62
15	5.78	15	11.06
16	17.78	16	12.40
17	26.87	17	12.83
18	31.87	18	15.43
19	35.61	19	23.54
20	41.57	20	23.59

크기에 따른 것으로 분석된다.

Table 1은 FCDM Tester에서 반도체소자의 전류파형(Fig. 4)을 이용하여 세로로 한 칸이 5[A], 가로로 한 칸이 1[μs]로서 면적에 따른 한 칸의 전하량을 5[μC]으로 하여 계산한 반도체소자의 대전전하량을 계산한 것이다. 대체적으로 전극전압이 커질수록 대전전하량도 증가하는 것으로 분석된다.

대전전하량을 구하기 위한 다른 방법으로는 전류파형으로부터 전하를 계산할 수 있으며, 이를 위해 방전시의 전압 및 전류파형을 관측한 결과가 Fig. 4이다. 그림에서 보는 바와 같이 ESD에 의해 다중방전이 일어나는데 이것은 AD방법으로 방전전극을 반도체소자에 서서히 접근시킬 때 전계내의 일정거리에서 최초 방전이 일어나고 더 가까이 접근함으로써 계속적으로 방전이 일어나기 때문이다. 전류파형으로부터 대전전하량을 계산하기 위해서는 전류파형의 전체면적을 알 필요가 있으며, 전류파형은 임펄스이기 때문에 이것을 삼각형으로 근사시킬 수 있다. 따라서 총 전하는 식(1)을 이용하여 전류파형과 관련된 전하량을 계산할 수 있다.

$$Q = \int_0^t idt = \frac{1}{2} \times I_{peak} \times \Delta t \quad (1)$$

여기에서 i 는 방전전류이고,

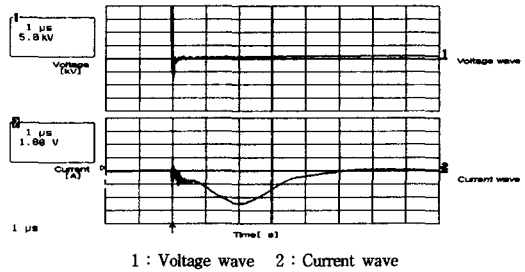


Fig. 4. Discharge waveform for DIP devices in AD test(20kV, 8pin)

I_{peak} 는 피크전류

Δt 는 펄스 폭이다.

이 결과는 Fig. 4의 방전파형(20kV)에 따른 반도체소자의 전하량은

$$Q = \frac{1}{2} \times 15[A] \times 5.5[\mu s] = 41.25[\mu C]$$

이므로 전류파형을 이용한 반도체소자의 전하량 41.25[μC]은 Table 1에서 구한 41.56566[μC]과 거의 일치한다. 이 값은 Fig. 3의 인가전압에 따른 반도체소자의 전하량과의 관계에서 얻은 정전용량(C)값, 즉 $C = \frac{Q}{V} = \frac{41.57\mu C}{20,000V} = 2.08[nF]$ 에 의한 $Q = CV$ 와 일치한다. $Q = CV$ 로부터의 데이터와 전류파형으로부터의 데이터 사이의 작은 차이는 AD테스트의 보다 작은 간격에서의 다른 방전에 기인될 수 있다. 공기파괴에 의한 방전메커니즘의 경우 $Q = CV$ 에서 보다 큰 전하량을 얻는 것은 전극전압에 의한 고전계에서의 반도체소자가 다중방전을 일으키기 때문이라는 것을 알 수 있다.

4.2. ESD에 의한 손상 결과 및 고찰

Fig. 5와 Fig. 6은 각각 8pin, 14pin 반도체소자를 Scanning Electron Microscope(SEM)를 이용하여 package 내부를 촬영한 사진으로 (a)는 정상소자, (b)는 파괴소자의 사진이다. (a)의 정상소자에서는 파괴부분이 없으나 각각 화살표로 표시한 (b)의 파괴된 소자의 상태를 보면 정상소자와 비교하여 Junction이 파괴되면서 산화막이 손상된 것을 보여 주고 있다. 이 부분은 Needle을 연결시키는 부분으로 파괴된 지점의 위쪽과 아래쪽의 Gold wire를 연결시키는 부분으로 대부분의 반도체소자의 파괴는 이곳에서 발생된다. 따라서 이 정도의 손상은 소자로서의 기능을 완전히 상실한 것으로 전형적인 반도체소자의 파괴를 보여 주는 것이다.

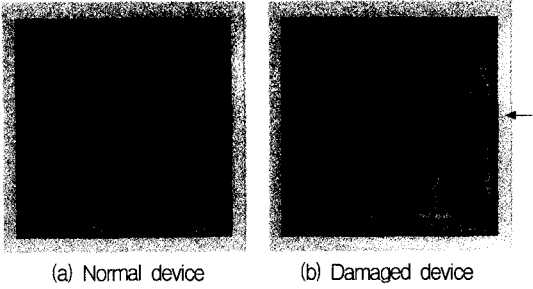


Fig. 5. A SEM photomicrograph showing damaged areas in DIP devices(8pin)

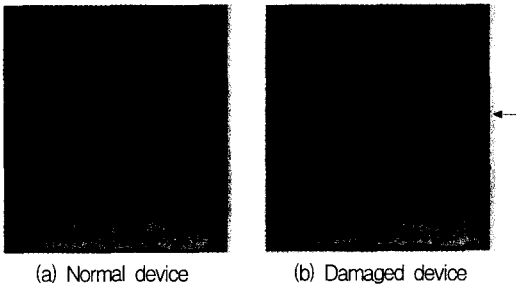


Fig. 6. A SEM photomicrograph showing damaged areas in DIP devices(14 pin, 20kV)

4. 결론

본 논문에서는 반도체소자의 대전으로 인한 ESD의 위험성을 유도대전소자모델(FCDM)을 적용하여 분석하였다.

FCDM 실험결과로부터 ESD로 인한 반도체소자 위험성의 판단기준이 되는 대전전하량 및 방전전류에 따른 반도체소자의 손상 관련성을 파악할 수 있었다. 또한, 파괴된 반도체소자를 대상으로 SEM사진 분석에 의해 ESD에 의한 반도체소자의 파괴여부, 파괴 양상 및 정도를 확인하여 FCDM 분석기에 의한 위험성 고찰과 비교하여 파괴정도를 정확하게 정량적으로 판단 할 수 있었다.

유도대전에 의한 소자의 대전 및 방전현상을 해석하는 FCDM에 의한 실험을 통하여 얻은 주요한 결론은 다음과 같다.

- 1) ESD에 의한 방전전류는 전극전압이 높을수록 증가하는 경향을 보인다.
- 2) 전극전압이 높을수록 반도체소자에 대전된 전하량은 증가한다.
- 3) ESD는 AD테스트의 경우 반도체소자와 방전

전극 사이의 공기절연파괴에 의한 공기방전인 다중방전이 일어난다.

4) 반도체소자의 손상 양상과 정도를 알아보기 위해 ESD 방전후의 소자 내부상태를 SEM 사진으로 분석한 결과, 인가전압이 18[kV] 이상인 경우에 Junction이 파괴되면서 산화막의 손상으로 인하여 소자의 완전한 파괴가 일어났다.

따라서, 위의 결과들로부터 반도체소자를 생산·조립하는 산업현장에서 고전계에서의 정전유도에 의한 반도체소자의 ESD로 인한 손상 메커니즘을 추정할 수 있을 것으로 생각된다. 한편, ESD 후의 반도체소자의 잔류전하량의 측정 및 본 실험에 사용된 Approach Discharge(AD)테스트 방법과 Fixed Gab Discharge(FGD)테스트와의 비교 분석을 한다면 반도체소자의 ESD에 대한 손상 메커니즘의 더 정확한 분석이 이루어 질 수 있을 것으로 판단된다.

참고문헌

- 1) 김두현, 김상렬, 반도체소자의 정전기 완화특성, 한국산업안전학회, Vol. 14, No. 3, pp. 69~77, 1999.
- 2) 김두현, 김상렬, ESD에 의한 반도체소자의 손상특성, 한국산업안전학회, Vol. 15, No. 4, pp. 62~68, 2000
- 3) 和泉健吉, 靜電氣についての基礎實驗, 靜電氣學會, 18, No. 4, pp. 376~384, 1994.
- 4) Robert G. Renninger, M. C. Jon, D. L. Lin, T. Diep and T. L. Welsher, A Field-Induced Charged-Device Model Simulator, EOS/ESD Symposium Proceedings, EOS-11, pp. 59~71, 1989.
- 5) 鈴木功一, 靜電誘導による半導體デバイスの故障メカニズム, 靜電氣學會, 23, No. 6, pp. 303~308, 1999
- 6) 藤江明雄, 電子産業分野の靜電誘導のトラブル概要, 靜電氣學會, 23, No. 6, pp. 297~302, 1999.
- 7) P. R. Bossard, R. G. Chemellic and B. A. Unger, ESD damage from triboelectrically charged IC pins, EOS / ESD Symposium Proceedings, EOS-2, 17, 1980.
- 8) Timothy J. Maloney, Integrated Circuit Metal in the Charged Device Model Bootstrap Heating, Melt Damage, and Scaling Laws, Journal of Electrostatics, 31, pp. 313~321, 1993.
- 9) Robert G. Renninger, Mechanisms of Charged-Device Electrostatic Discharges, Journal of Electro-

- statics, 28, pp. 253~283, 1992.
- 10) W. D. Greason, Constant Energy Device Test for Electrostatic Discharge(ESD) of Semiconductor Devices, IEEE Trans., Vol. 33, No. 1, pp. 286~297, 1997.
 - 11) B. A. Unger, Electrostatic Discharge Failures of Semiconductor Devices, Proceedings of the IEEE International Reliability Physics Symposium, 1981.
 - 12) M. C. Jon and T. L. Welsher, An Experimental Investigation of the Electrostatic Discharge(ESD) Mechanism in Packaged Semiconductor Devices, Journal of Electrostatics, 32, pp. 43~70, 1994.