論文2001-38SD-8-3

듀얼 위상 주파수 검출기를 이용한 차지펌프 PLL 설계

(Design of the Charge pump PLL using Dual PFD)

李俊昊*, 李根浩**, 孫周浩***, 金善泓***, 劉永奎****, 金東龍***

(Jun Ho Lee, Geun Ho Lee, Ju Ho Son, Sun Hong Kim, Young Gyu Yu, and Dong Yong Kim)

요 약

본 논문에서는 위상획득과정과 동기과정에서의 trade-off를 향상시킨 듀얼 위상 주파수 검출기를 이용하여 차지펌프 PLL을 설계하였다. 제안된 듀얼 위상 주파수 검출기는 상승에지에서 동작하는 POSITIVE 위상 주파수 검출기와 하강에지에서 동작하는 NEGATIVE 위상 주파수 검출기로 구성되어있다. 또한 PLL에 사용된 차지펌프는 전류뺄셈회로를 이용하여 전류 부정합을 감소시켰으며, reference spurs와 전압제어발진기의 변동을 감소시킬수 있도록 구현하였다. 제안된 PLL의 동작특성은 0.25㎛ CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 통해 검증되었다.

Abstract

In this paper, the charge pump PLL using the dual PFD to improve the trade-off between acquisition behavior and locked behavior is proposed. This dual PFD consists of a positive edge triggered PFD and a negative edge triggered PFD. The proposed charge pump shows that it is possible to overcome the issue of the charge pump current mismatch by the current subtraction circuit. Also, this charge pump can suppress reference spurs and disturbance of the VCO control voltage. The proposed charge pump PLL is simulated by SPICE using 0.25㎛ CMOS process parameters.

* 正會員, LG電子
(LG Electronics)
** 正會員, 群山大學校 電子情報工學部
(Kunsan National University, School of Electronic & Information Engineering)
*** 正會員, 全北大學校 電氣電子工學科
(Dept. of Electrical Engineering, Chonbuk National University)
**** 正會員, (주)플레넷 中央硏究所
(PLANET System)

※ 본 연구는 한국과학재단 특정기초연구(1999-1-302-003-3) 지원으로 수행되었음.
接受日字:2000年12月6日, 수정완료일:2001年7月23日

Ⅰ. 서 론

통신기술이 발전하고 가용주파수 대역이 높아짐에 따라 이동통신 시스템에 필수적으로 사용되는 부품중 주파수 합성기로 사용되는 PLL(Phase -Locked Loop) 역시 고주파수에서 안정적으로 동작해야 한다. 또한 입력 주파수의 변화에 따른 주파수 추적속도 와 잡음 등이 통화품질에 커다란 영향을 미치므로 설계에 있어 고려해 주어야 할 중요한 관건이 된다.

일반적으로 PLL의 위상 검출기는 위상잡음특성이 좋은 Exclusive OR 위상 검출기(PD)대신 주파수 추적속도가 빠른 위상 주파수 검출기(PFD)가 사용되며, 출력인 디지털신호를 아날로그신호로 바꿔주기 위해 차지펌프(Charge pump)가 출력단에 사용된다.[1,2] 기존의 차

지펌프는 두개의 스위치가 모두 on되는 경우 단락된 회로에 의해서 전압제어발진기(VCO)의 제어전압이 변하게 되고 리셋에 필요한 시간동안 왜곡된다. 또한, 두 전류가 정확하게 일치되지 않으면 두 전류의 차는 전압제어발진기의 제어전압을 변화시켜 출력주파수는 왜곡되어 지터 및 spurs 발생의 원인이 된다.

본 논문에서는 기존의 PLL이 가지고 있는 이러한 단점을 극복하기 위하여 새로운 구조의 듀얼 위상 주파수 검출기와 차지펌프를 제안하였다. 제안된 듀얼 위상 주파수 검출기는 이득과 주파수 추적속도를 향상시켰다. 또한, 차지펌프는 두개의 스위치가 모두 on되는 경우 전류가 흐르지 않도록 설계하여 단락된 회로에 의한 제어전압의 변동을 막을 수 있고 전류 부정합을 개선시키며 spurs를 억제할 수 있는 특성을 지니고 있다.

Ⅱ. 차지펌프 PLL의 구성

PLL은 위상에 대한 부궤환 루프를 사용하여 입력신호와 출력신호의 위상오차를 줄이거나 0이 되게 하는 비선형 아날로그 소자이다. 따라서, 두 신호의 위상 차이가 줄어들므로 두 신호의 주파수도 같아지게 된다.

차지펌프 PLL의 기본구조는 그림 1과 같다. 위상 주파수 검출기는 두 입력신호의 위상을 비교하여 그 차이를 전압의 형태로 출력한다. 차지펌프는 위상 주파수 검출기의 출력신호인 시간 정보를 가지고 있는 UP과 DN신호를 루프필터 내의 커패시터에 전위 정보로 바꾸어 주는 역할을 한다. 루프필터(Loop Filter)를 통하여 필터링 된 전압은 전압제어발진기의 제어전압으로 출력주파수를 제어하며, 분주기(Divider)는 전압제어발진기의 출력주파수를 나누는 역할을 한다. 위상 검출기의 두 입력신호의 주파수가 같을 때 PLL이 동기 되었다고 한다.

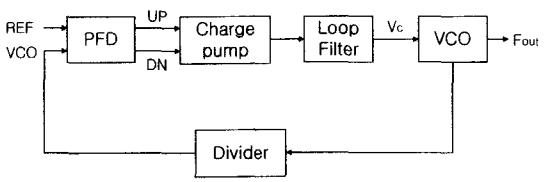


그림 1. 차지펌프 PLL의 기본구조
Fig. 1. Basic architecture of the Charge pump PLL.

1. 위상 주파수 검출기

기존의 PLL은 빠른 주파수 추적속도와 적은 위상 잡음을 얻기 위해 위상 주파수 검출기와 Exclusive OR 위상 검출기를 사용하여 듀얼 루프 PLL을 구성하였다.[3,4] 그러나 [3][4]와 같은 듀얼 루프 PLL은 스위치 제어회로가 필요하며 두개의 루프필터가 필요하므로 집적화 시키기에는 적합하지 않으며 위상 검출기 입력은 50% duty cycle이 되야 한다는 단점이 있다. 제안된 듀얼 위상 주파수 검출기회로는 듀얼 루프와 같은 기능을 가지고 있으며 한 개의 루프필터만 쓰이는 장점이 있다.

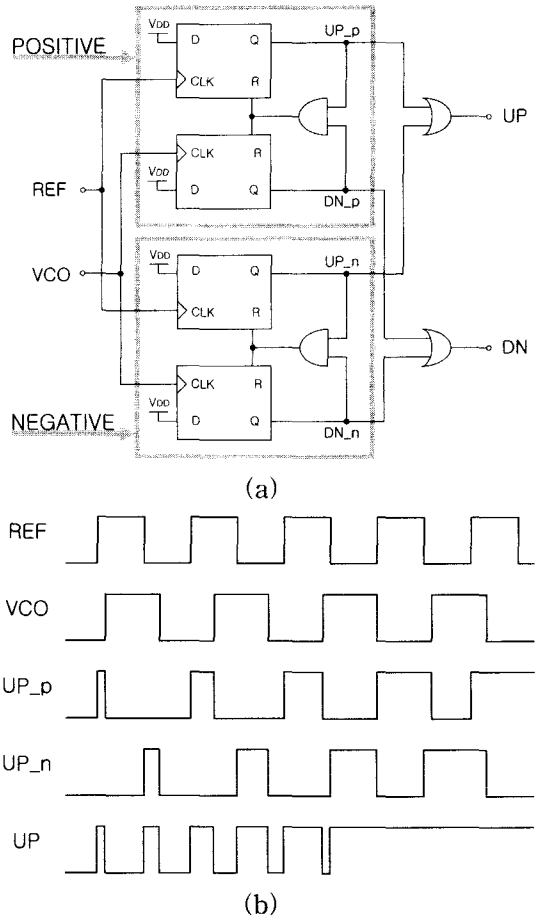


그림 2. 제안된 듀얼 위상 주파수 검출기
Fig. 2. Proposed Dual PFD.

제안된 위상 주파수 검출기회로는 그림 2(a)와 같이 POSITIVE 위상 주파수 검출기와 NEGATIVE 위상 주파수 검출기 두개를 합한 듀얼 위상 주파수 검출기

로서 각 위상 주파수 검출기의 출력은 OR게이트의 입력으로 들어가서 그림 2(b)와 같이 출력된다. 그림 2(b)와 같이 REF와 VCO신호가 입력으로 주어질 때 POSITIVE 위상 주파수 검출기는 입력신호의 상승에지에서 동작하여 UP_p신호를 출력하며 NEGATIVE 위상 주파수 검출기는 입력신호의 하강에지에서 동작하여 UP_n신호를 출력한다.

일반적인 위상 주파수 검출기의 출력과 그림 2(b)를 비교해보면 위상오차 ϕ_e가 $0<\phi_e<\pi$인 경우 일반적인 위상 주파수 검출기는 UP신호를 한 주기동안 1번 검출하는데 제안된 듀얼 위상 주파수 검출기는 UP신호를 한 주기에 2번 검출하여 Exclusive OR 위상 검출기와 같은 출력을 얻을 수 있다. 위상오차 ϕ_e가 $\pi<\phi_e<2\pi$인 경우 출력신호는 High로 일정하여 일반적인 위상 주파수 검출기에 비해 주파수 추적속도가 향상된 것을 알 수 있다.

그림 3은 위상오차 ϕ_e에 대한 위상 주파수 검출기의 평균출력전압 $\overline{v_d(t)}$를 나타낸 것이다. 일반적인 위상 주파수 검출기는 그림 3(a)와 같이 $\phi_e>0$일 때 $\overline{v_d(t)}$의 평균값은 $0.75V_{DD}$이지만 제안된 듀얼 위상 주파수 검출기는 그림 3(b)와 같이 $0.875V_{DD}$로서 주파수 검출 기능이 향상 됐다는 것을 알 수 있다.

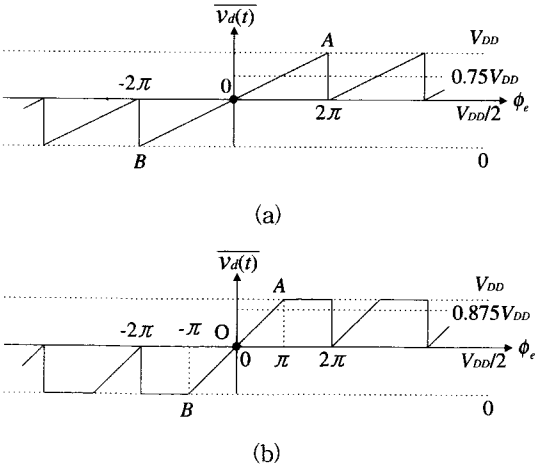


그림 3. 듀얼 위상 주파수 검출기 동작 특성
Fig. 3. Dual PFD characteristics.

그림 3의 직선부분인 A~B영역에서 일반적인 위상 주파수 검출기의 소신호 위상 주파수 검출기 이득 K_d는 $\frac{V_{DD}}{4\pi}$이지만 제안한 듀얼 위상 주파수 검출기의 이득은 식 (1)로 주어지고,

$$K_d=\frac{V_{DD}}{2\pi} \tag{1}$$

위상 주파수 검출기의 평균 출력전압 $\overline{v_d(t)}$는 식 (2)와 같다.

$$\overline{v_d(t)}=K_d\phi_e(t)+V_{DD}/2 \tag{2}$$

식 (1)로부터 제안된 듀얼 위상 주파수 검출기는 일반적인 위상 주파수 검출기에 비해 2배의 이득을 가진다는 것을 알 수 있다.

2. 차지펌프

차지펌프는 위상 주파수 검출기의 출력신호인 시간정보를 가지고 있는 UP과 DN신호를 루프필터 내의 커패시터에 전위 정보로 바꾸어 주는 역할을 하며, 설계하는데 있어서 가장 중요한 점은 위상 주파수 검출기의 세가지 상태에 따른 정확한 제어전압의 형성이다.

일반적인 차지펌프는 UP과 DN신호가 동시에 1이 되는 경우 차지펌프의 두개의 스위치는 모두 on되어 spurs 발생의 원인이 된다. 제안된 차지펌프는 UP과 DN신호가 동시에 1이 되는 경우 두개의 스위치가 모두 off되게 하여 단락전류에 의한 제어전압의 변동을 막을 수 있고, 전류 부정합을 개선시키며, spurs를 억제할 수 있다.

그림 4는 제안된 차지펌프회로에 사용된 전류뺄셈회로이다. 동작을 간단히 설명하면 다음과 같다.[5] $I_2>I_1$이고 모든 트랜지스터들이 포화영역에서 동작할 때, MN1과 MN2의 전류미러 회로 동작에 의해 MN2에는 aI_1의 전류가 흐르고 MN3에는 $a(I_2-I_1)$의 전류가 흐르게 된다. MN3이 포화영역에서 동작하면 MN3과 MN11의 전류미러 회로 동작에 의해 MN11에 흐르는 전류는 $ab(I_2-I_1)$이 된다. $I_1\geq I_2$인 경우에는 MN1과 MN2의 전류미러 회로에서 MN2가 triode 영역에 들어가게 되어 MN2의 드레인 노드 전위는 Gnd에 가까워져서 MN3의 V_{GS}값이 문턱전압보다 작게 된다. 그리하여 aI_2 전류가 모두 MN2로 흐르게 되고 MN3은 off되어 MN3에 흐르는 전류는 0이 된다. 따라서, MN3과 MN11의 전류미러 회로 동작에 의해 MN11에 흐르는 전류도 0이 된다.

MN11에 흐르는 전류는 식 (3)으로 표시된다.

$$I_{11} = MAX\{ab(I_2 - I_1), 0\} \quad (3)$$

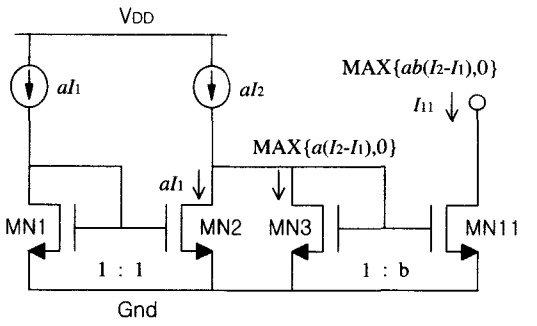


그림 4. 전류뺄셈회로
Fig. 4. Current subtraction circuit.

제안된 차지펌프는 그림 4의 전류뺄셈회로에서 $I_1 > I_2$로 설계하여 출력전류가 0이 되도록 설계하였으며 그림 5와 같다. 위상 주파수 검출기의 동작에 따라 UP만 1인 상태, UP과 DN이 1인 상태, DN만 1인 상태로 나누어 제안된 차지펌프의 동작을 설명하면 다음과 같다. UP만 1이 되면 MP4와 MP5의 전류미러 회로에 의해 MP5에 aI_2의 전류가 흐르게 된다. DN이 0이므로 MN1과 MN2에 전류가 흐르지 않고 MN3에 aI_2의 전류가 흐르게 되어 MN3과 MN11의 전류미러 회로 동작에 의해 MN11에 abI_2의 전류가 흐르게 되며, MP7과 MP8의 전류미러 회로 동작에 의해 I_{p1}의 전류가 루프필터로 흐르게 된다. DN만 1일 때도 위와 같은 동작에 의해 I_{p2}의 전류가 루프필터로 흐르게 된다. UP과 DN이 1일 경우 MN1에 aI_1, MN2에 aI_2의 전류가 흐르게 된다. $aI_1 > aI_2$가 되도록 설계를 하면 MN1과 MN2의 전류미러 회로에서 MN2가 triode 영역에 들어가게 되어 MN2의 드레인 노드 전위는 Gnd에 가까워져서 MN3의 V_{GS}값이 문턱전압보다 작게 된다. 그리하여 aI_2의 전류가 모두 MN2로 흐르게 되고 MN3은 off되어 MN3에 흐르는 전류는 0이 되며 MN3과 MN11, MP7과 MP8의 전류미러 회로에 의해 MP8에 전류가 흐르지 않게 되어 $I_{p1}=0$이 된다. I_{p2} 또한 위와 같은 동작에 의해 $I_{p2}=0$이 된다. 따라서, 제안된 차지펌프는 UP과 DN신호가 동시에 1이 되는 경우 $I_{p1}=I_{p2}=0$이 되어 단락전류에 의한 제어전압의 변동을 막을 수 있고, 두 전류가 정확하게 일치되지 않더라도 $aI_1 > aI_2$가 되도록 설계를 하면 루프필터에 전류가 흐르는 것을 막을 수 있으며 spurs를 억제 할 수 있다.

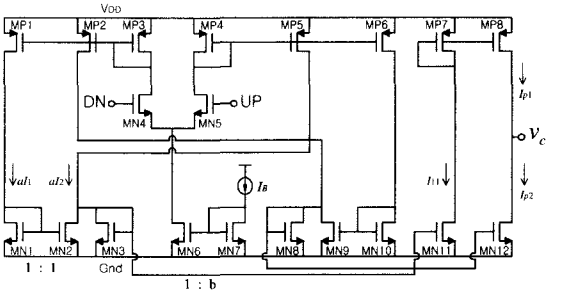


그림 5. 제안된 차지펌프 회로
Fig. 5. Proposed Charge pump circuit.

3. 전압제어발진기

최근 클럭 주파수가 증가하여 클럭 주기가 감소함에 따라 클럭 지터도 매우 작은 값으로 유지되어야 한다. 이를 위해서 전압제어발진기의 노이즈를 감소시켜야 하는데 노이즈는 주로 공급 전압선으로부터 유기된다. 이러한 노이즈를 감소시키기 위해서는 완전 차동 방식을 사용하여 공급 전압선으로부터 유기되는 공통모드 노이즈의 영향을 제거할 수 있다.

그림 6에 차동지연셀을 이용한 완전 차동 전압제어 발진기를 나타내었다. 인버터 링 발진기는 홀수 개의 인버터를 필요로 하는데 비해 완전 차동 발진기에서는 짝수 개의 증폭기를 이용하고 마지막 단 증폭기의 두 개의 출력단자를 제일 왼쪽 초단 증폭기의 입력에 연결할 때 서로 어긋나게 연결함으로써 홀수 개 증폭단과 같은 효과를 얻는다.

설계한 전압제어발진기는 제어회로와 4단의 차동지연셀로 구성되어 있다. 대부분의 PLL은 특정한 주파수 범위 내에서 동작되도록 설계되므로 0MHz부터 동작될 필요가 없다. 따라서, 입력전압이 없더라도 1.56GHz에서 동작하도록 그림 6과 같은 제어회로를 사용하였다. 지연셀은 차동 NMOS쌍과 PMOS 다이오드로 이루어져 있으며 전압 swing을 제한함으로써 최대 동작주파수를 향상시켰다.[6]

전압제어발진기의 출력은 완전한 펄스 파형이 아니므로 증폭기를 거쳐 완전한 CMOS 로직 신호를 만들어 내야 한다. 차동증폭기는 차동지연셀의 출력을 디지털 스윙으로 바꾸어 주는 역할을 한다.[7]

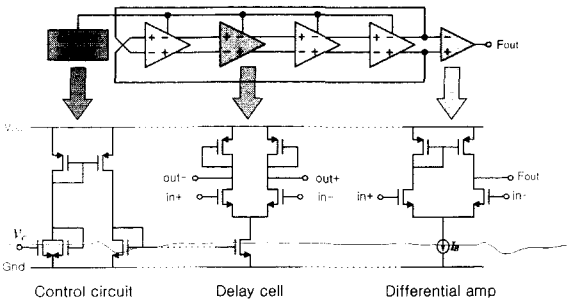


그림 6. 차동지연셀을 이용한 전압제어발진기
Fig. 6. VCO using differential delay cell.

4. 분주기

주파수 합성기가 널리 사용되는 근래의 무선 통신 시스템은 필요한 출력주파수가 매우 높기 때문에 값이 싸고 전력 소모가 적은 CMOS 공정으로 집적할 경우 그만큼 높은 주파수에서 동작하는 주파수 분주기를 만들기가 매우 어려워진다. 따라서 일단 매우 빠른 주파수에서 동작할 수 있는 간단한 분주기를 이용하여 전압제어발진기의 출력주파수를 일정량 낮춘 후 이를 다시 나누는 저속의 분주기를 통해 PLL을 형성하는 방법이 널리 쓰이는데 이 때 전압제어발진기의 출력을 직접 받아들이는 빠른 주파수 분주기를 프리스케일러라고 부른다. 주로 사용되는 분주기의 종류로는 동기식과 비동기식 두 가지가 있다. 동기식은 모든 플립플롭이 입력 클럭에 의해 동작하여 빠른 속도로 분주를 하므로 전압제어발진기의 출력을 받아들이는데 사용된다.[8]

그림 7은 첫째단에 4/5분주회로를 포함하는 듀얼 모듈러스 프리스케일러로서 동기 카운터와 비동기 카운터로 구성되어있다. MC1이 0일 때 첫째단은 4분주를 하며 둘째단 이후는 16분주를 하여 총 64분주를 한다. 첫째단에 의해 분주기의 최대 동작 주파수가 결정되며, 플립플롭을 둘째단 이후에 직렬로 추가 연결하여 분주값을 크게 할 수 있다.

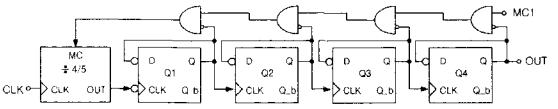


그림 7. 64/65 분주회로
Fig. 7. 64/65 divider circuit.

Ⅲ. 시뮬레이션 결과

제안된 PLL은 0.25㎛ CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 수행하였다. 그림 8은 듀얼 위상 주파수 검출기의 두 입력이 25MHz이고 위상오차가 $\frac{\pi}{2}$와 $\frac{3\pi}{2}$일 때의 출력파형을 나타낸 것이다. 입력이 들어가서 출력이 나오기까지의 전달시간은 0.287nsec이고 리셋 시간은 0.217nsec이며 최대 동작 주파수는 1.2GHz이다.

그림 9는 제안된 차지펌프의 두 입력 위상오차가 +2nsec, +1nsec, 0, -1nsec, -2nsec일 때 출력전류를 나타낸 것이다. 각 위상오차 시간동안만 해당 전류를 출력하며 위상오차가 0일 경우는 두 전류값이 0이라는 것을 알 수 있다.

전압제어발진기의 전달특성을 그림 10에 나타내었다. 설계한 전압제어발진기는 1.56~1.93GHz의 범위를 가지며 이득은 250MHz/V이다.

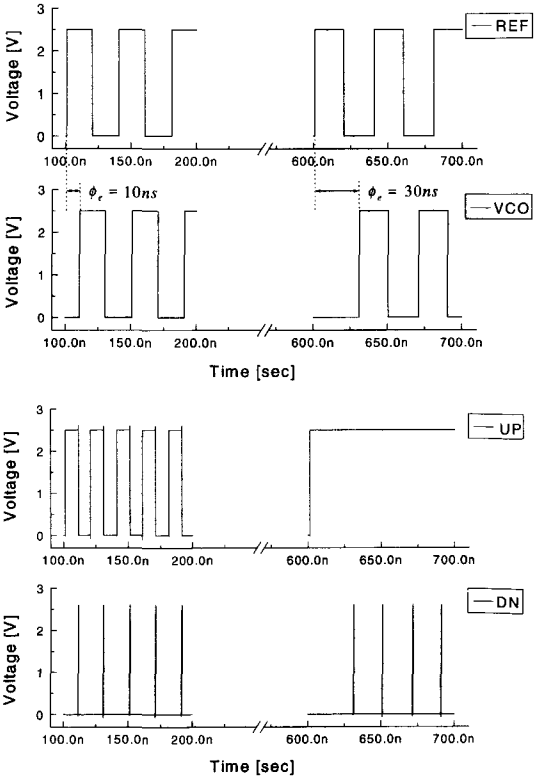


그림 8. 듀얼 위상 주파수 검출기의 입출력 파형
Fig. 8. Input and output waves of the Dual PFD.

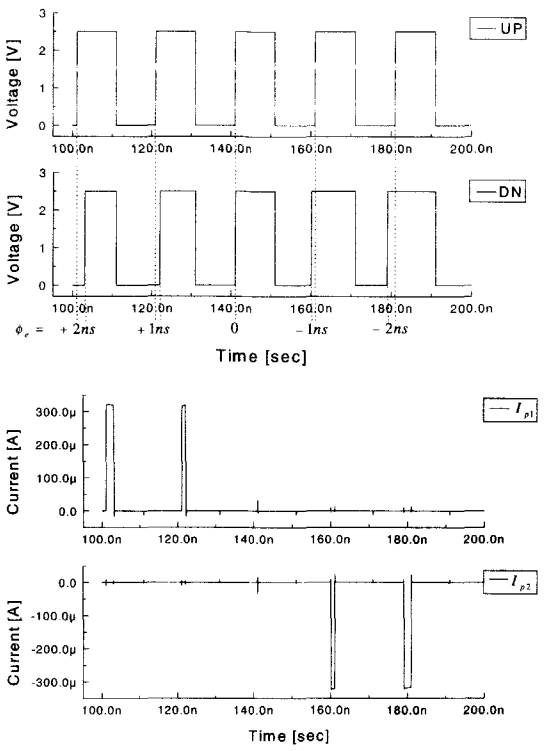


그림 9. 차지펌프 입출력 파형
Fig. 9. Input and output waves of the Charge pump.

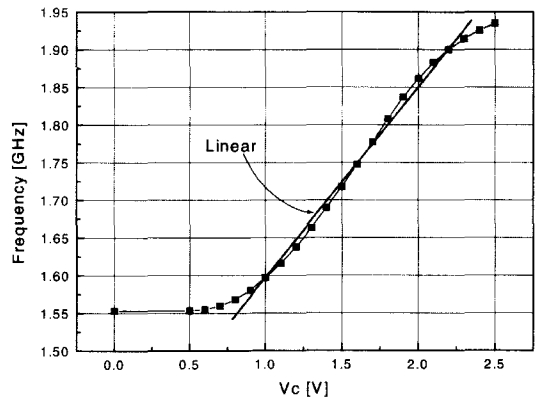


그림 10. 전압제어발진기의 전달특성
Fig. 10. Transfer characteristics of the VCO.

Ⅳ. 결 론

본 논문에서는 주파수 합성기로 사용되는 PLL에 이용 가능한 듀얼 위상 주파수 검출기와 차지펌프를 새롭게 제안하였다. 제안된 듀얼 위상 주파수 검출기는 POSITIVE 위상 주파수 검출기와 NEGATIVE 위상 주파수 검출기를 병렬로 구성함으로서 이득은 I_p/π로 일반적인 위상 주파수 검출기에 비해 2배의 증가된 특성을 지니며, 위상오차 $\phi_e>0$일 때 $\overline{v_d(t)}$의 평균값은 $0.875\,V_{DD}$로서 주파수 검출 기능이 향상 되었다.

차지펌프는 두개의 스위치가 모두 on되는 경우 전류가 흐르지 않도록 설계하여 단락된 회로에 의한 제어전압의 변동을 막을 수 있고 전류 부정합에 의해 생기는 오차특성을 개선시키며 spurs를 억제할 수 있는 특성을 지니고 있다.

제안된 PLL은 1.6~1.85GHz의 넓은 동기범위를 가지며, 듀얼 위상 주파수 검출기는 50% duty cycle의 입력신호가 요구되므로 duty cycle corrector 또는 출력이 50% duty cycle인 분주기가 필요하다는 단점이 있다.

참 고 문 헌

[1] M. Soyuer and R. G. Meyer, "Frequency Limitations of a Conventional Phase-Frequency Detector," *IEEE J. Solid-State Circuits*, vol. 25, no. 4, pp. 1019-1022, Aug. 1990.

[2] F. M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. Comm*, vol. COM-28, pp. 1849-1858, Nov. 1980.

[3] K. M. Ware, H.-S. Lee, and C. G. Sodini, "A 200-MHz CMOS Phase-Locked Loop with Dual Phase Detectors," *IEEE J. Solid-State Circuits*, vol. 24, no. 6, pp. 1560-1568, Dec. 1989.

[4] Y. Sumi, S. Obote, N. Kitai, R. Furuhashi, H. Ishii, Y. Matsuda, and Y. Fukui, "Dead-zone-less PLL Frequency Synthesizer by Hybrid Phase Detectors," *in Proc. IEEE ISCAS*, vol. 4, pp. 410-414, July 1999.

[5] M. G. Degrauwe, J. Rijmenants, E. A. Vittoz, and H. J. D. Man, "Adaptive Biasing CMOS Amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-17, no. 3, pp. 522-528, June 1982.

[6] Y. Sugimoto and T. Ueno, "The Design of a 1V, 1GHz CMOS VCO Circuit with In-phase and Quadrature-phase Outputs," *in Proc. IEEE ISCAS*, vol. 1, pp. 269-272, June 1997.

[7] P.-C. Yu and J.-C. Wu, "A Fully Integrated 3.3V 1-600 MHz CMOS Frequency

Synthesizer," in Proc. *IEEE ISCAS*, vol. 3, pp. 1828-1831, June 1997.

[8] W. F. Egan, Frequency Synthesis by Phase Lock, Second Edition, John Wiley & Sons, 2000.

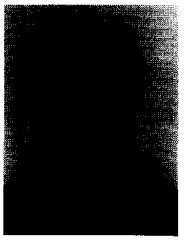
저 자 소 개

李 俊 昊(正會員)

1997. 3~1999. 2 전주대학교 전기전자공학과 졸업(공학사). 1999. 3~2001. 2 전북대학교 전기공학과 석사(공학석사). <관심분야> PLL, VCO, Analog Circuit Design, RF Circuit Design

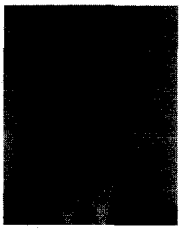
李 根 浩(正會員)

1989. 3~1994. 2 전북대학교 전기공학과 졸업(공학사). 1995. 3~1997. 2 전북대학교 전기공학과 졸업(공학석사). 1997. 3~2000. 8 전북대학교 전기공학과 졸업(공학박사). 2001. 3~현재 군산대학교 전자정보공학부 계약교수. <관심분야> ADC, DAC, Analog Circuit Design, RF Circuit Design



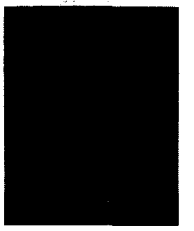
孫 周 浩(學生會員)

1990. 3~1994. 2 전북대학교 전기공학과 졸업(공학사). 1997. 3~1999. 2 전북대학교 전기공학과 석사(공학석사). 1999. 3~2001. 2 전북대학교 전기공학과 박사수료. <관심분야> ADC, DAC, Analog Circuit Design, RF Circuit Design



金 善 泓(學生會員)

1991. 3~1997. 2 전북대학교 전기공학과 졸업(공학사). 1997. 3~1999. 2 전북대학교 전기공학과 석사(공학석사). 2000. 3~현재 전북대학교 전기공학과 박사 재학중. <관심분야> PLL, VCO, Analog Circuit Design, RF Circuit Design



劉 永 奎(正會員)

1992. 3~1996. 2 전북대학교 전기공학과 졸업(공학사). 1996. 3~1998. 2 전북대학교 전기공학과 석사(공학석사). 2000. 1~현재 (주)플레넷 중앙연구소. <관심분야> PLL, VCO, Analog Circuit Design, RF Circuit Design

金 東 龍(正會員)

1963. 3~1967. 2 전북대학교 전기공학과 졸업(공학사). 1971. 3~1973. 2 전북대학교 전기공학과 석사(공학석사). 1979. 9~1985. 5 캐나나 마니토바대학교 박사(공학박사). 1975년 3월~현재 : 전북대학교 전자정보공학부 교수<관심분야>아날로그 집적회로, 회로 및 시스템