

# High-Bandwidth DRAM용 온도 및 전원 전압에 둔감한 1Gb/s CMOS Open-Drain 출력 구동 회로

## (A Temperature- and Supply-Insensitive 1Gb/s CMOS Open-Drain Output Driver for High-Bandwidth DRAMs)

金榮熙\*, 孫寧洙\*\*, 朴鴻濬\*\*, 魏在慶\*\*\*, 崔珍赫\*\*\*

(Young Hee Kim, Young Soo Sohn, Hong June Park, Jae Kyung Wee, and Jin Hyeok Choi)

### 요 약

High-bandwidth DRAM을 위해 1Gb/s의 데이터 전송률까지 동작하고 그 출력 전압 스윙이 온도와 전원 전압(VDD) 변동에 무관한 CMOS open-drain 출력 구동 회로를 설계하였다. 출력 구동 회로는 여섯 개의 binary-weighted NMOS 트랜지스터로 구성되는데, 이 여섯 개 중에서 ON시킬 current control register의 내용은 추가 회로 없이 DRAM 칩에 존재하는 auto refresh 신호를 이용하여 새롭게 수정하였다. Auto refresh 시간 구간동안 current control register를 수정하는데, 이 시간 구간동안 부궤환(negative feedback) 동작에 의해 low level 출력 전압( $V_{OL}$ )이 저전압 밴드갭 기준전압 발생기(bandgap reference voltage generator)에 의해서 만들어진 기준전압( $V_{OL.ref}$ )과 같도록 유지된다. 테스트 칩은 1Gb/s의 데이터 전송률까지 성공적으로 동작하였다. 온도 20°C~90°C, 전원 전압 2.25V~2.75V 영역에서 최악의 경우 제안된 출력 구동 회로의  $V_{OL.ref}$ 와  $V_{OL}$ 의 변동은 각각 2.5%와 7.5%로 측정된 반면, 기존의 출력 구동 회로의  $V_{OL}$ 의 변동은 같은 온도와 전원 전압의 영역에 대해 24%로 측정되었다.

### Abstract

A fully on-chip open-drain CMOS output driver was designed for high bandwidth DRAMs, such that its output voltage swing was insensitive to the variations of temperature and supply voltage. An auto refresh signal was used to update the contents of the current control register, which determined the transistors to be turned-on among the six binary-weighted transistors of an output driver. Because the auto refresh signal is available in DRAM chips, the output driver of this work does not require any external signals to update the current control register. During the time interval while the update is in progress, a negative feedback loop is formed to maintain the low level output voltage ( $V_{OL}$ ) to be equal to the reference voltage( $V_{OL.ref}$ ) which is generated by a low-voltage bandgap reference circuit. Test results showed the successful operation at the data rate up to 1Gb/s. The worst-case variations of  $V_{OL.ref}$  and  $V_{OL}$  of the proposed output driver were measured to be 2.5% and 7.5% respectively within a temperature range of 20°C to 90°C and a supply voltage range of 2.25V to 2.75V, while the worst-case variation of  $V_{OL}$  of the conventional output driver was measured to be 24% at the same temperature and supply voltage ranges.

\* 正會員, 昌原大學校 電子工學科  
(Department of Electronic Engineering Changwon National University)

\*\* 正會員, 浦港工科大學校 電子電氣工學科  
(Department of Electrical Engineering University of Pohang Science and Technology(POSTECH))

\*\*\* 正會員, 現代電子 메모리開發研究所  
(Memory R&D, Hynix Semiconductor)

※ 본 연구는 BK21 프로젝트와 과학기술부 국가지정 연구실(NRL) 사업의 지원에 의해 수행되었습니다.  
接受日字:2000年8月29日, 수정완료일:2001年7月21日

I. 서론

CPU 속도는 RISC 아키텍처(architecture)를 채택하므로 급속히 증가한 반면, DRAM 속도는 CPU 속도를 따라가지 못하였다. CPU와 DRAM간의 속도 차이는 메모리 병목 현상(memory bottleneck)을 야기시킨다. CPU 성능에서 빠른 발전을 따라가기 위해 synchronous DRAM이 개발되었다. Synchronous DRAM에서 동작은 시스템 클럭(system clock)에 완전히 동기 되어 있고, burst read와 write 동작은 데이터 전송률(data transfer rate)을 증가시키기 위해 사용되었다<sup>1-3)</sup>. 다른 인터페이스(interface) 표준에 대해 synchronous DRAM의 최대 데이터 전송률은 현재 200Mb/s(LVTTL<sup>[1])</sup>, 400Mb/s(SSTL<sup>[3])</sup>와 800Mb/s(RSL<sup>[4])</sup>이다. RSL 인터페이스 표준<sup>[4]</sup>은 이번 작업에 사용되었다. Open-drain NMOS 트랜지스터는 출력 구동 회로를 위해 사용되었다. NMOS 트랜지스터의 드레인 인 노드(drain node)는 PCB(Printed Circuit Board)상에 있는 off-chip 전송선(transmission line)을 통하여 off-chip termination 저항과 전압원( $V_{TT}=1.8V$ )에 직렬로 연결되었다. ON된 open-drain NMOS 트랜지스터의 드레인 전류는 termination 저항에 걸리는 전압 스wing을 결정한다. 온도와 공급 전압의 변동에도 불구하고 일정한 전압 스wing을 유지하기 위해 디지털 기술이 현재 폭넓게 사용된다. 디지털 기술에서 open-drain NMOS 트랜지스터는 다수의 binary-weighted 트랜지스터로 나뉘어져 있고, ON되는 트랜지스터는 디지털 코드에 의해 결정된다. RDRAM (Rambus DRAM)<sup>[7]</sup>의 초기 버전인 Concurrent RDRAM에서 디지털 코드는 시스템에 있는 외부 제어장치(controller)에 의해 만들어진다. 전체 디지털 코드는 데이터 버스를 통해 패킷 전송 프로토콜(packet transmission protocol)을 사용하여 주기적으로 DRAM 칩의 출력 구동 회로로 보내진다. 그러나 RDRAM의 최근 버전인 Direct RDRAM에서 외부 제어장치는 전체 디지털 코드를 보내는 대신 current control command를 보낸다. DRAM 칩은 외부 제어장치로부터 current control command를 받았을 때 그림1에서 보는 것처럼 DRAM 칩의 인접한 데이터 핀 상에 로직 0( $V_{OH}$ )와 로직 1( $V_{OL}$ )의 값을 내 보낸다. 이때 저항성 전압 분배기(resistive voltage divider)는  $V_{OH}$ 와

$V_{OL}$ 의 평균을 취하고, 비교기(comparator)는 평균 전압( $V_{avg}=(V_{OH}+V_{OL})/2$ )과 기준 전압( $V_{ref}=1.4V$ )을 비교한다. 그림 1에서 보여지는 전류 제어 회로(current control circuit)는 평균 전압( $V_{avg}$ )이  $V_{ref}$ 와 같은 값을 가지도록 디지털 코드를 변경한다. 그래서 termination 저항에 걸리는 출력 전압 스wing이  $V_{ref}$ 를 기준으로 대칭이 되도록 한다.  $V_{OH}$ 와  $V_{ref}$ 는 온도와 공급 전압의 변동에도 불구하고 일정하게 유지되기 때문에  $V_{OL}$  또한 온도와 공급 전압의 변동에도 불구하고 일정하게 유지된다. Concurrent RDRAM과 Direct RDRAM에서 6-bit 디지털 코드나 current control command중 하나는 주기적으로 DRAM 칩에 보내져야 하는데, 이것은 시스템에서 overhead를 야기한다.

이 overhead 문제를 해결하기 위해 완전 내장형(fully on-chip) open-drain 출력 구동 방식이 high bandwidth DRAM<sup>[7]</sup>을 위해 이 연구에서 제안되었다. Current control register는 기존의 방식과 마찬가지로 사용되었다. 이 연구에서 current control register의 내용은 공급 전압과 온도의 변동을 보상하기 위해 매 auto refresh 사이클의 끝에서 수정된다. Auto refresh 신호는 DRAM 칩에서 이용 가능하기 때문에 이 방식은 current control register를 수정하기 위해 다른 부가적인 신호를 필요로 하지 않는다. 그래서 이 방식은 외부 제어장치로부터 DRAM 칩으로 외부 신호를 보내는 부가적인 overhead를 제거한다. SPICE 시뮬레이션(simulation) 결과를 가지는 이 작업의 초기 버전은 참고 문헌<sup>[7]</sup>에서 발표되었다.

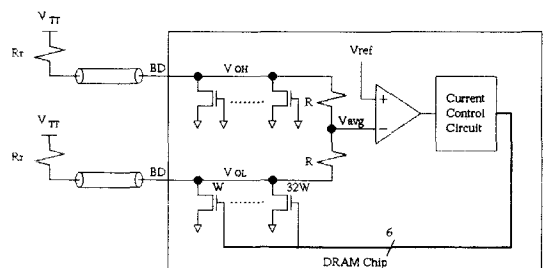


그림 1. 디지털 기술을 사용한 기존의 open-drain 출력 구동 회로의 회로도

Fig. 1. Circuit schematic of the conventional open-drain output driver using a digital technique.

이 연구에서 새롭게 제안된 밴드갭 기준 전압 발생

기는 output low level( $V_{OL}$ )의 기준 전압( $V_{OL,ref}$ )을 만들기 위해 사용되었다. 테스트 칩은  $0.22\mu\text{m}$  triple-well CMOS 공정 기술을 사용하여 제작되었다. 테스트 결과는 1Gb/s의 데이터 전송률까지 성공적인 동작을 보였다. 회로 동작은 Section II에서 설명되었고, 측정 결과는 Section III에 나타나 있고, Section IV는 이 연구의 결론을 내린다.

II. 회로 설명

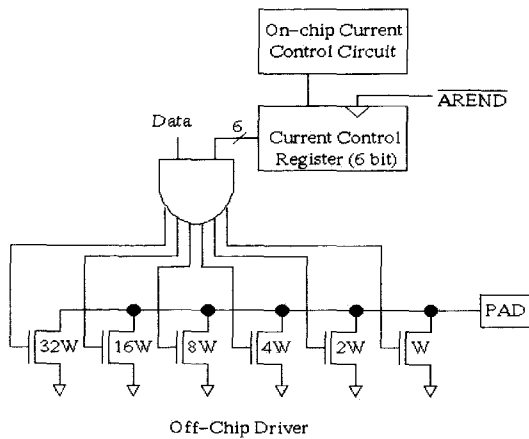


그림 2. 새롭게 제안된 open-drain 출력 구동 회로도  
Fig. 2. Circuit schematic of the newly proposed open-drain output driver.

그림 2는 이 연구에서 사용된 open-drain 출력 구동 회로의 회로도를 보여준다. 출력 구동 회로는 on-chip current control circuit, 6-bit current control register와 6 binary-weighted NMOS 트랜지스터로 구성되어 있다. 이들 6개의 binary-weighted NMOS 트랜지스터 중 ON되는 트랜지스터의 결합은 64가지 다른  $I_{OL}$ (출력 구동 회로의 ON 전류)의 레벨을 허락한다. 온도와 전원 전압의 다른 값에서 ON되는 binary-weighted 트랜지스터의 결합을 변경하므로  $I_{OL}$ 은 온도와 공급 전압의 변동에도 불구하고 20mA로 유지된다. 이 연구에서 termination 저항( $R_T$ )과 전송선의 유효 특성 임피던스 (effective characteristic impedance)는 모두 40으로 정하였다. 그러므로 termination 저항에 걸리는 전압 스윙은 0.8V이다. Current control register의 초기값은 공급 전원이 ON된 이후 8개의 연속적인 auto refresh 사이클을 수행하므로 결정된다. Current control register가 초기에 정확한 값으로 정해지더라도 공급 전압과 온도

는 DRAM 동작동안 변하므로 필요로 하는 정확한 값은 변경될 것이다. 그래서 current control register의 내용은 15.6s의 간격으로 수행되는 auto refresh 사이클의 끝에서 수정되어진다.

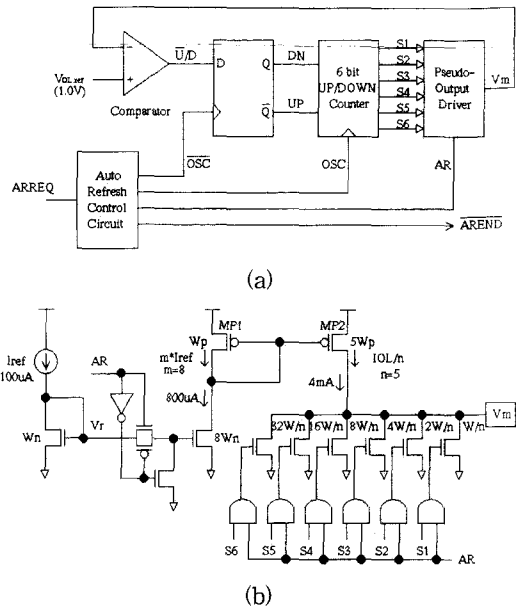


그림 3. (a) Current control circuit의 블록도 (b) pseudo-output driver의 회로도  
Fig. 3. (a) Block diagram of the current control circuit (b) Circuit schematic of the pseudo-output driver.

그림 3(a)는 이 연구에서 사용된 전류 제어 회로 (current control circuit)의 블록도를 보여준다. Auto refresh control circuit은 OSC,  $\overline{OSC}$ , AR(Auto Refresh)와  $\overline{AREND}$ 신호를 만든다. ARREQ(Auto Refresh Request) 신호는 외부 DRAM 제어장치에 의해 15.6s에 한번 인가되는 auto refresh command를 디코딩 하므로 만들어진다. OSC 신호는 6-bit up/down counter에 인가되고 그것의 반전된 신호( $\overline{OSC}$ )는 D flip-flop에 인가된다. 비교기(comparator)는  $V_m$ (pseudo-output driver의 출력 전압)과 기준 전압 ( $V_{OL,ref}=1.0V$ )을 비교하고,  $\overline{U/D}$  flip-flop에 신호를 공급한다.  $\overline{U/D}$  신호는 신호의 rising edge에서 D flip-flop에 의해 래치(latch)된다. D flip-flop은 6-bit up/down counter를 증가하거나 감소하는 UP과 DN 신호를 발생한다. 6-bit up/down counter는 6-bit 디지털 코드(S6(MSB), S5, S4, S3, S2,S1(LSB))를 발생한다.

이 디지털 코드는 pseudo-output driver의 binary-weighted 트랜지스터에 인가된다. 6-bit 디지털 코드의 크기를 증가하는 것은 Vm을 감소시키는 것이다. 이것은 비교기, D flip-flop, 6-bit up/down counter와 pseudo output driver는 negative 피드백 루프(feedback loop)를 형성하는 것을 의미한다. 그러므로 6-bit 디지털 코드는 Vm이 V<sub>OL.ref</sub>와 같아지도록 조정된다.

그림 3(b)는 그림 3(a)에서 보여진 pseudo-output driver의 회로도를 보여준다. 그림 3(b)에서 보여지는 전류원 I<sub>ref</sub>는 밴드갭 기준전류 발생기를 나타낸다. I<sub>ref</sub>는 이 연구에서 100A로 정해졌다. Pseudo-output driver는 auto refresh 사이클동안 AR(Auto Refresh) 신호가 인가되었을 때 ON된다. Pseudo-output driver에 사용되는 binary-weighted 트랜지스터 어레이(array)는 전력 소모를 줄이기 위해  $\frac{1}{n}$  (n=5)로 축소되었다. MP1과 MP2에 의해 형성되는 current mirror는 약 4mA(=I<sub>OL</sub>/n)의 전류를 binary-weighted NMOS 트랜지스터 어레이로 흘려준다. MP2를 통하여 흐르는 4mA의 전류는 밴드갭 기준 전류 발생기에 의해 만들어지기 때문에 온도와 전원 전압이 변하더라도 거의 일정하게 유지된다. 6-bit 디지털 코드는 15.6s의 간격으로 수행되는 auto refresh cycle의 끝에서 update된다. 이 디지털 코드는 칩에 있는 모든 출력 구동회로의 binary-weighted 트랜지스터에 인가되기 때문에 모든 출력 구동 회로의 I<sub>OL</sub>은 온도와 전원 전압 변동에도 불구하고 20mA를 유지할 수 있다.

그림 4는 이 연구에서 사용된 밴드갭 기준전압 발생기의 회로도를 보여준다. 이 밴드갭 기준전압 발생기는 그림 3(a)에서 보는 것처럼 V<sub>OL.ref</sub> 전압을 만든다. 그림 3의 I<sub>ref</sub>는 I1과 10·I3를 더하므로 만들어진다. 밴드갭 기준전압 발생기는 5개의 PMOS 트랜지스터, 3개의 저항과 2개의 substrate PNP 바이폴라(bipolar) 트랜지스터로 구성되어 있다. MP3와 MP6의 채널 폭(channel width)은 MP7의 채널 폭보다 10배 더 크기 때문에 MP3와 MP6를 통하여 흐르는 전류는 I3(MP7을 통하여 흐르는 전류)보다 10배 더 크다. 두 PNP 바이폴라 트랜지스터 Q1과 Q2는 같은 배치도(layout)를 가지는 정합된 트랜지스터(matched transistor)이기 때문에 이들은 같은 포화전류(I<sub>s</sub>) 값을 가진다. MN2의 채널 폭과 전류 모두 MN3보다 10배 더 크기 때문에 MN2의 V<sub>GS</sub>(gate-to-source voltage)는 MN3의 V<sub>GS</sub>와 같다.

그러므로 V<sub>EB2</sub>는 V<sub>EB1</sub>+I3R2와 같다. 이것은 식 (1)과 같이 쓸 수 있다.

$$B = \frac{V_T \cdot \ln 10}{R2} \tag{1}$$

여기서 V<sub>T</sub>는 열 전압(thermal voltage) kT/q이다.

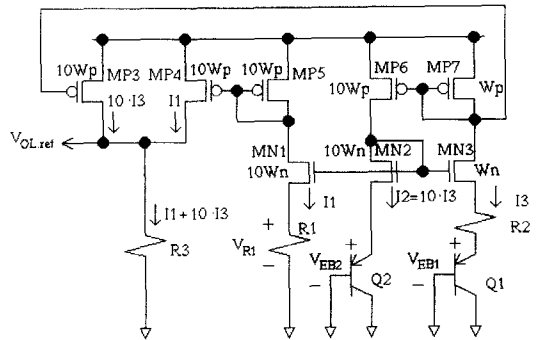


그림 4. 새롭게 제안된 밴드갭 기준전압 발생기의 회로도

Fig. 4. Circuit schematic of the newly proposed bandgap reference voltage generator.

R1, MN1, MN2와 Q2의 루프를 따라 Kirchhoff의 전압법칙을 적용하므로 다음 식을 얻을 수 있다.

$$\begin{aligned} \Pi \cdot R1 + \sqrt{\frac{2 \cdot \Pi}{\mu_n \cdot Cox \cdot (W/L)_1}} \\ = V_T \cdot \ln \frac{\Pi}{I_s} + \sqrt{\frac{2 \cdot I2}{\mu_n \cdot Cox \cdot (W/L)_2}} \end{aligned} \tag{2}$$

여기서 MN1과 MN2는 포화 영역에 있다고 가정하였다. 그래서 I1은 I2에 의해 결정된다. I1은 R1을 조정하므로 I2와 거의 같도록 조정할 수 있기 때문에 MN1과 MN2의 V<sub>GS</sub> 전압은 같다고 가정하였다. 즉 V<sub>R1</sub> ≈ V<sub>EB2</sub>. 그래서 I1 ≈ V<sub>EB2</sub>/R1. SPICE 시뮬레이션은 V<sub>R1</sub>과 V<sub>EB2</sub>의 최악의 경우의 차이는 이 연구에서 고려된 온도와 전원 전압의 모든 영역에서 6.8%이다.

MP4의 채널 폭은 MP5의 그것과 같기 때문에 MP4를 통해 흐르는 전류는 I1과 같다. 그림 4에서 보여지는 모든 트랜지스터들은 포화 영역에서 동작한다. 그래서 R3에 걸리는 전압인 V<sub>OL.ref</sub>는 다음 식과 같이 표현된다.

$$\begin{aligned} V_{OL.ref} &= R3 \cdot (\Pi + 10 \cdot B) \\ &= \frac{R3}{R1} \cdot V_{EB2} + \frac{R3}{R2} \cdot 10 \cdot V_T \cdot \ln 10 \end{aligned} \tag{3}$$

식 (3)의 첫 번째 항은  $V_{EB}$ 에 비례하고 두 번째 항은  $V_T(PTAT)$ 에 비례한다. 식 (3)에서 보는 바와 같이  $V_{OL.ref}$ 는  $R_1, R_2$ 와  $R_3$ 의 저항 비에 의해 결정된다.

### III. 측정결과 및 분석

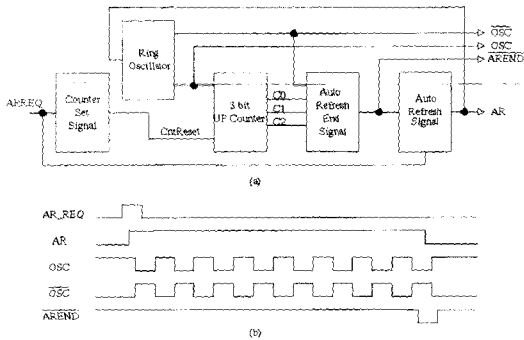


그림 5. (a) Auto refresh control circuit의 블록도 (b) auto refresh control circuit의 타이밍 다이어그램

Fig. 5. (a) Block diagram of the auto refresh control circuit (b) Timing diagram of the auto refresh control circuit.

그림 5(a)는 auto refresh control circuit의 블록도를 보여주는데, 이 회로의 출력 신호(AR,  $\overline{AREND}$ , OSC와  $\overline{OSC}$ )들은 current control register의 디지털 코드를 조정하기 위해 사용되었다. 만약 auto refresh 동작이 요구되어지면, 그림 5(b)에서 보는 것처럼 CntReset(Counter Reset) 신호는 각 auto refresh 사이클의 시작에서 3-bit up counter의 초기값을 0로 reset 하고, OSC와  $\overline{OSC}$  신호는 AR 신호가  $\overline{AREND}$  신호에 의해 disable될 때까지 토글(toggle)한다.  $\overline{AREND}$  신호는 3-bit up counter의 모든 출력이 1일 때인 OSC 신호의 8 사이클에 한번씩 활성화(activate)된다.

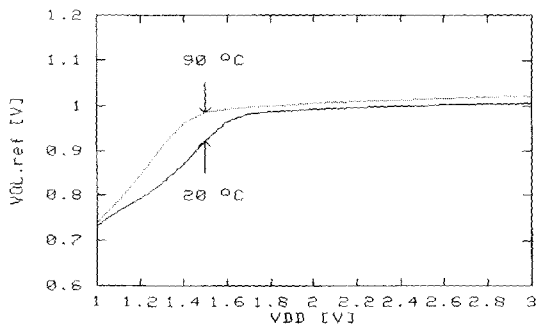


그림 6. 제안된 밴드갭 기준전압 발생기의  $V_{OL.ref}$  측정  
Fig. 6. Measured  $V_{OL.ref}$  of the proposed bandgap reference voltage generator.

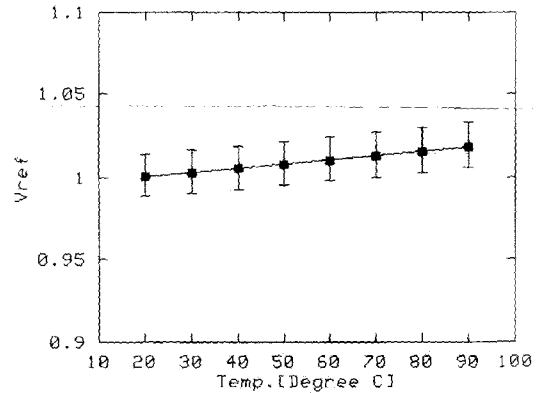


그림 7. 온도에 대한 측정된  $V_{OL.ref}$ 의 error bar 그래프  
Fig. 7. Error bar graph of the measured  $V_{OL.ref}$  versus temperature.

그림 6은 이 연구에서 사용된 밴드갭 기준전압 발생기의 측정된  $V_{OL.ref}$  전압을 보여준다. 20°C~90°C의 온도 영역과 2.25V(0.9VDD)~2.75V(1.1VDD)의 전원 전압 영역 안에서  $V_{OL.ref}$ 의 변동은 2.5%로 측정되었다. 그림 7은 온도에 대한 측정된  $V_{OL.ref}$ 의 error bar 그래프를 보여준다. 온도에 따른  $V_{OL.ref}$ 의 변동은 그림 4에서 보여진  $V_{R1}$ 과  $V_{EB}$ 의 전압 차이에 의해 주로 야기된다. 여기서 제안된 밴드갭 기준전압 발생기의 최소 동작 전압 VDD는 1.7V로 기존의 밴드갭 기준전압 발생기<sup>[9]</sup>의 2.1V보다는 낮다. 밴드갭 기준전압 발생기의

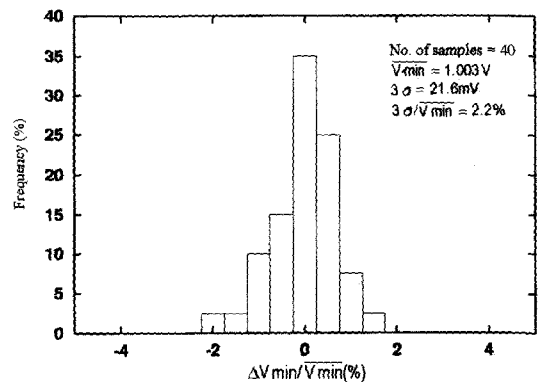


그림 8. 제안된 밴드갭 기준전압 발생기의 측정된  $V_{OL.ref}$  분포

Fig. 8. Measured  $V_{OL.ref}$  distributions of the proposed bandgap reference voltage generator.

저전압 VDD 동작은 기존의 밴드갭 기준전압 발생기의 negative 피드백 루프에 있는 op-amp를 제거하므로 가능해졌다.

그림 8은 제안된 밴드갭 기준전압 발생기의 측정된  $V_{OL,ref}$ 의 die간의 통계적인 분포를 보여준다. 측정은 25°C의 온도와 2.5V의 전원 전압에서 수행되었다. 측정된 샘플(sample)의 수는 40개이다.  $V_{OL,ref}$ 의 측정 영역은  $3\sigma$  분포에 대해 1.003V/21.6mV이다. 정규화된 분산 ( $3\sigma/\sqrt{V_{OL,ref}}$ )은 2.2%이다.

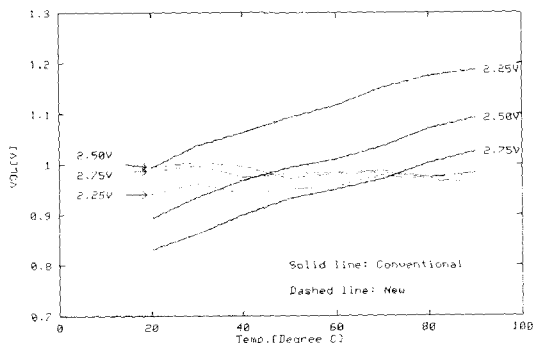


그림 9. 새롭게 설계된 출력 구동회로와 기존의 lumped open-drain 출력 구동회로의  $V_{OL}$  변동 측정

Fig. 9. Measured  $V_{OL}$  variations of the newly designed output driver and the conventional lumped open-drain output driver.

그림 9는 새롭게 설계된 출력 구동회로와 기존의 lumped open-drain 출력 구동회로의  $V_{OL}$  변동 측정 결과를 보여준다. 새롭게 설계된 출력 구동회로의  $V_{OL}$ 의 최악의 변동은 20°C~90°C의 온도 영역과 2.25V~2.75V의 전원 전압 영역 안에서 7.5%인 반면, 기존의 open-drain 출력 구동회로에 대한 것은 온도와 전원 전압의 같은 영역에 대해 24%로 크게 측정되었다.

비록 출력 구동회로의 on-current는 온도와 전원 전압의 변동에도 불구하고 일정하게 유지될지라도 low-level 출력 전압  $V_{OL}$ 은 여전히 off-chip termination 저항 값의 통계적인 변동(statistical variation)에 영향을 받는다. Termination 저항의 정확도(accuracy)는 10% 안에 유지될 수 있고<sup>[10]</sup> 출력 구동회로의 전류 정확도는 이전에 정의된 온도와 전원 전압의 영역에 대해 7.5% 안에 유지될 수 있기 때문에, termination 저항과 출력 전류의 통계적인 변동은 통계적으로 무관하다고 가정하므로 이 연구에서의  $V_{OL}$ 의 정확도는 12.5%(=

$\pm\sqrt{10^2+7.5^2}$ 안에 유지될 수 있다. 같은 이유로 해서 기존의 출력 구동회로의 정확도는 26% 안에 있다.

그림 10은 1Gb/s PRBS 신호가 그림2에 보여지는 출력 구동회로의 Data 노드에 인가되었을 때 측정된 eye diagram을 보여준다. Eye diagram은 PCB 전송선의 끝에서 측정되었다. Loading이 없을 때 전송선의 특성 임피던스(characteristic impedance)는 90이다. 32개의 2pF 캐패시터(capacitor)는 DRAM 입력 핀에서의 캐패시터스(capacitance)를 emulate하기 위해 0.75cm의 균일 간격으로 전송선에 부착되었다. 그래서 전송선의 유효 특성 임피던스(effective characteristic impedance)는 40이다.  $V_{TT}$ 는 1.8V로 정해졌다. Termination 저항( $R_T$ )의 값은 40이다. 출력 전압 스윙은 0.8V이다.

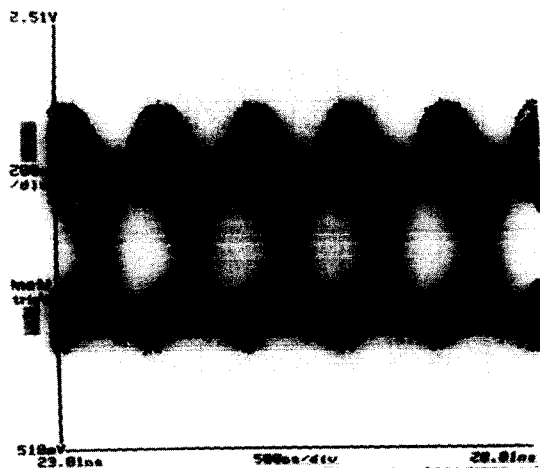


그림 10. 1Gb/s의 데이터 전송률에서 측정된 eye diagram

Fig. 10. Measured eye diagram at the data transfer rate of 1Gb/s.

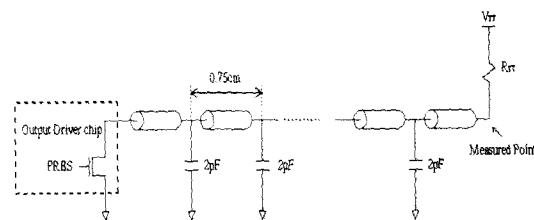


그림 11. Eye-opening 측정을 위한 테스트 회로

Fig. 11. Test circuit for the eye-opening measurement.

그림 11은 eye-opening 측정을 위한 테스트 회로를 보여준다. 그림 10에서는 보는 것처럼 큰 eye-opening

은 1Gb/s의 데이터 전송률에서 관찰되었다. 이것은 1Gb/s의 데이터 전송률까지 출력 구동회로의 성공적인 동작하고 있음을 보여준다. 그림 12(a)와 그림 12(b)는 각각 on-chip current control circuit과 binary-weighted open-drain 출력 구동회로의 microphotograph를 보여준다. 그림 2에서 보여진 current control circuit의 전력 소비는 0.41mW이다.

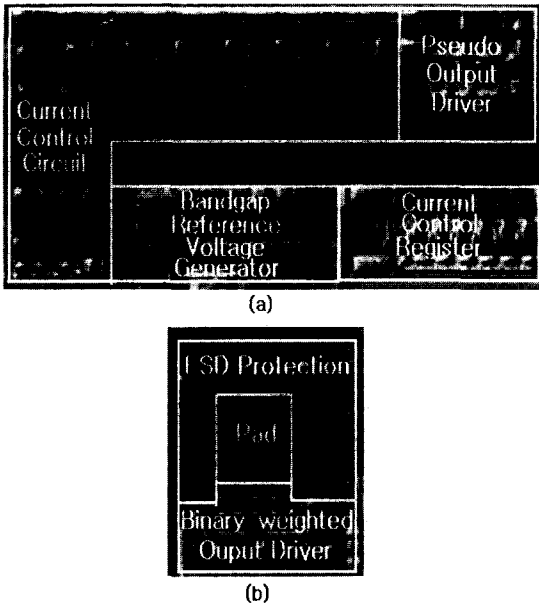


그림 12. 테스트 칩의 microphotograph (a) on-chip current control circuit(820×320m<sup>2</sup>) (b) binary-weighted open-drain output driver (220×265m<sup>2</sup>)

Fig. 12. Microphotograph of the test chip (a)on-chip current control circuit(820×320m<sup>2</sup>) (b) binary-weighted open-drain output driver (220×265m<sup>2</sup>).

#### IV. 결 론

완전 내장형(fully on-chip) open-drain 출력 구동회로는 밴드갭 기준전압 발생기를 사용하여 설계되었다. 기존의 출력 구동회로에서처럼 6-bit의 binary-weighted 트랜지스터는 이 연구에서 출력 구동회로를 위해 사용되었다. 6-bit current control register는 open-drain 출력 구동회로의 6개의 binary weighted NMOS 트랜지스터 중 ON되는 트랜지스터를 결정하기 위해 사용되었다. Current control register의 내용은 이 연구에서 매 auto refresh 싸이클에서 수정된다. Auto

refresh 신호는 DRAM 칩에서 이용 가능하기 때문에 이 연구의 출력 구동회로는 current control register를 수정하기 위해 어떤 부가적인 신호를 필요로 하지 않는다. 이것은 주기적으로 current control register를 수정하기 위해 외부 신호를 받는 overhead를 제거한다. Current control register를 수정하는 동안 negative 피드백 루프를 형성하므로 출력 구동회로의 출력 low level 전압(V<sub>OL</sub>)은 밴드갭 기준전압 회로에 의해 만들어지는 기준전압(V<sub>OL,ref</sub>)과 함께 유지된다. 0.22μm triple-well CMOS 공정 기술이 사용되었다. 테스트 칩은 1Gb/s의 데이터 전송률까지 성공적인 동작을 보여 주었다. V<sub>OL,ref</sub>와 V<sub>OL</sub>의 최악의 변동은 20℃~90℃의 온도 영역과 2.25V~2.75V의 전원 전압 영역 안에서 각각 2.5%와 7.5%로 측정되었다.

#### 참 고 문 헌

- [1] A.Hatakeyama et al., "A 256Mb SDRAM Using a Register-Controlled Digital DLL," ISSCC Digest of Technical Papers, pp.72-73, Feb. 1997.
- [2] C.Kim et al., "A 640MB/s Bi-Directional Data Strobed, Double-Data-Rate SDRAM with a 40mW DLL Circuit for a 256MB Memory System," ISSCC Digest of Technical Papers, pp.158-159, Feb. 1998.
- [3] S.Kuge et al., "A 0.18m 256Mb DDR-SDRAM with Low-Cost Post-Mold Tuning Method for DLL Replica," ISSCC Digest of Technical Papers, pp.402-403, Feb. 2000.
- [4] N.Kushiyama et al., "A 500-Megabytes/s Data-Rate 45M DRAM," IEEE J. Solid-State Circuits, vol. SC-28, pp.490-498, Apr. 1993.
- [5] T.J.Gabara et al., "Forming Damped LRC Parasitic Circuits in Simultaneously Switched CMOS Output Buffers," IEEE J. Solid-State Circuits, vol. SC-32, pp.407-418, Mar. 1997.
- [6] M.Griffin et al., "A Process Independent 800MB/s DRAM Byte-wide Interface Featuring Command Interleaving and Concurrent Memory Operation," ISSCC Digest of Technical Papers, pp.156-157, Feb. 1998.

- [7] "Direct RDRAM 256/288Mbit Datasheet," Rambus Documentation, Rambus Inc., 1998.
- [8] Y.H.Kim et al., "Fully On-Chip Current Controlled Open-Drain Output Driver for High-Bandwidth DRAMs," IEICE Transactions on Electron, vol. E82-C, pp.2101-2104, Nov. 1999.
- [9] H.Barba et al., "A CMOS Bandgap Reference Circuit with Sub-1-V Operation," IEEE J. Solid-State Circuits, vol. SC-34, pp.670-674, May 1999.
- [10] "Application Briefs: Direct Rambus™ System and Board Design Considerations," Rambus Documentation, Rambus Inc., 1998.

저 자 소 개



金 榮 熙(正會員)

1968년 1월 27일생. 1989년 2월 경북대학교 전자공학과(학사). 1997년 2월 포항공과대학교 대학원 전자전기공학과(석사). 2000년 8월 포항공과대학교 대학원 전자전기공학과(박사). 1989년 1월~2001년 2월 현대

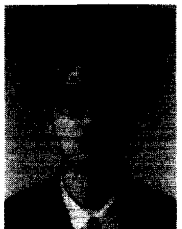
전자 메모리개발연구소 책임연구원, 2001년 3월~현재 창원대학교 전자공학과 전임강사. 주관심 분야는 고속 DRAM I/O Interface 설계, 저전력 및 저전압 DRAM 설계, Merged Memory Logic(MML) 설계, PLL/DLL 설계 및 아날로그 IC 설계



朴 鴻 濬(正會員)

1956년 10월 11일생. 1979년 2월 서울대학교 공과대학 전자공학과(학사). 1981년 2월 한국과학기술원 전기 및 전자공학과(석사). 1989년 5월 University of California, Berkeley, 전자공학(박사). 1981년 3월~1984년

7월 한국전자통신연구소 연구원. 1989년 1월~1991년 5월 INTEL사(U.S.A) Senior Engineer. 1991년 6월~현재 포항공과대학교 전자전기공학과 교수. 주관심 분야는 CMOS 고속 입출력 회로 설계, CMOS 아날로그 회로 설계, 신호 보존성 및 도선 모델링



孫 寧 洙(學生會員)

1974년 2월 14일생. 1997년 2월 서강대학교 전자공학과(학사). 1999년 2월 포항공과대학교 대학원 전자전기공학과(석사). 1999년 3월~현재 포항공과대학교 대학원 전자전기공학과 박사과정 재학중. 주관심 분야

는 CMOS 고속 I/O Interface 설계, Signal Integrity, interconnect modeling



魏 在 慶(正會員)

1966년 8월 1일생. 1988년 2월 연세대학교 물리학과(학사). 1990년 2월 서울대학교 대학원 물리학과(석사). 1998년 8월 서울대학교 대학원 전자전기공학과(박사). 1990년 5월~현재

현대전자 메모리개발연구소 책임연구원. 주관심 분야는 고속 DRAM I/O Interface 설계, PLL/DLL 설계 및 아날로그 IC설계, high speed module system, on-chip interconnect-buffer optimization 및 routing method



崔 珍 赫(正會員)

1967년 경북 포항출생. 1989년 서울대학교 전자공학과(학사). 1991년 서울대학교 전자공학과(석사). 1996년 서울대학교 전자공학과(박사). 1995년 12월~현재

현대전자 메모리개발연구소 책임연구원. 주관심 분야는 저전압SRAM 설계, 고속 DRAM 설계 및 FLASH 설계